

# Gowin\_EMPU(GW1NS-4C)ハードウェア設計 ユーザーガイド

## 著作権について(2025)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

 **GOWIN** 及び **Gowin** は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

## 免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI取引条件) に規定されている内容を除き、(明示的か又は黙示的に拘わらず) いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

## バージョン履歴

| 日付         | バージョン | 説明                                                                                                                                                                                                                                                                                                                     |
|------------|-------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 2020/04/20 | 1.0J  | 初版。                                                                                                                                                                                                                                                                                                                    |
| 2021/02/08 | 1.1J  | <ul style="list-style-type: none"><li>● 周辺機器 AHB PSRAM Memory Interface のサポートを追加。</li><li>● 周辺機器 AHB HyperRAM Memory Interface のサポートを追加。</li><li>● 周辺機器 APB Nor Flash のサポートを追加。</li><li>● GPIO が複数のポートタイプをサポートするように更新。</li><li>● I<sup>2</sup>C が複数のポートタイプをサポートするように更新。</li><li>● ソフトウェアバージョンと SDK をアップグレード。</li></ul> |
| 2021/06/21 | 1.2J  | <ul style="list-style-type: none"><li>● 既知の SPI 全二重読み出しおよび書き込みの問題を修正。</li><li>● 合成ツールの Synplify Pro を削除。</li><li>● FPGA ソフトウェアのバージョン情報を更新。</li><li>● リファレンス・デザインを更新。</li></ul>                                                                                                                                         |
| 2022/12/16 | 1.3J  | <ul style="list-style-type: none"><li>● 既知のポート名の問題を修正。</li><li>● MCU IP を更新。</li><li>● SDK を更新。</li></ul>                                                                                                                                                                                                              |
| 2024/03/14 | 2.0J  | <ul style="list-style-type: none"><li>● システムの周波数とパフォーマンスを向上。</li><li>● ハードウェア・リファレンス・デザインを更新。</li></ul>                                                                                                                                                                                                                |
| 2025/08/15 | 2.1J  | <ul style="list-style-type: none"><li>● 関連ソフトウェアのバージョン情報を更新。</li><li>● FIFO 周辺機器のリファレンス・デザインを追加。</li><li>● ユーザー割り込みのリファレンス・デザインを追加。</li><li>● AHB2 Slave インターフェースのリファレンス・デザインを追加。</li></ul>                                                                                                                            |

# 目次

|                              |           |
|------------------------------|-----------|
| 目次 .....                     | i         |
| 図一覧 .....                    | iii       |
| 表一覧 .....                    | iv        |
| <b>1 ハードウェアアーキテクチャ .....</b> | <b>1</b>  |
| 1.1 システムアーキテクチャ .....        | 1         |
| 1.2 システムの特徴 .....            | 2         |
| 1.2.1 MCU コアシステム .....       | 2         |
| 1.2.2 FPGA コアシステム .....      | 3         |
| 1.3 システムポート .....            | 3         |
| 1.4 リソース使用量と性能 .....         | 8         |
| <b>2 ハードウェア設計フロー .....</b>   | <b>9</b>  |
| 2.1 ハードウェア環境 .....           | 9         |
| 2.2 ソフトウェアバージョン .....        | 9         |
| 2.3 IP Core Generator .....  | 9         |
| 2.4 Programmer .....         | 9         |
| 2.5 設計フロー .....              | 9         |
| <b>3 プロジェクトテンプレート .....</b>  | <b>11</b> |
| 3.1 プロジェクトの作成 .....          | 11        |
| 3.1.1 プロジェクトの新規作成 .....      | 11        |
| 3.1.2 プロジェクト名とパスの設定 .....    | 11        |
| 3.1.3 デバイスの選択 .....          | 12        |
| 3.1.4 プロジェクト作成の完了 .....      | 13        |
| 3.2 ハードウェア設計 .....           | 14        |
| 3.2.1 TPIU の構成 .....         | 17        |
| 3.2.2 NVIC の構成 .....         | 18        |

|                                        |           |
|----------------------------------------|-----------|
| 3.2.3 GPIO の構成 .....                   | 19        |
| 3.2.4 UART の構成 .....                   | 19        |
| 3.2.5 AHB2 Master/Slave の構成 .....      | 20        |
| 3.2.6 SRAM の構成 .....                   | 21        |
| 3.2.7 I <sup>2</sup> C の構成 .....       | 22        |
| 3.2.8 SPI の構成 .....                    | 23        |
| 3.2.9 RTC の構成 .....                    | 24        |
| 3.2.10 APB2 Master の構成 .....           | 24        |
| 3.2.11 PSRAM Memory Interface .....    | 27        |
| 3.2.12 HyperRAM Memory Interface ..... | 28        |
| 3.2.13 SPI-Flash Memory .....          | 29        |
| 3.3 ユーザーデザイン .....                     | 29        |
| 3.4 制約 .....                           | 30        |
| 3.5 構成 .....                           | 30        |
| 3.5.1 合成オプションの構成 .....                 | 30        |
| 3.5.2 配置オプションの構成 .....                 | 31        |
| 3.5.3 配線オプションの構成 .....                 | 31        |
| 3.5.4 ビットストリームオプションの構成 .....           | 32        |
| 3.6 合成 .....                           | 33        |
| 3.7 配置配線 .....                         | 33        |
| 3.8 ダウンロード .....                       | 34        |
| <b>4 リファレンス・デザイン .....</b>             | <b>37</b> |

## 図一覧

|                                                 |    |
|-------------------------------------------------|----|
| 図 1-1 システムアーキテクチャ .....                         | 1  |
| 図 3-1 FPGA Design プロジェクトの新規作成 .....             | 11 |
| 図 3-2 プロジェクト名とパスの設定 .....                       | 12 |
| 図 3-3 デバイスの選択 .....                             | 13 |
| 図 3-4 プロジェクト作成の完了 .....                         | 13 |
| 図 3-5 Gowin_EMPU(GW1NS-4C) IP Core の選択 .....    | 14 |
| 図 3-6 アーキテクチャ .....                             | 15 |
| 図 3-7 TPIU の構成 .....                            | 17 |
| 図 3-8 NVIC の構成 .....                            | 18 |
| 図 3-9 GPIO の構成 .....                            | 19 |
| 図 3-10 UART の構成 .....                           | 20 |
| 図 3-11 AHB2 Master/Slave の構成 .....              | 21 |
| 図 3-12 SRAM の構成 .....                           | 22 |
| 図 3-13 I <sup>2</sup> C の構成 .....               | 23 |
| 図 3-14 SPI の構成 .....                            | 23 |
| 図 3-15 RTC の構成 .....                            | 24 |
| 図 3-16 APB2 Master[1-12]の構成 .....               | 26 |
| 図 3-17 合成オプションの構成 .....                         | 30 |
| 図 3-18 配置オプションの構成 .....                         | 31 |
| 図 3-19 配線オプションの構成 .....                         | 32 |
| 図 3-20 ビットストリームオプションの構成 .....                   | 32 |
| 図 3-21 合成 .....                                 | 33 |
| 図 3-22 配置配線 .....                               | 34 |
| 図 3-23 GW1NS-4C/GW1NSR-4C のダウンロードオプションの構成 ..... | 35 |
| 図 3-24 GW1NSER-4C のダウンロードオプションの構成 .....         | 35 |

## 表一覧

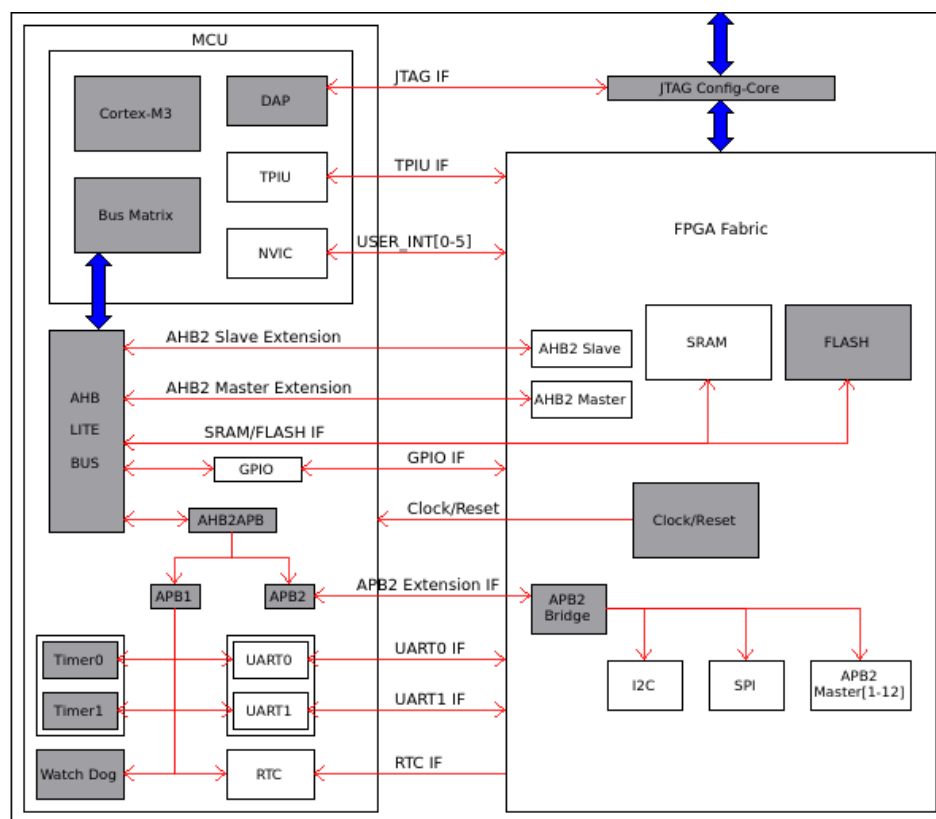
|                                       |    |
|---------------------------------------|----|
| 表 1-1 ポート一覧 .....                     | 3  |
| 表 1-2 リソース使用量 .....                   | 8  |
| 表 3-1 構成オプション .....                   | 15 |
| 表 3-2 APB2 Master[1-12]のベースアドレス ..... | 26 |

# 1 ハードウェアアーキテクチャ

## 1.1 システムアーキテクチャ

Gowin\_EMPU(GW1NS-4C)は、MCU コアシステムと FPGA コアシステムで構成された SoC です(図 1-1)。

図 1-1 システムアーキテクチャ



MCU コアシステムには、MCU コア、AHB バスと周辺機器、AHB2APB ブリッジ、APB1 バスと周辺機器などが含まれます。

FPGA コアシステムには、MCU コアシステムへのクロックおよびリ

セット信号入力、MCU コアシステムのデータメモリ(SRAM)と命令メモリ(Flash)、APB2 ブリッジ、APB2 バス、および周辺機器などが含まれます。

## 1.2 システムの特徴

Gowin\_EMPU(GW1NS-4C)は 2 つのサブシステムで構成されています：

- MCU コアシステム
- FPGA コアシステム

### 1.2.1 MCU コアシステム

MCU コアシステム：

- MCU Core :
  - ARM Cortex-M3 Core。16 ビットおよび 32 ビット命令セットをサポートする ARM v7-M Thumb2 命令セットアーキテクチャ
  - DAP (Debug Access Port)
  - Bus Matrix
  - NVIC (Nested Vector Interrupt Controller)
  - TPIU (Trace Port Interface Unit)
- AHB バスと周辺機器
  - GPIO
  - AHB2 Master 拡張インターフェース
  - AHB2 Slave 拡張インターフェース
- AHB2APB Bridge
- APB バスと周辺機器
  - UART0
  - UART1
  - Timer0
  - Timer1
  - Watch Dog
  - RTC
  - APB2 拡張インターフェース

## 1.2.2 FPGA コアシステム

FPGA コアシステム :

- 外部水晶発振器または内部水晶発振器からのクロックソースが MCU コアシステムのクロックソースとして機能。その最大周波数は 200MHz(デバイスおよびプロジェクトによって異なる)
- MCU コアシステムのリセット信号としてのリセット信号入力
- 周辺機器の割り込みの拡張に使用可能な 6 つのユーザー割り込み処理信号
- AHB 拡張インターフェース
  - MCU コアシステムのデータメモリおよび命令メモリとしての SRAM および Flash
  - 1 つの AHB2 Master 拡張インターフェース
  - 1 つの AHB2 Slave 拡張インターフェース
- APB2 拡張インターフェース
  - SPI Master
  - I2C Master
  - 12 の APB2 Master 拡張インターフェース
- Memory
  - MCU コアシステムのデータメモリ(2KB、4KB、8KB、または 16KB に構成可能)
  - MCU コアシステムの命令メモリ(32KB)

## 1.3 システムポート

Gowin\_EMPU(GW1NS-4C)システムのポートの定義を表 1-1 に示します。

表 1-1 ポート一覧

| 名称         | I/O | 幅     | 説明            | モジュール |
|------------|-----|-------|---------------|-------|
| sys_clk    | 入力  | 1     | システムクロック信号    | -     |
| reset_n    | 入力  | 1     | システムリセット信号    | -     |
| trace_clk  | 出力  | 1     | TPIUクロック信号    | TPIU  |
| trace_data | 出力  | [3:0] | TPIUデータ出力信号   |       |
| user_int_0 | 入力  | 1     | ユーザー割り込み処理信号0 | NVIC  |

| 名称          | I/O | 幅      | 説明                                 | モジュール                           |
|-------------|-----|--------|------------------------------------|---------------------------------|
| user_int_1  | 入力  | 1      | ユーザー割り込み処理信号1                      |                                 |
| user_int_2  | 入力  | 1      | ユーザー割り込み処理信号2                      |                                 |
| user_int_3  | 入力  | 1      | ユーザー割り込み処理信号3                      |                                 |
| user_int_4  | 入力  | 1      | ユーザー割り込み処理信号4                      |                                 |
| user_int_5  | 入力  | 1      | ユーザー割り込み処理信号5                      |                                 |
| gpio        | 入出力 | [15:0] | 汎用入出力信号                            | GPIO I/O                        |
| gpioin      | 入力  | [15:0] | 汎用入力信号                             | GPIO non-I/O                    |
| gpioout     | 出力  | [15:0] | 汎用出力信号                             |                                 |
| gpioouten   | 出力  | [15:0] | 汎用出力イネーブル信号                        |                                 |
| uart0_rxd   | 入力  | 1      | UART0受信信号                          | UART0                           |
| uart0_txd   | 出力  | 1      | UART0送信信号                          |                                 |
| uart1_rxd   | 入力  | 1      | UART1受信信号                          | UART1                           |
| uart1_txd   | 出力  | 1      | UART1送信信号                          |                                 |
| scl         | 入出力 | 1      | I <sup>2</sup> Cシリアル・クロック信号        | I <sup>2</sup> C Master I/O     |
| sda         | 入出力 | 1      | I <sup>2</sup> Cシリアル・データ信号         |                                 |
| sclin       | 入力  | 1      | I <sup>2</sup> Cシリアル・クロック入力信号      | I <sup>2</sup> C Master non-I/O |
| sclout      | 出力  | 1      | I <sup>2</sup> Cシリアル・クロック出力信号      |                                 |
| sclouten    | 出力  | 1      | I <sup>2</sup> Cシリアル・クロック出力イネーブル信号 |                                 |
| sdain       | 入力  | 1      | I <sup>2</sup> Cシリアル・データ入力信号       |                                 |
| sdaout      | 出力  | 1      | I <sup>2</sup> Cシリアル・データ出力信号       |                                 |
| sdaouten    | 出力  | 1      | I <sup>2</sup> Cシリアル・データ出力イネーブル信号  |                                 |
| mosi        | 出力  | 1      | SPIマスター出力/スレーブ入力信号                 | SPI Master                      |
| miso        | 入力  | 1      | SPIマスター入力/スレーブ出力信号                 |                                 |
| sclk        | 出力  | 1      | SPIクロック信号                          |                                 |
| nss         | 出力  | 1      | SPIスレーブ選択信号                        |                                 |
| rtc_src_clk | 入力  | 1      | RTCクロック信号                          | RTC                             |
| master_hclk | 出力  | 1      | Masterクロック信号                       | AHB2 Master                     |
| master_hrst | 出力  | 1      | Masterリセット信号                       |                                 |
| master_hsel | 出力  | 1      | Master選択信号                         |                                 |

| 名称               | I/O | 幅      | 説明                 | モジュール      |
|------------------|-----|--------|--------------------|------------|
| master_haddr     | 出力  | [31:0] | Masterアドレス信号       |            |
| master_htrans    | 出力  | [1:0]  | Master転送タイプ信号      |            |
| master_hwrite    | 出力  | 1      | Master転送方向選択       |            |
| master_hsize     | 出力  | [2:0]  | Master転送データのサイズ    |            |
| master_hburst    | 出力  | [2:0]  | Master burstのタイプ   |            |
| master_hprot     | 出力  | [3:0]  | Master保護制御         |            |
| master_hmemattr  | 出力  | [1:0]  | Master hmemattr信号  |            |
| master_hexreq    | 出力  | 1      | Master hexreq信号    |            |
| master_hmaster   | 出力  | [3:0]  | Masterを指す          |            |
| master_hwdata    | 出力  | [31:0] | Master書き込みデータ      |            |
| master_hmastlock | 出力  | 1      | Masterロック          |            |
| master_hreadymux | 出力  | 1      | Master hreadymux信号 |            |
| master_hauser    | 出力  | 1      | Master hauser信号    |            |
| master_hwuser    | 出力  | [3:0]  | Master hwuser信号    |            |
| master_hrdata    | 入力  | [31:0] | Master読み出しデータ      |            |
| master_hreadyout | 入力  | 1      | Master hreadyout信号 |            |
| master_hresp     | 入力  | 1      | Master転送状態         |            |
| master_hexresp   | 入力  | 1      | Master hexresp信号   |            |
| master_hruser    | 入力  | [2:0]  | Master hruser信号    |            |
| slave_hsel       | 入力  | 1      | Slave選択信号          | AHB2 Slave |
| slave_haddr      | 入力  | [31:0] | Slaveアドレス信号        |            |
| slave_htrans     | 入力  | [1:0]  | Slave転送タイプ信号       |            |
| slave_hwrite     | 入力  | 1      | Slave転送方向選択        |            |
| slave_hsize      | 入力  | [2:0]  | Slave転送データのサイズ     |            |
| slave_hburst     | 入力  | [2:0]  | Slave burstのタイプ    |            |
| slave_hprot      | 入力  | [3:0]  | Slave保護制御          |            |
| slave_hmaster    | 入力  | [3:0]  | Slaveを指す           |            |
| slave_hwdata     | 入力  | [31:0] | Slave書き込みデータ       |            |
| slave_hmastlock  | 入力  | 1      | Slaveロック           |            |
| slave_hrdata     | 出力  | [31:0] | Slave読み出しデータ       |            |
| slave_hready     | 出力  | 1      | Slave準備完了          |            |
| slave_hresp      | 出力  | 1      | Slave転送状態          |            |

| 名称              | I/O | 幅      | 説明                    | モジュール                 |
|-----------------|-----|--------|-----------------------|-----------------------|
| slave_hexresp   | 出力  | 1      | Slave hexresp信号       |                       |
| slave_hruser    | 出力  | [2:0]  | Slave hruser信号        |                       |
| slave_hmemattr  | 入力  | [1:0]  | Slave hmemattr信号      |                       |
| slave_hexreq    | 入力  | 1      | Slave hexreq信号        |                       |
| slave_hauser    | 入力  | 1      | Slave hauser信号        |                       |
| slave_hwuser    | 入力  | [3:0]  | Slave hwuser信号        |                       |
| master_pclk     | 出力  | 1      | APB2 Masterのクロック信号    | APB2 Master<br>[1-12] |
| master_prst     | 出力  | 1      | APB2 Masterリセット信号     |                       |
| master_penable  | 出力  | 1      | APB2 Masterイネーブル信号    |                       |
| master_paddr    | 出力  | [7:0]  | APB2 Masterアドレス信号     |                       |
| master_pwrite   | 出力  | 1      | APB2 Master転送方向選択     |                       |
| master_pwdata   | 出力  | [31:0] | APB2 Master書き込みデータ    |                       |
| master_pstrb    | 出力  | [3:0]  | APB2 Master書き込みストロブ信号 |                       |
| master_pprot    | 出力  | [2:0]  | APB2 Master保護のタイプ     | APB2 Master [1]       |
| master_psel1    | 出力  | 1      | APB2 Master [1]選択信号   |                       |
| master_pready1  | 入力  | 1      | APB2 Master [1]準備完了   |                       |
| master_prdata1  | 入力  | [31:0] | APB2 Master [1]リードデータ |                       |
| master_pslverr1 | 入力  | 1      | APB2 Master [1]送信失敗   | APB2 Master [2]       |
| master_psel2    | 出力  | 1      | APB2 Master [2]選択信号   |                       |
| master_pready2  | 入力  | 1      | APB2 Master [2]準備完了   |                       |
| master_prdata2  | 入力  | [31:0] | APB2 Master [2]リードデータ |                       |
| master_pslverr2 | 入力  | 1      | APB2 Master [2]送信失敗   | APB2 Master [3]       |
| master_psel3    | 出力  | 1      | APB2 Master [3]選択信号   |                       |
| master_pready3  | 入力  | 1      | APB2 Master [3]準備完了   |                       |
| master_prdata3  | 入力  | [31:0] | APB2 Master [3]リードデータ |                       |
| master_pslverr3 | 入力  | 1      | APB2 Master [3]送信失敗   | APB2 Master [4]       |
| master_psel4    | 出力  | 1      | APB2 Master [4]選択信号   |                       |
| master_pready4  | 入力  | 1      | APB2 Master [4]準備完了   |                       |
| master_prdata4  | 入力  | [31:0] | APB2 Master [4]リードデータ |                       |
| master_pslverr4 | 入力  | 1      | APB2 Master [4]送信失敗   | APB2 Master [5]       |
| master_psel5    | 出力  | 1      | APB2 Master [5]選択信号   |                       |

| 名称               | I/O | 幅      | 説明                     | モジュール            |
|------------------|-----|--------|------------------------|------------------|
| master_pready5   | 入力  | 1      | APB2 Master [5]準備完了    |                  |
| master_prdata5   | 入力  | [31:0] | APB2 Master [5]リードデータ  |                  |
| master_pslverr5  | 入力  | 1      | APB2 Master [5]送信失敗    |                  |
| master_psel6     | 出力  | 1      | APB2 Master [6]選択信号    | APB2 Master [6]  |
| master_pready6   | 入力  | 1      | APB2 Master [6]準備完了    |                  |
| master_prdata6   | 入力  | [31:0] | APB2 Master [6]リードデータ  |                  |
| master_pslverr6  | 入力  | 1      | APB2 Master [6]送信失敗    |                  |
| master_psel7     | 出力  | 1      | APB2 Master [7]選択信号    | APB2 Master [7]  |
| master_pready7   | 入力  | 1      | APB2 Master [7]準備完了    |                  |
| master_prdata7   | 入力  | [31:0] | APB2 Master [7]リードデータ  |                  |
| master_pslverr7  | 入力  | 1      | APB2 Master [7]送信失敗    |                  |
| master_psel8     | 出力  | 1      | APB2 Master [8]選択信号    | APB2 Master [8]  |
| master_pready8   | 入力  | 1      | APB2 Master [8]準備完了    |                  |
| master_prdata8   | 入力  | [31:0] | APB2 Master [8]リードデータ  |                  |
| master_pslverr8  | 入力  | 1      | APB2 Master [8]送信失敗    |                  |
| master_psel9     | 出力  | 1      | APB2 Master [9]選択信号    | APB2 Master [9]  |
| master_pready9   | 入力  | 1      | APB2 Master [9]準備完了    |                  |
| master_prdata9   | 入力  | [31:0] | APB2 Master [9]リードデータ  |                  |
| master_pslverr9  | 入力  | 1      | APB2 Master [9]送信失敗    |                  |
| master_psel10    | 出力  | 1      | APB2 Master [10]選択信号   | APB2 Master [10] |
| master_pready10  | 入力  | 1      | APB2 Master [10]準備完了   |                  |
| master_prdata10  | 入力  | [31:0] | APB2 Master [10]リードデータ |                  |
| master_pslverr10 | 入力  | 1      | APB2 Master [10]送信失敗   |                  |
| master_psel11    | 出力  | 1      | APB2 Master [11]選択信号   | APB2 Master [11] |
| master_pready11  | 入力  | 1      | APB2 Master [11]準備完了   |                  |
| master_prdata11  | 入力  | [31:0] | APB2 Master [11]リードデータ |                  |
| master_pslverr11 | 入力  | 1      | APB2 Master [11]送信失敗   |                  |
| master_psel12    | 出力  | 1      | APB2 Master [12]選択信号   | APB2 Master [12] |
| master_pready12  | 入力  | 1      | APB2 Master [12]準備完了   |                  |
| master_prdata12  | 入力  | [31:0] | APB2 Master [12]リードデータ |                  |
| master_pslverr12 | 入力  | 1      | APB2 Master [12]送信失敗   |                  |

## 1.4 リソース使用量と性能

Gowin\_EMPU(GW1NS-4C)システムのリソース使用量と性能を表 1-2 に示します。

表 1-2 リソース使用量

| Resources<br>Configuration           | LUTs | Registers | BSRAMs | Frequency<br>(MHz) |
|--------------------------------------|------|-----------|--------|--------------------|
| MCU コアシステム                           | 33   | 19        | 4      | 200                |
| MCU コアシステム + I2C Master + SPI Master | 456  | 282       | 4      | 100                |
| MCU コアシステム + APB SPI-Flash Memory    | 1073 | 618       | 4      | 50                 |
| MCU コアシステム + AHB PSRAM Memory        | 1709 | 1464      | 4      | 100                |
| MCU コアシステム + AHB HyperRAM Memory     | 1163 | 1008      | 4      | 100                |

# 2 ハードウェア設計フロー

## 2.1 ハードウェア環境

- DK-START-GW1NSR4C-QN48G V1.1  
GW1NSR-LV4CQN48GC7/I6
- DK-START-GW1NSR4C-QN48P V1.1  
GW1NSR-LV4CQN48PC7/I6
- DK-START-GW1NSR4C-MG64P V1.1  
GW1NSR-LV4CMG64PC7/I6

## 2.2 ソフトウェアバージョン

テスト済みバージョン : Gowin\_V1.9.11.02 (64-bit)。

## 2.3 IP Core Generator

Gowin ソフトウェアは、Gowin\_EMPU(GW1NS-4C) IP Core を構成および生成するための IP Core Generator を提供します。

## 2.4 Programmer

Gowin ソフトウェアは、Gowin\_EMPU(GW1NS-4C)のハードウェア設計のビットストリームファイルをダウンロードするための Programmer を提供します。

Programmer の使用方法については、『Gowin Programmer ユーザーガイド([SUG502](#))』を参照してください。

## 2.5 設計フロー

Gowin\_EMPU(GW1NS-4C)ハードウェア設計フロー :

- IP Core Generator により構成・生成された **Gowin\_EMPU(GW1NS-4C)** IP Core を現在のプロジェクトにインポートします。
- ユーザーデザインをインポートし、**Gowin\_EMPU Top Module** のインスタンスをユーザーデザインに接続します。
- 物理制約とタイミング制約を与えます。
- 合成ツールである **GowinSynthesis** で合成してネットリスト・ファイルを生成します。
- 合成が完了したら、配置配線ツールの **Place & Route** を実行してビットストリームファイルを生成します。
- ダウンロードツールである **Programmer** を使用してビットストリームファイルを **FPGA** にダウンロードします。

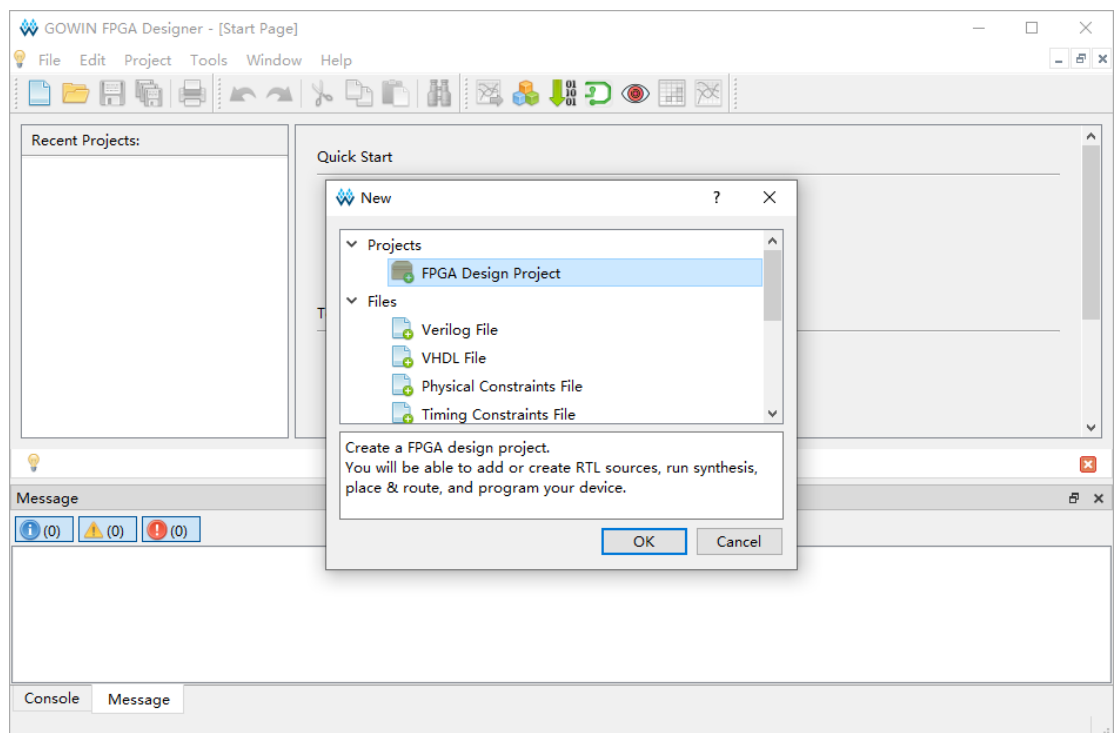
# 3 プロジェクトテンプレート

## 3.1 プロジェクトの作成

### 3.1.1 プロジェクトの新規作成

Gowin ソフトウェアを開き、メニューバーで「File > New… > FPGA Design Project」を選択します(図 3-1)。

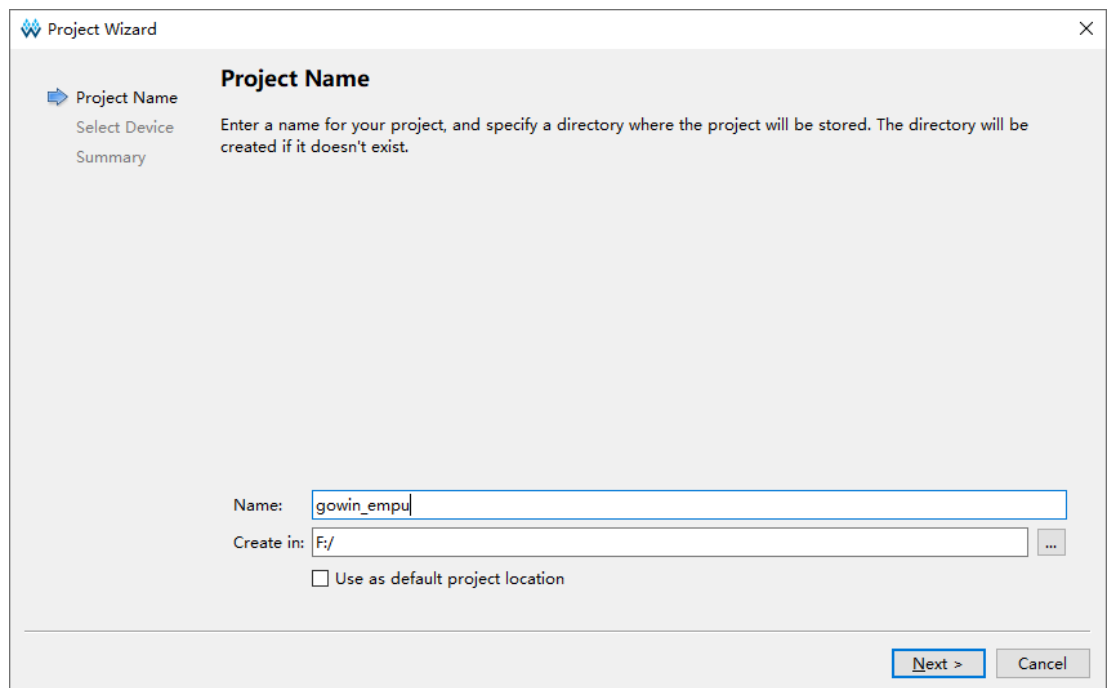
図 3-1 FPGA Design プロジェクトの新規作成



### 3.1.2 プロジェクト名とパスの設定

プロジェクト名を入力し、プロジェクトのパスを選択します(図 3-2)。

図 3-2 プロジェクト名とパスの設定



The screenshot shows the 'Project Wizard' window with the 'Project Name' step selected. The instructions state: 'Enter a name for your project, and specify a directory where the project will be stored. The directory will be created if it doesn't exist.' The 'Name' field contains 'gowin\_empu' and the 'Create in' field contains 'F/'. There is a checkbox for 'Use as default project location' which is currently unchecked. The 'Next >' button is highlighted in blue.

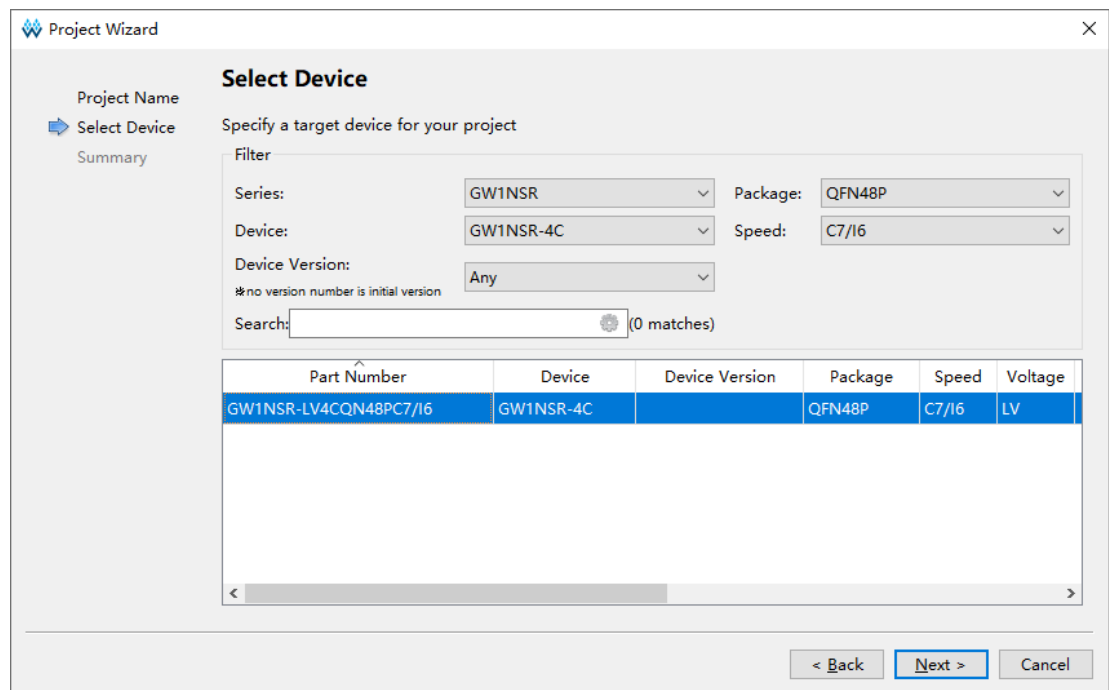
### 3.1.3 デバイスの選択

「Series」、「Device」、「Device Version」、「Package」、「Speed」、および「Part Number」を選択します(図 3-3)。

例えば、DK-START-GW1NSR4C\_QN48P V1.1 開発ボードのリファレンス・デザインの場合の構成は次のとおりです：

- Series : GW1NSR
- Device : GW1NSR-4C
- Device Version : Any
- Package : QFN48P
- Speed : C7/I6
- Part Number : GW1NSR-LV4CQN48PC7/I6

図 3-3 デバイスの選択



**Project Wizard**

Project Name  
 Select Device  
 Summary

**Select Device**

Specify a target device for your project

Filter

Series: GW1NSR Package: QFN48P  
 Device: GW1NSR-4C Speed: C7/I6  
 Device Version: Any  
\*no version number is initial version  
 Search: (0 matches)

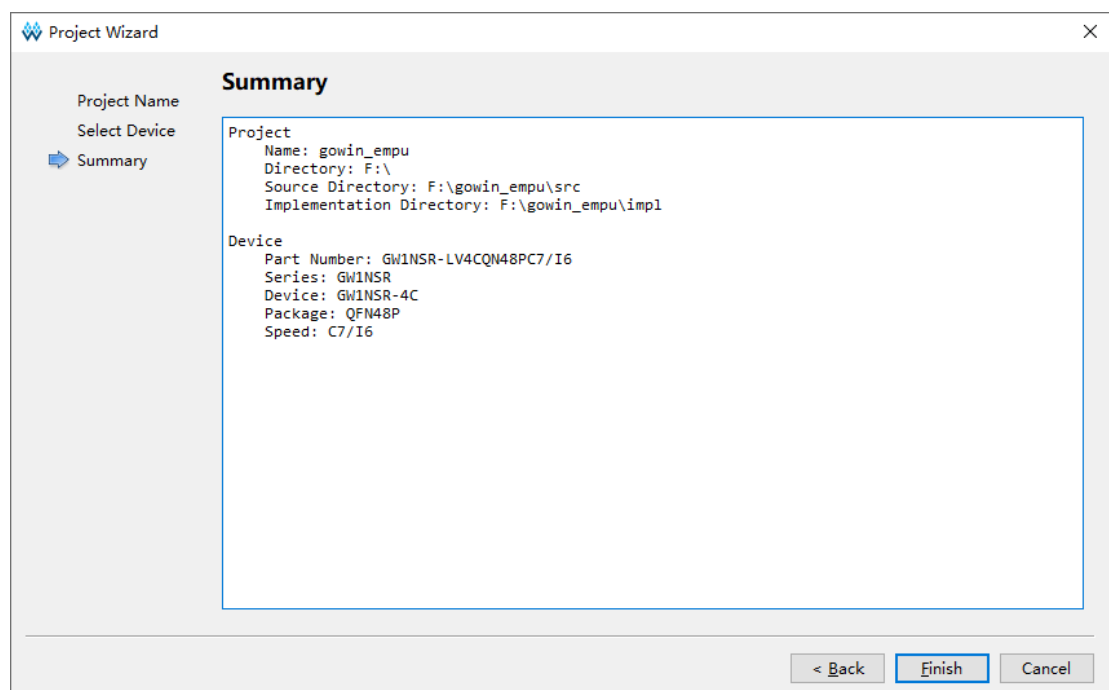
| Part Number           | Device    | Device Version | Package | Speed | Voltage |
|-----------------------|-----------|----------------|---------|-------|---------|
| GW1NSR-LV4CQN48PC7/I6 | GW1NSR-4C |                | QFN48P  | C7/I6 | LV      |

< Back Next > Cancel

### 3.1.4 プロジェクト作成の完了

プロジェクトの作成を完了します(図 3-4)。

図 3-4 プロジェクト作成の完了



**Project Wizard**

Project Name  
 Select Device  
 Summary

**Summary**

Project  
 Name: gowin\_empu  
 Directory: F:\  
 Source Directory: F:\gowin\_empu\src  
 Implementation Directory: F:\gowin\_empu\impl

Device  
 Part Number: GW1NSR-LV4CQN48PC7/I6  
 Series: GW1NSR  
 Device: GW1NSR-4C  
 Package: QFN48P  
 Speed: C7/I6

< Back Finish Cancel

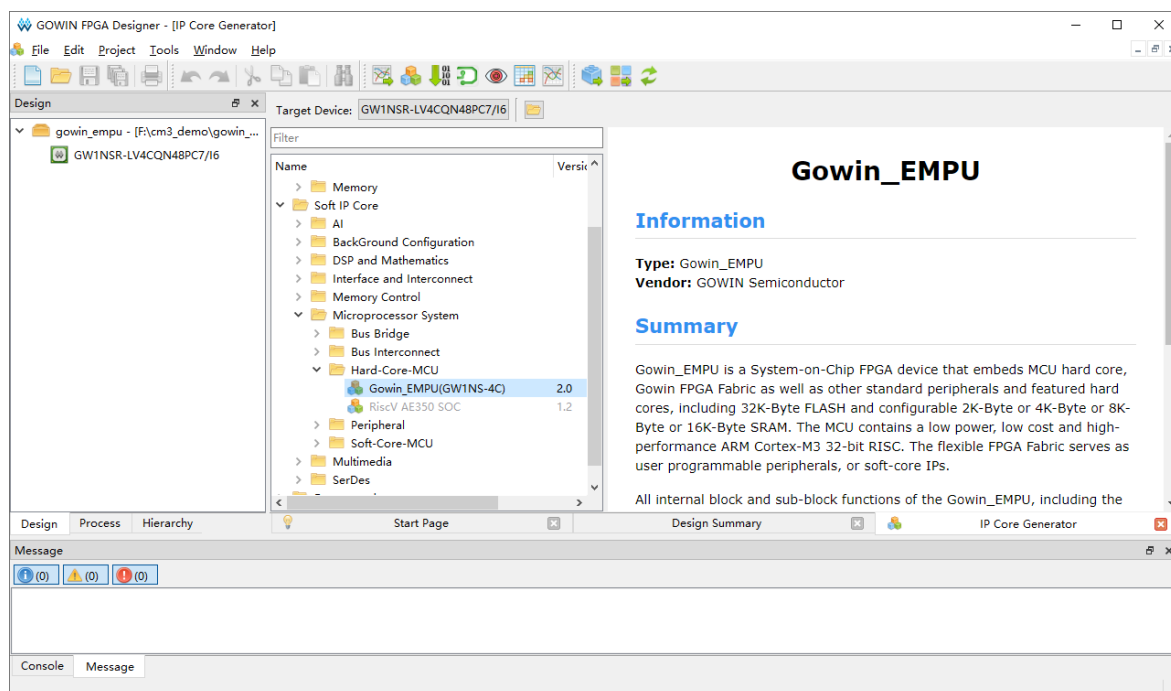
## 3.2 ハードウェア設計

IP Core Generator により Gowin\_EMPU(GW1NS-4C)ハードウェア設計を生成します。

メニューから「Tools > IP Core Generator」を選択するか、ツールバーで「」を選択して IP Core Generator を開きます。

「Soft IP Core > Microprocessor System > Hard-Core-MCU > Gowin\_EMPU(GW1NS-4C) 2.0」を選択します(図 3-5)。

図 3-5 Gowin\_EMPU(GW1NS-4C) IP Core の選択



ダブルクリックして Gowin\_EMPU(GW1NS-4C)を構成します(図 3-6)。

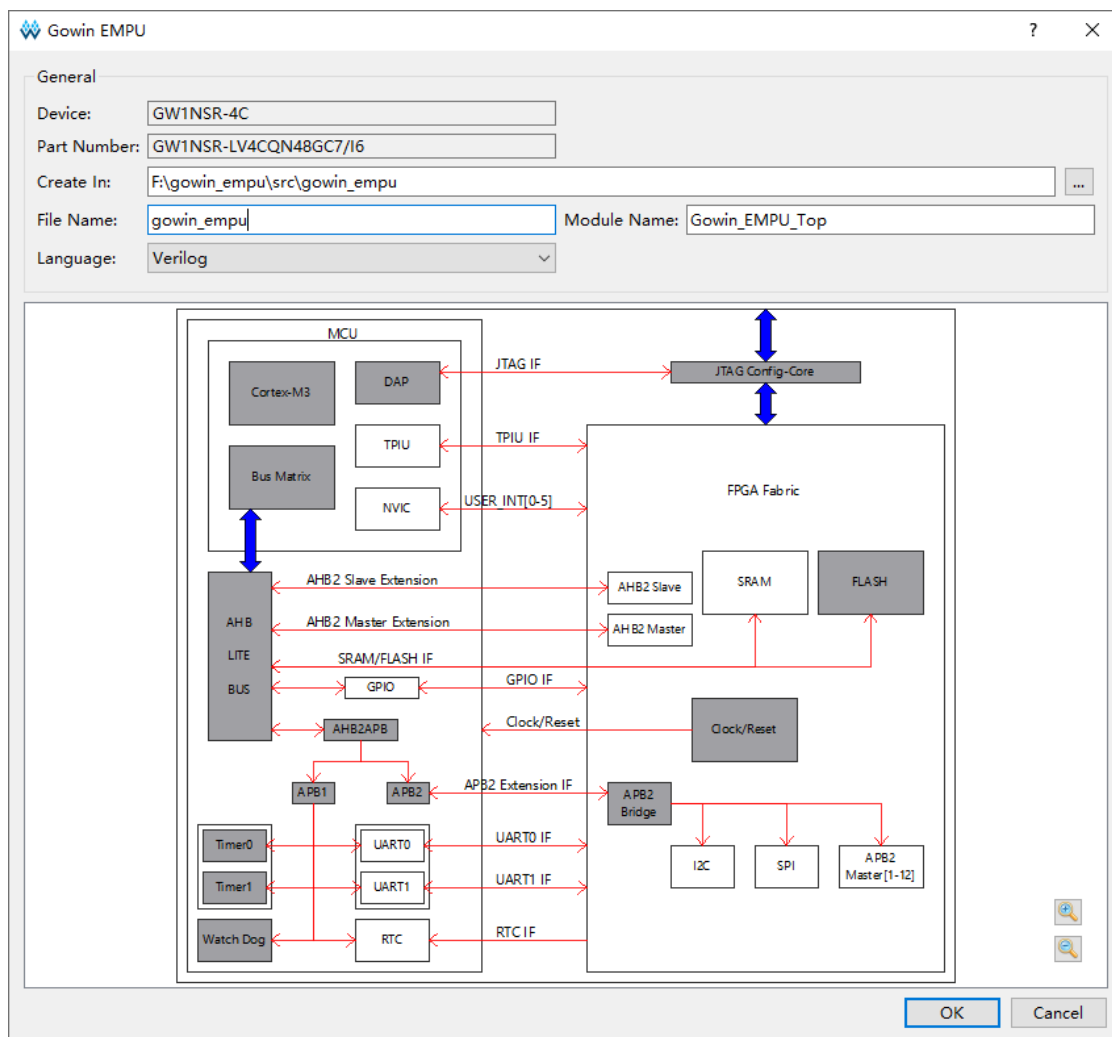
グレイアウトしたモジュールは構成できないデフォルトのモジュールで、グレイアウトしていないモジュールは、ダブルクリックして構成できるモジュールです。

構成できるモジュール：

- TPIU
- NVIC : 6 つのユーザー割り込み処理信号(USER\_INT0~5)
- AHB2 Slave
- AHB2 Master
- GPIO
- UART0 と UART1

- RTC
- SRAM : 2KB、4KB、8KB、または 16KB として構成可能、デフォルトは 8KB
- I2C : FPGA コアシステムには I2C Master あり
- SPI : FPGA コアシステムには SPI Master あり
- APB2 Master[1-12] : 12 個の APB2 Master

図 3-6 アーキテクチャ



Gowin\_EMPU(GW1NS-4C)の構成オプションを表 3-1 に示します。

表 3-1 構成オプション

| 構成オプション           | 説明                                  |
|-------------------|-------------------------------------|
| Enable TPIU       | TPIU を有効にします。デフォルトではオフです。           |
| Enable USER_INT_0 | ユーザー割り込み処理信号[0]を有効にします。デフォルトではオフです。 |

| 構成オプション                     | 説明                                            |
|-----------------------------|-----------------------------------------------|
| Enable USER_INT_1           | ユーザー割り込み処理信号[1]を有効にします。デフォルトではオフです。           |
| Enable USER_INT_2           | ユーザー割り込み処理信号[2]を有効にします。デフォルトではオフです。           |
| Enable USER_INT_3           | ユーザー割り込み処理信号[3]を有効にします。デフォルトではオフです。           |
| Enable USER_INT_4           | ユーザー割り込み処理信号[4]を有効にします。デフォルトではオフです。           |
| Enable USER_INT_5           | ユーザー割り込み処理信号[5]を有効にします。デフォルトではオフです。           |
| Enable GPIO                 | GPIO を有効にします。デフォルトではオフです。                     |
| Enable GPIO I/O             | GPIO の入出力を有効にします。デフォルトではオンです。                 |
| Enable UART0                | UART0 を有効にします。デフォルトではオフです。                    |
| Enable UART1                | UART1 を有効にします。デフォルトではオフです。                    |
| Enable RTC                  | RTC を有効にします。デフォルトではオフです。                      |
| Enable AHB2 Master          | AHB2 Master 拡張インターフェースを有効にします。デフォルトではオフです。    |
| Enable AHB2 Slave           | AHB2 Slave 拡張インターフェースを有効にします。デフォルトではオフです。     |
| Enable I <sup>2</sup> C     | I <sup>2</sup> C Master を有効にします。デフォルトではオフです。  |
| Enable I <sup>2</sup> C I/O | I <sup>2</sup> C の入出力を有効にします。デフォルトではオンです。     |
| Enable SPI                  | SPI Master を有効にします。デフォルトではオフです。               |
| Enable APB2 Master 1        | APB2 Master [1]拡張インターフェースを有効にします。デフォルトではオフです。 |
| Enable APB2 Master 2        | APB2 Master [2]拡張インターフェースを有効にします。デフォルトではオフです。 |
| Enable APB2 Master 3        | APB2 Master [3]拡張インターフェースを有効にします。デフォルトではオフです。 |
| Enable APB2 Master 4        | APB2 Master [4]拡張インターフェースを有効にします。デフォルトではオフです。 |
| Enable APB2 Master 5        | APB2 Master [5]拡張インターフェースを有効にします。デフォルトではオフです。 |
| Enable APB2 Master 6        | APB2 Master [6]拡張インターフェースを有効にします。デフォルトではオフです。 |

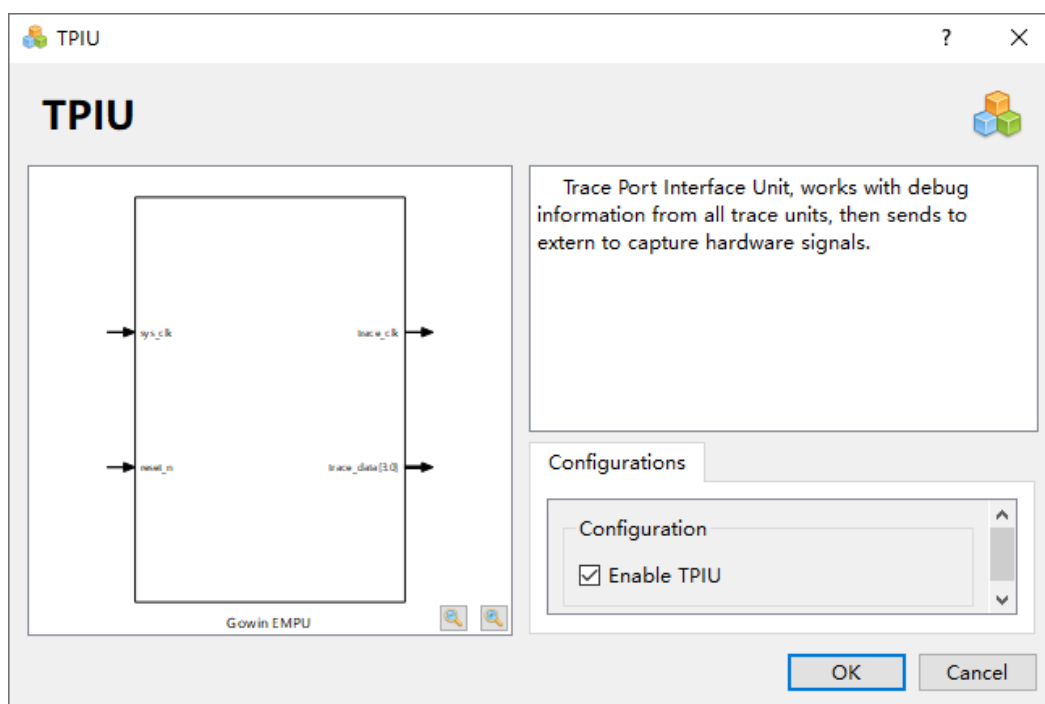
| 構成オプション               | 説明                                             |
|-----------------------|------------------------------------------------|
| Enable APB2 Master 7  | APB2 Master [7]拡張インターフェースを有効にします。デフォルトではオフです。  |
| Enable APB2 Master 8  | APB2 Master [8]拡張インターフェースを有効にします。デフォルトではオフです。  |
| Enable APB2 Master 9  | APB2 Master [9]拡張インターフェースを有効にします。デフォルトではオフです。  |
| Enable APB2 Master 10 | APB2 Master [10]拡張インターフェースを有効にします。デフォルトではオフです。 |
| Enable APB2 Master 11 | APB2 Master [11]拡張インターフェースを有効にします。デフォルトではオフです。 |
| Enable APB2 Master 12 | APB2 Master [12]拡張インターフェースを有効にします。デフォルトではオフです。 |
| SRAM Size             | 2KB、4KB、8KB、または 16KB として構成可能、デフォルトは 16KB です。   |

### 3.2.1 TPIU の構成

TPIU をダブルクリックして構成します(図 3-7)。

Enable TPIU をチェックすると、Gowin\_EMPU(GW1NS-4C)は TPIU をサポートするようになります。デフォルトではオフです。

図 3-7 TPIU の構成

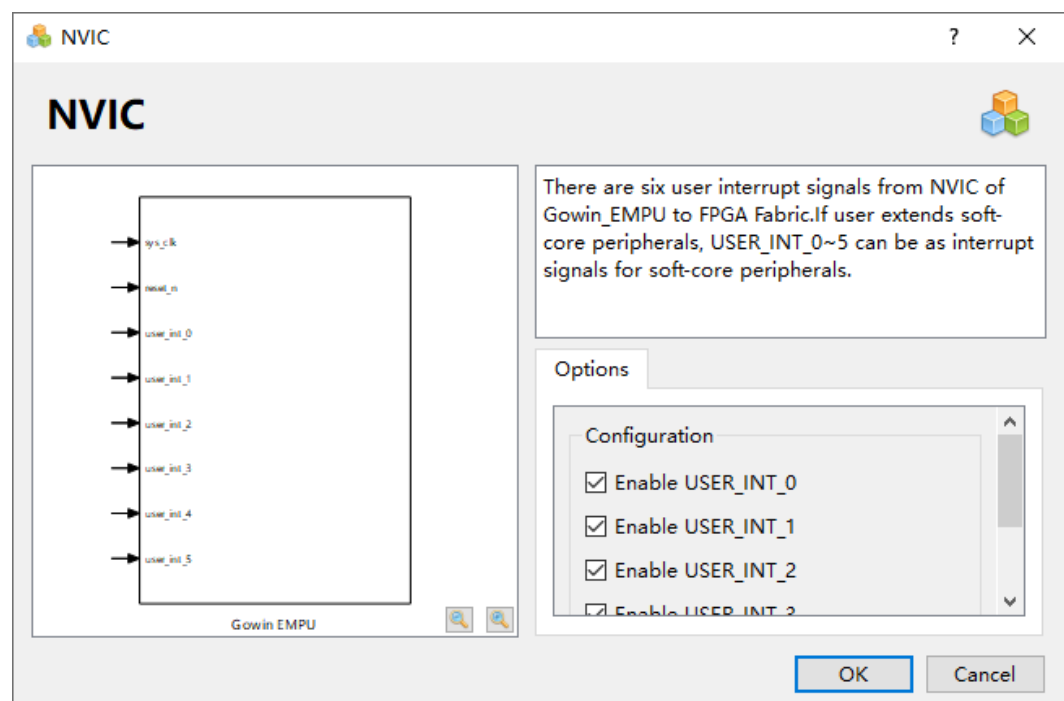


### 3.2.2 NVIC の構成

NVIC をダブルクリックして USER\_INT\_0~5 を拡張外部割り込み処理信号として図 3-8 選択できます。

- Enable USER\_INT\_0 をチェックすると、Gowin\_EMPU(GW1NS-4C) はユーザー割り込み処理信号[0]をサポートするようになります。デフォルトではオフです。
- Enable USER\_INT\_1 をチェックすると、Gowin\_EMPU(GW1NS-4C) はユーザー割り込み処理信号[1]をサポートするようになります。デフォルトではオフです。
- Enable USER\_INT\_2 をチェックすると、Gowin\_EMPU(GW1NS-4C) はユーザー割り込み処理信号[2]をサポートするようになります。デフォルトではオフです。
- Enable USER\_INT\_3 をチェックすると、Gowin\_EMPU(GW1NS-4C) はユーザー割り込み処理信号[3]をサポートするようになります。デフォルトではオフです。
- Enable USER\_INT\_4 をチェックすると、Gowin\_EMPU(GW1NS-4C) はユーザー割り込み処理信号[4]をサポートするようになります。デフォルトではオフです。
- Enable USER\_INT\_5 をチェックすると、Gowin\_EMPU(GW1NS-4C) はユーザー割り込み処理信号[5]をサポートするようになります。デフォルトではオフです。

図 3-8 NVIC の構成

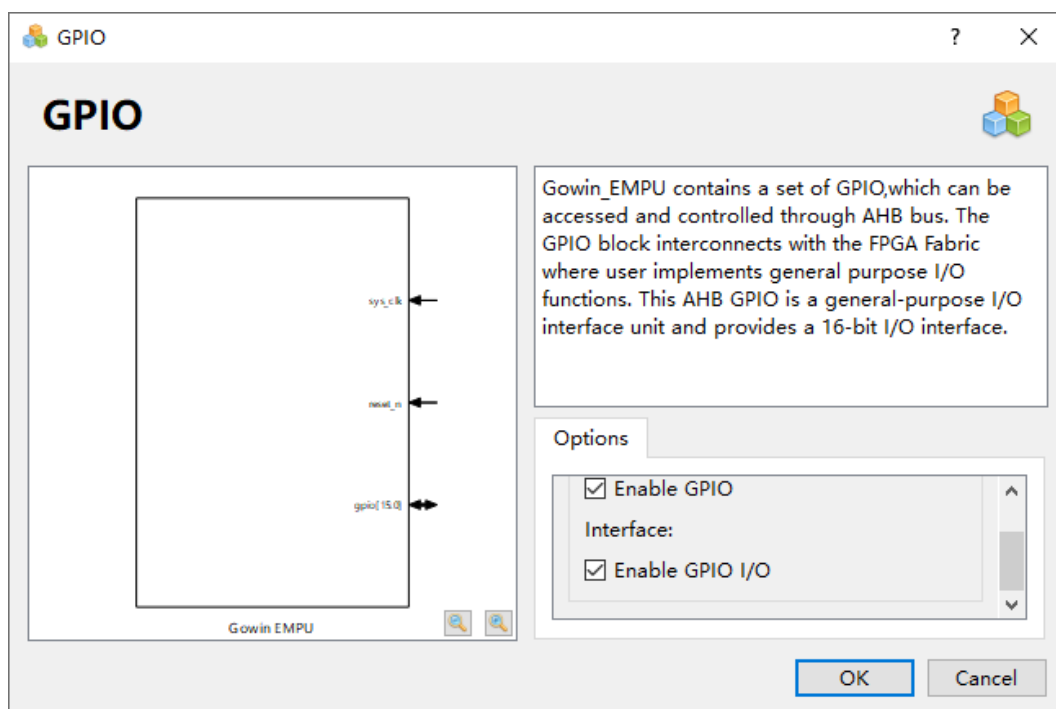


### 3.2.3 GPIO の構成

GPIO をダブルクリックして構成します(図 3-9)。

- Enable GPIO をチェックすると、Gowin\_EMPU(GW1NS-4C)は GPIO をサポートするようになります。デフォルトではオフです。
- Enable GPIO をチェックした場合、GPIO のタイプを構成できます。
- Enable GPIO I/O をチェックすると、GPIO は入出力タイプをサポートするようになります。デフォルトではチェックされています。

図 3-9 GPIO の構成

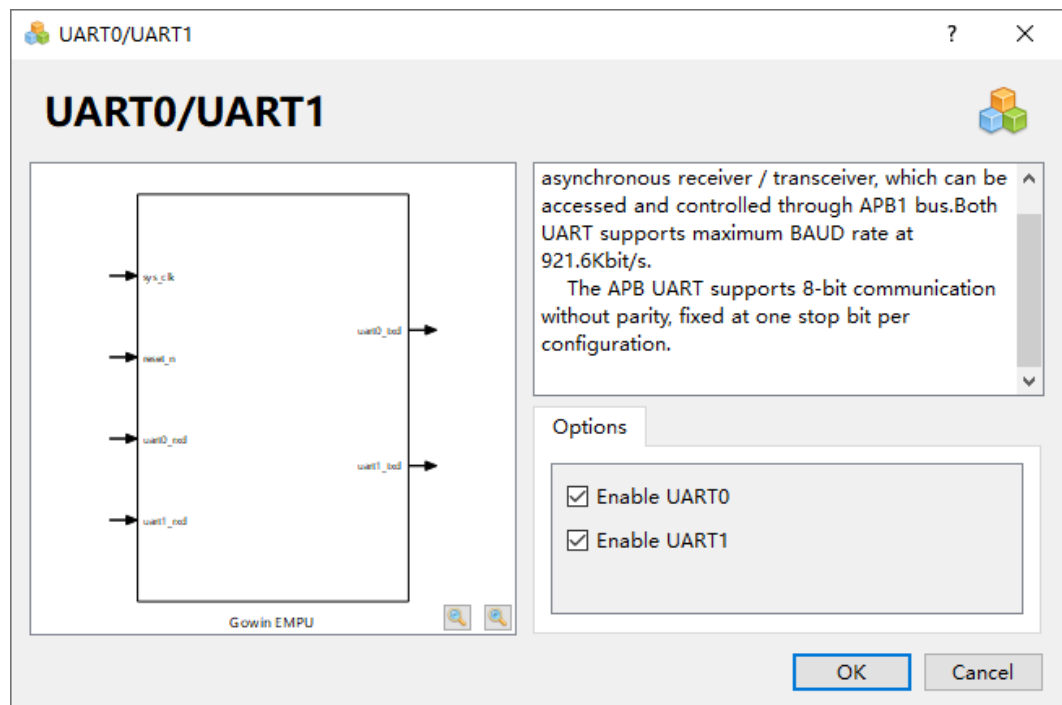


### 3.2.4 UART の構成

UART0 または UART1 をダブルクリックして構成します(図 3-10)。

- Enable UART0 をチェックすると、Gowin\_EMPU(GW1NS-4C)は UART0 をサポートするようになります。デフォルトではオフです。
- Enable UART1 をチェックすると、Gowin\_EMPU(GW1NS-4C)は UART1 をサポートするようになります。デフォルトではオフです。

図 3-10 UART の構成

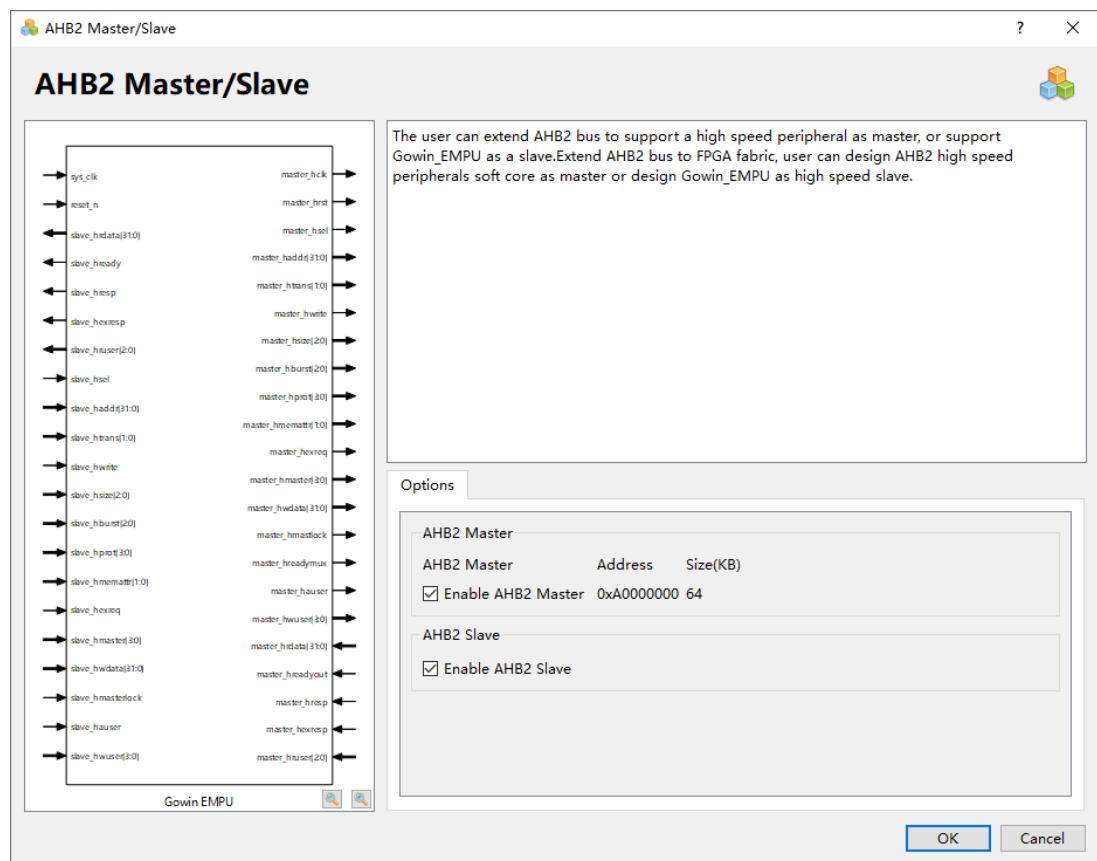


### 3.2.5 AHB2 Master/Slave の構成

AHB2 Slave または AHB2 Master をダブルクリックして構成します (図 3-11)。

- **Enable AHB2 Master** をチェックすると、Gowin\_EMPU(GW1NS-4C) は AHB2 Master をサポートするようになります。デフォルトではオフです。このインターフェースを通じて、拡張された FPGA ロジック周辺機器はスレーブデバイスとして機能し、MCU はマスターデバイスとして機能します。
- **Enable AHB2 Slave** をチェックすると、Gowin\_EMPU(GW1NS-4C) は AHB2 Slave をサポートするようになります。デフォルトではオフです。このインターフェースを通じて、MCU はスレーブデバイスとして機能し、FPGA ロジックはマスターデバイスとして機能します。
- AHB2 Master のベースアドレス : 0xA0000000。

図 3-11 AHB2 Master/Slave の構成

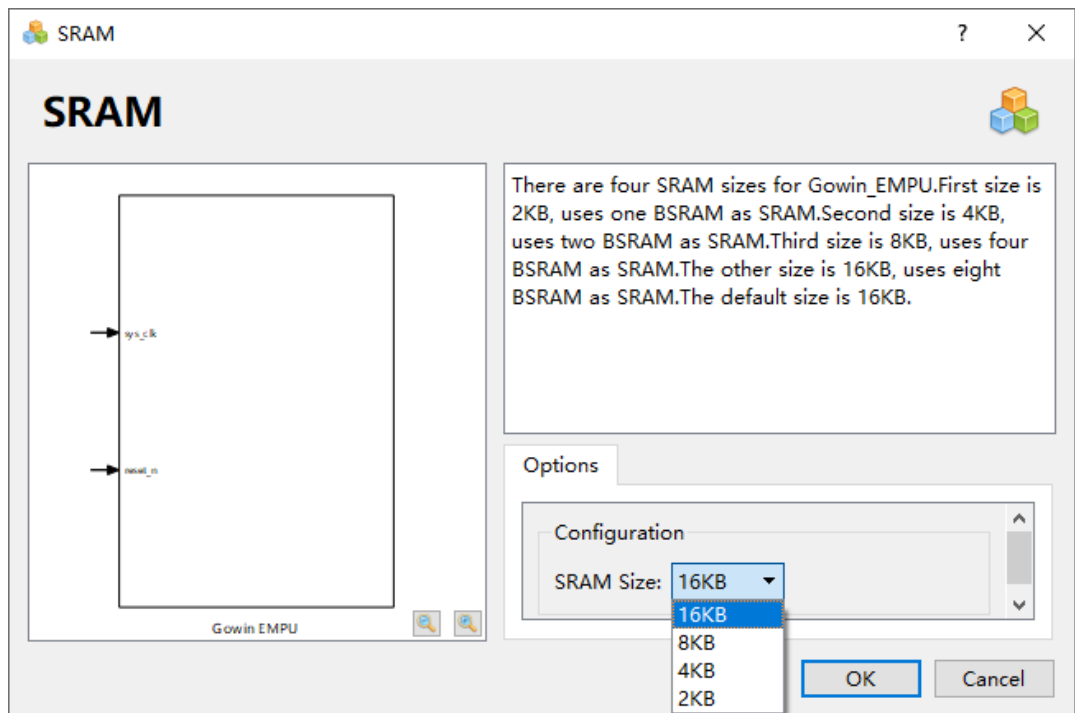


### 3.2.6 SRAM の構成

SRAM をダブルクリックして SRAM Size を構成します(図 3-12)。

2KB、4KB、8KB、または 16KB として構成でき、デフォルトは 16KB です。

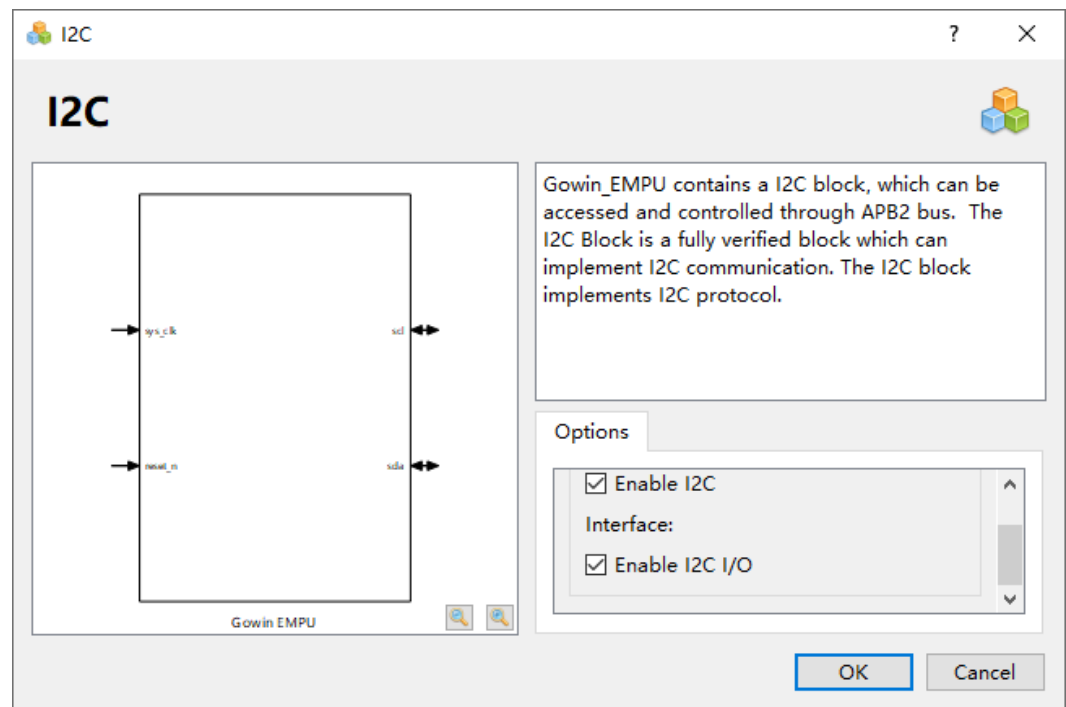
図 3-12 SRAM の構成



### 3.2.7 I<sup>2</sup>C の構成

「I<sup>2</sup>C」をダブルクリックして I<sup>2</sup>C Master を構成します(図 3-13)。

- 「Enable I<sup>2</sup>C」をチェックすると、Gowin\_EMPU(GW1NS-4C)は I<sup>2</sup>C Master をサポートするようになります。デフォルトではオフです。
- 「Enable I<sup>2</sup>C」を選択した場合、I<sup>2</sup>C Master のタイプを構成できます。
- 「Enable I<sup>2</sup>C I/O」をチェックすると、I<sup>2</sup>C Master は入出力タイプをサポートするようになります。デフォルトではチェックされています。

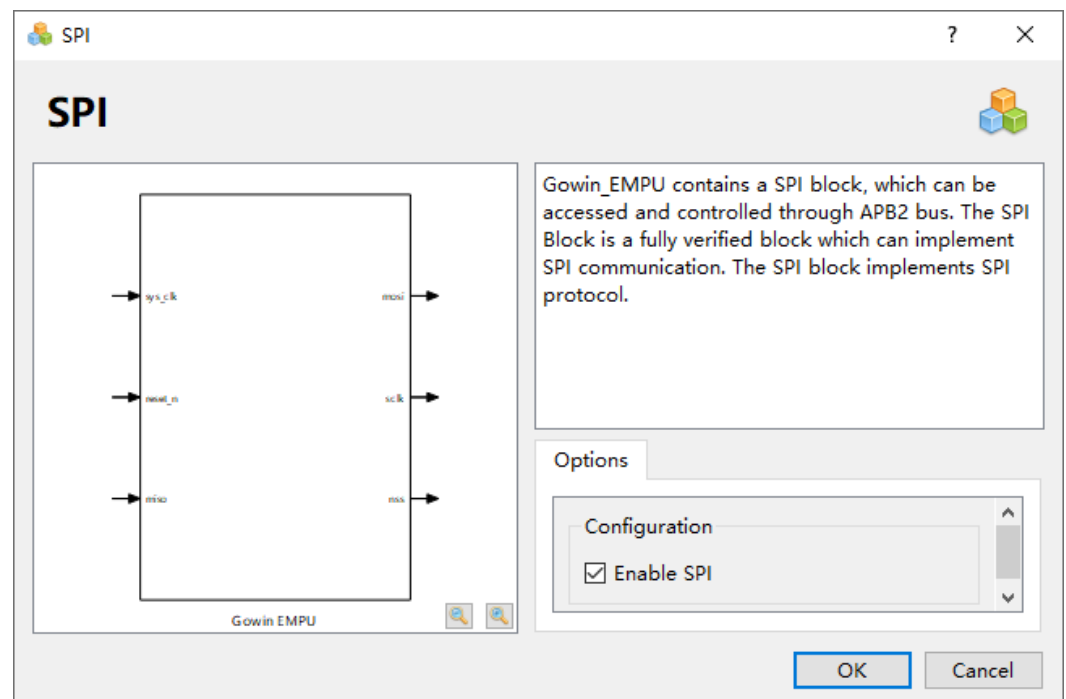
図 3-13 I<sup>2</sup>C の構成

### 3.2.8 SPI の構成

SPI をダブルクリックして SPI Master を構成します(図 3-14)。

Enable SPI をチェックすると、Gowin\_EMPU(GW1NS-4C)は SPI Master をサポートするようになります。デフォルトではオフです。

図 3-14 SPI の構成



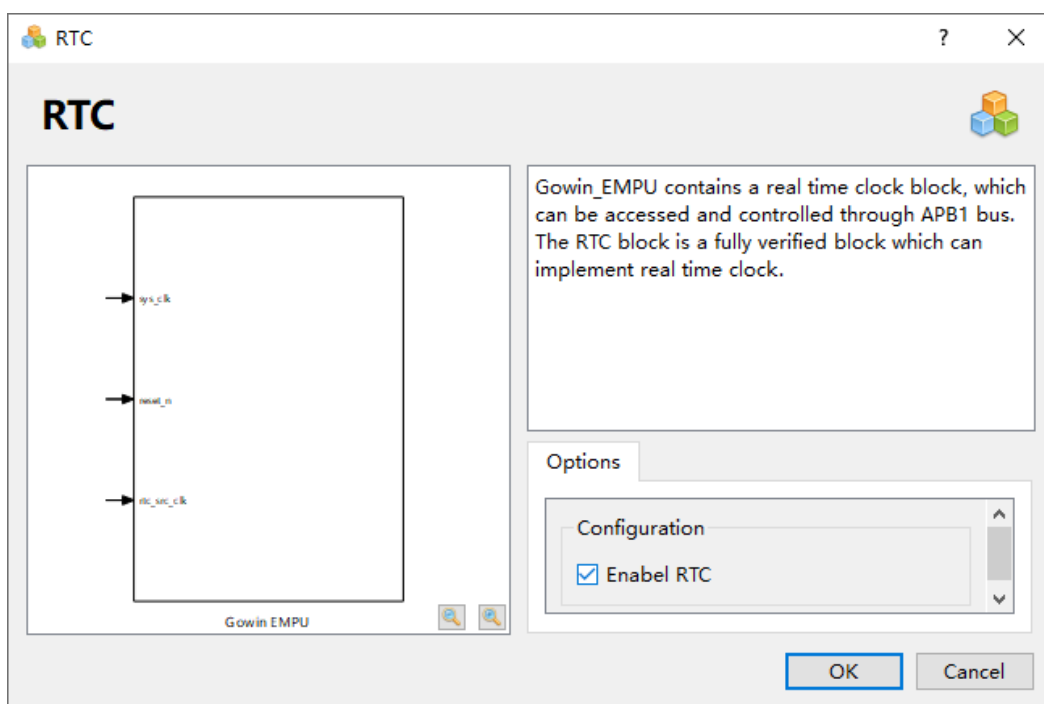
### 3.2.9 RTC の構成

RTC をダブルクリックして構成します(図 3-15)。

Enable RTC をチェックすると、Gowin\_EMPU(GW1NS-4C)は RTC をサポートするようになります。デフォルトではオフです。

ポート `rtc_src_clk` からの 3.072MHz のクロック入力、RTC 内部で 1Hz に分周されます

図 3-15 RTC の構成



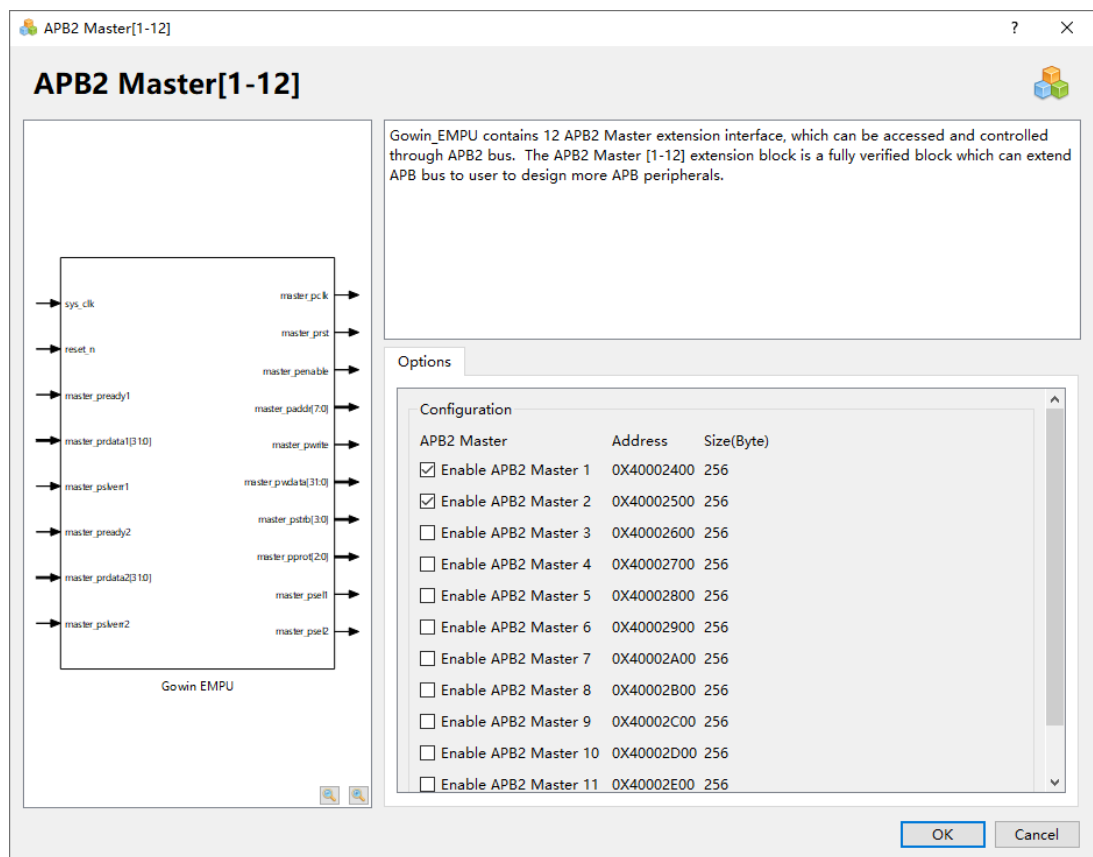
### 3.2.10 APB2 Master の構成

APB2 Master[1-12]をダブルクリックして APB2 Master [1-12]を構成します(図 3-16)。

- Enable APB2 Master 1 をチェックすると、Gowin\_EMPU(GW1NS-4C) は APB2 Master [1]をサポートするようになります。デフォルトではオフです。
- Enable APB2 Master 2 をチェックすると、Gowin\_EMPU(GW1NS-4C) は APB2 Master [2]をサポートするようになります。デフォルトではオフです。
- Enable APB2 Master 3 をチェックすると、Gowin\_EMPU(GW1NS-4C) は APB2 Master [3]をサポートするようになります。デフォルトではオフです。

- Enable APB2 Master 4 をチェックすると、Gowin\_EMPU(GW1NS-4C) は APB2 Master [4]をサポートするようになります。デフォルトではオフです。
- Enable APB2 Master 5 をチェックすると、Gowin\_EMPU(GW1NS-4C) は APB2 Master [5]をサポートするようになります。デフォルトではオフです。
- Enable APB2 Master 6 をチェックすると、Gowin\_EMPU(GW1NS-4C) は APB2 Master [6]をサポートするようになります。デフォルトではオフです。
- Enable APB2 Master 7 をチェックすると、Gowin\_EMPU(GW1NS-4C) は APB2 Master [7]をサポートするようになります。デフォルトではオフです。
- Enable APB2 Master 8 をチェックすると、Gowin\_EMPU(GW1NS-4C) は APB2 Master [8]をサポートするようになります。デフォルトではオフです。
- Enable APB2 Master 9 をチェックすると、Gowin\_EMPU(GW1NS-4C) は APB2 Master [9]をサポートするようになります。デフォルトではオフです。
- Enable APB2 Master 10 をチェックすると、Gowin\_EMPU(GW1NS-4C)はAPB2 Master [10]をサポートするようになります。デフォルトではオフです。
- Enable APB2 Master 11 をチェックすると、Gowin\_EMPU(GW1NS-4C)はAPB2 Master [11]をサポートするようになります。デフォルトではオフです。
- Enable APB2 Master 12 をチェックすると、Gowin\_EMPU(GW1NS-4C)はAPB2 Master [12]をサポートするようになります。デフォルトではオフです。

図 3-16 APB2 Master[1-12]の構成



APB2 Master [1-12]のベースアドレスを表 3-2 に示します。

表 3-2 APB2 Master[1-12]のベースアドレス

| APB2 Master | アドレス       | サイズ(バイト) |
|-------------|------------|----------|
| 1           | 0x40002400 | 256      |
| 2           | 0x40002500 | 256      |
| 3           | 0x40002600 | 256      |
| 4           | 0x40002700 | 256      |
| 5           | 0x40002800 | 256      |
| 6           | 0x40002900 | 256      |
| 7           | 0x40002A00 | 256      |
| 8           | 0x40002B00 | 256      |
| 9           | 0x40002C00 | 256      |
| 10          | 0x40002E00 | 256      |
| 11          | 0x40002E00 | 256      |
| 12          | 0x40002F00 | 256      |

### 3.2.11 PSRAM Memory Interface

FPGA デバイスが GW1NSR-4C MG64P の場合、Gowin\_EMPU(GW1NS-4C)は FPGA コアシステムの PSRAM Memory Interface 周辺機器をサポートするようになります。

そのリファレンス・デザインが提供されます。

ハードウェア設計フロー

- IP Core Generator により Gowin\_EMPU(GW1NS-4C) IP Core を構成・生成し、AHB2 Master 拡張インターフェースを有効にします。
- IP Core Generator により PSRAM Memory Interface HS IP Core を構成・生成します。
  - Memory Clock : 100MHz
  - ほかの構成項目 : デフォルト
- AHB インターフェースの AHB PSRAM Memory Interface HS IP を実装します。gw\_ahb\_psram.v を参照してください。
- Gowin\_EMPU(GW1NS-4C) Top Module と AHB PSRAM Memory Interface Top Module をインスタンス化します。
- Gowin\_EMPU(GW1NS-4C)と AHB PSRAM Memory Interface の AHB インターフェースを接続します。

リファレンス・デザイン

リファレンス・デザインのダウンロード URL :

[cdn.gowinsemi.com.cn/Gowin\\_EMPU\(GW1NS-4C\)\\_V2.1.zip](http://cdn.gowinsemi.com.cn/Gowin_EMPU(GW1NS-4C)_V2.1.zip)

- ハードウェア・リファレンス・デザイン
  - ...

¥ref\_design¥FPGA\_RefDesign¥DK\_START\_GW1NSR4C\_MG64P\_V1.1¥gowin\_empu¥cm3\_psram\_demo

- ソフトウェア・リファレンス・デザイン
  - ...
    - ¥ref\_design¥MCU\_RefDesign¥MDK\_RefDesign¥cm3\_demo¥project¥psram
  - ...
    - ¥ref\_design¥MCU\_RefDesign¥GMD\_RefDesign¥cm3\_demo¥project¥psram

### 3.2.12 HyperRAM Memory Interface

FPGA デバイスが GW1NSR-4C または GW1NSER-4C QN48P の場合、Gowin\_EMPU(GW1NS-4C)は FPGA コアシステムの HyperRAM Memory Interface 周辺機器をサポートするようになります。

そのリファレンス・デザインが提供されます。

ハードウェア設計フロー

- IP Core Generator により Gowin\_EMPU(GW1NS-4C) IP Core を構成・生成し、AHB2 Master 拡張インターフェースを有効にします。
- IP Core Generator により HyperRAM Memory Interface embedded IP Core を構成・生成します。
  - Memory Clock : 100MHz
  - ほかの構成項目 : デフォルト
- AHB インターフェースの AHB HyperRAM Memory Interface IP を実装します。gw\_ahb\_hyperram.v を参照してください。
- Gowin\_EMPU(GW1NS-4C) Top Module と AHB HyperRAM Memory Interface Top Module をインスタンス化します。
- Gowin\_EMPU(GW1NS-4C)と AHB HyperRAM Memory Interface の AHB インターフェースを接続します。

リファレンス・デザイン

リファレンス・デザインのダウンロード URL :

[cdn.gowinsemi.com.cn/Gowin\\_EMPU\(GW1NS-4C\)\\_V2.1.zip](http://cdn.gowinsemi.com.cn/Gowin_EMPU(GW1NS-4C)_V2.1.zip)

- ハードウェア・リファレンス・デザイン

...

¥ref\_design¥FPGA\_RefDesign¥DK\_START\_GW1NSR4C\_QN48P\_V1.1¥gowin\_empu¥cm3\_hyperram\_demo

- ソフトウェア・リファレンス・デザイン

- ...

¥ref\_design¥MCU\_RefDesign¥MDK\_RefDesign¥cm3\_demo¥project¥hyper\_ram

- ...

¥ref\_design¥MCU\_RefDesign¥GMD\_RefDesign¥cm3\_demo¥project¥hyper\_ram

### 3.2.13 SPI-Flash Memory

FPGA デバイスが GW1NSR-4C または GW1NSER-4C QN48G の場合、Gowin\_EMPU(GW1NS-4C)はFPGA コアシステムの SPI-Flash Memory 周辺機器をサポートするようになります。

そのリファレンス・デザインが提供されます。

ハードウェア設計フロー

- IP Core Generator により Gowin\_EMPU(GW1NS-4C) IP Core を構成・生成し、APB2 Master [1]拡張インターフェースを有効にします。
- SPI-Flash Memory IP を実装します。gw\_spiflash.v を参照してください。
- APB インターフェースの APB SPI-Flash Memory IP を実装します。gw\_spiflash.v を参照してください。
- Gowin\_EMPU(GW1NS-4C) Top Module と APB SPI-Flash Memory Top Module をインスタンス化します。
- Gowin\_EMPU(GW1NS-4C)と APB SPI-Flash Memory の APB インターフェースを接続します。

リファレンス・デザイン

リファレンス・デザインのダウンロード URL :

[cdn.gowinsemi.com.cn/Gowin\\_EMPU\(GW1NS-4C\)\\_V2.1.zip](http://cdn.gowinsemi.com.cn/Gowin_EMPU(GW1NS-4C)_V2.1.zip)

- ハードウェア・リファレンス・デザイン

...

¥ref\_design¥FPGA\_RefDesign¥DK\_START\_GW1NSR4C\_QN48G\_V1.1¥gowin\_empu¥cm3\_spiflash\_demo

- ソフトウェア・リファレンス・デザイン

- ...

¥ref\_design¥MCU\_RefDesign¥MDK\_RefDesign¥cm3\_demo¥project¥spi\_flash

- ...

¥ref\_design¥MCU\_RefDesign¥GMD\_RefDesign¥cm3\_demo¥project¥spi\_flash

## 3.3 ユーザーデザイン

- Gowin\_EMPU(GW1NS-4C)の構成が完了した後、Gowin\_EMPU(GW1NS-4C) IP Core を生成します。

- Gowin\_EMPU(GW1NS-4C) Top Module をインスタンス化します。
- ユーザーデザインをインポートし、Gowin\_EMPU(GW1NS-4C) Top Module をユーザーデザインに接続して完全な RTL 設計を作成します。

## 3.4 制約

ユーザーRTL 設計が完了したら、使用する開発ボードと入力・出力が必要な IO に基づいて物理制約ファイルを生成します。

タイミング要件に基づいてタイミング制約ファイルを生成します。

物理制約のタイミング制約の生成方法については、『Gowin 物理制約ユーザーガイド([SUG935](#))』および『Gowin タイミング制約ユーザーガイド([SUG940](#))』を参照してください。

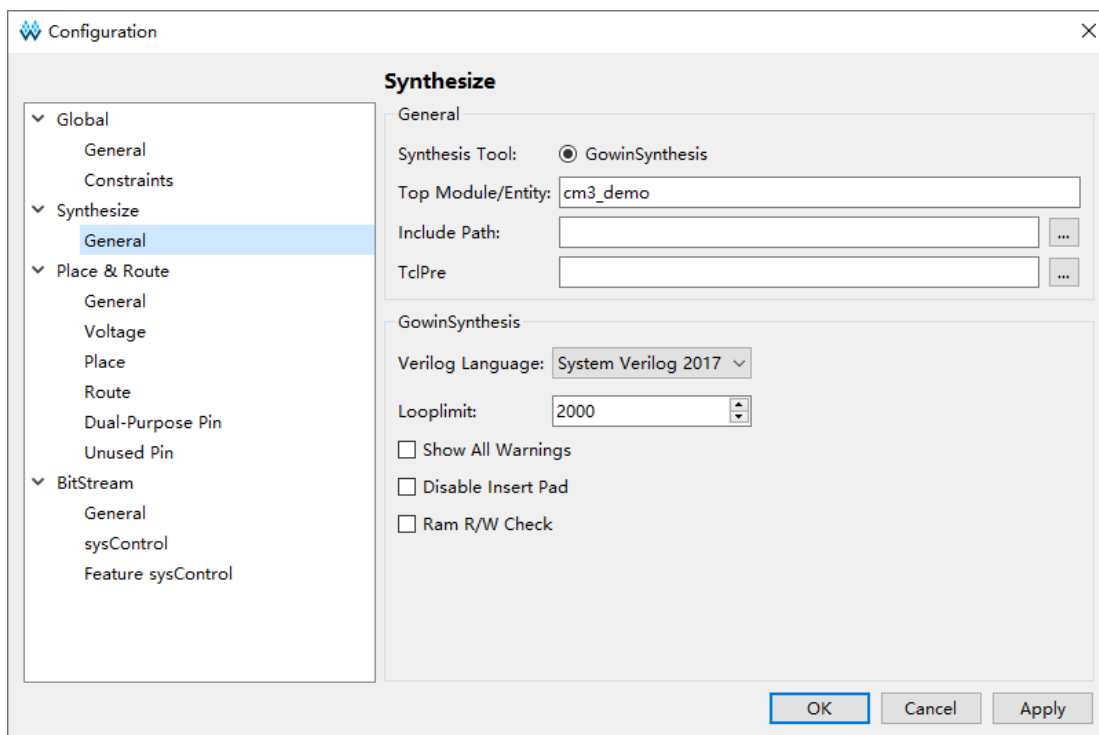
## 3.5 構成

### 3.5.1 合成オプションの構成

「Synthesize > General」オプションを構成します(図 3-17)。

- Top Module/Entity で実際のトップ・モジュール名を入力します。
- Include Path で実際のインクルードパスを入力します。
- Verilog Language を選択します。例えば、System Verilog 2017。

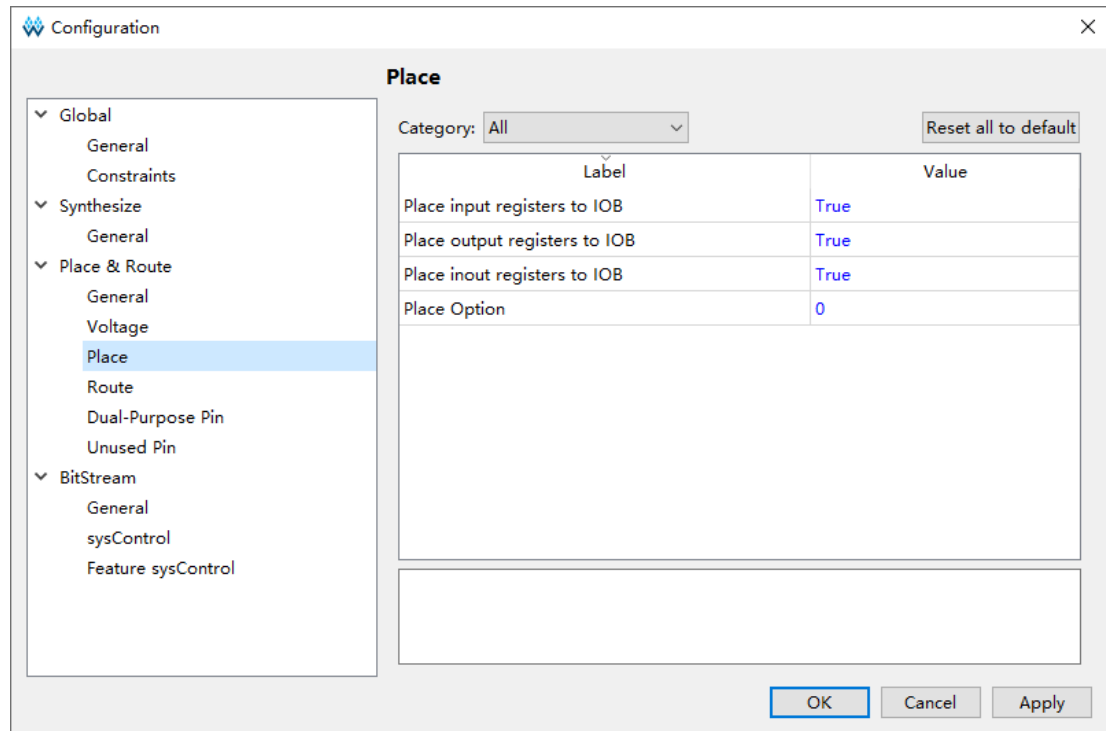
図 3-17 合成オプションの構成



### 3.5.2 配置オプションの構成

配置オプションの構成例を図 3-18 に示します。

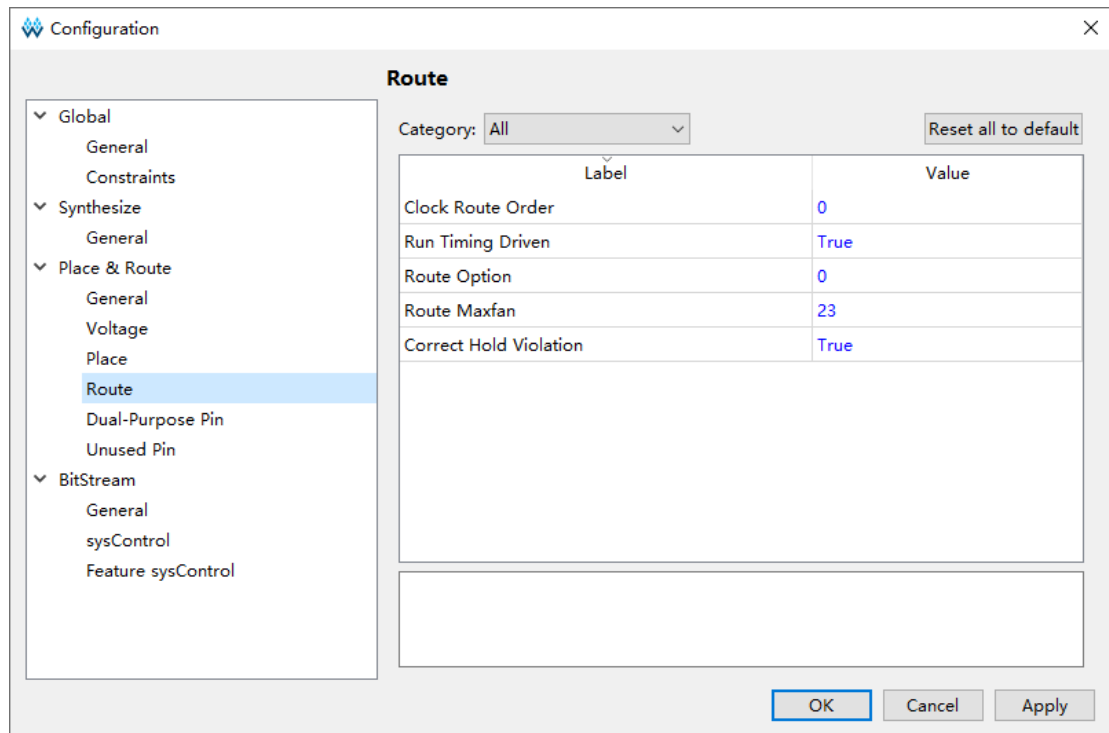
図 3-18 配置オプションの構成



### 3.5.3 配線オプションの構成

配線オプションの構成例を図 3-19 に示します。

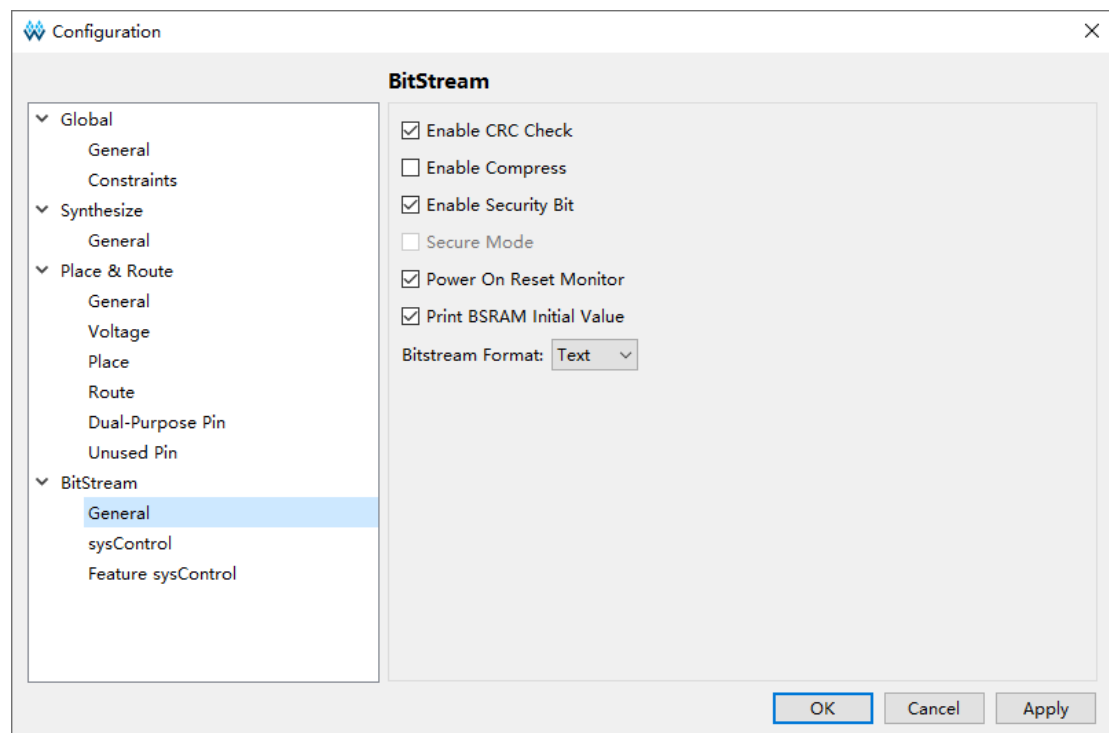
図 3-19 配線オプションの構成



### 3.5.4 ビットストリームオプションの構成

ビットストリームオプションの構成例を図 3-20 に示します。

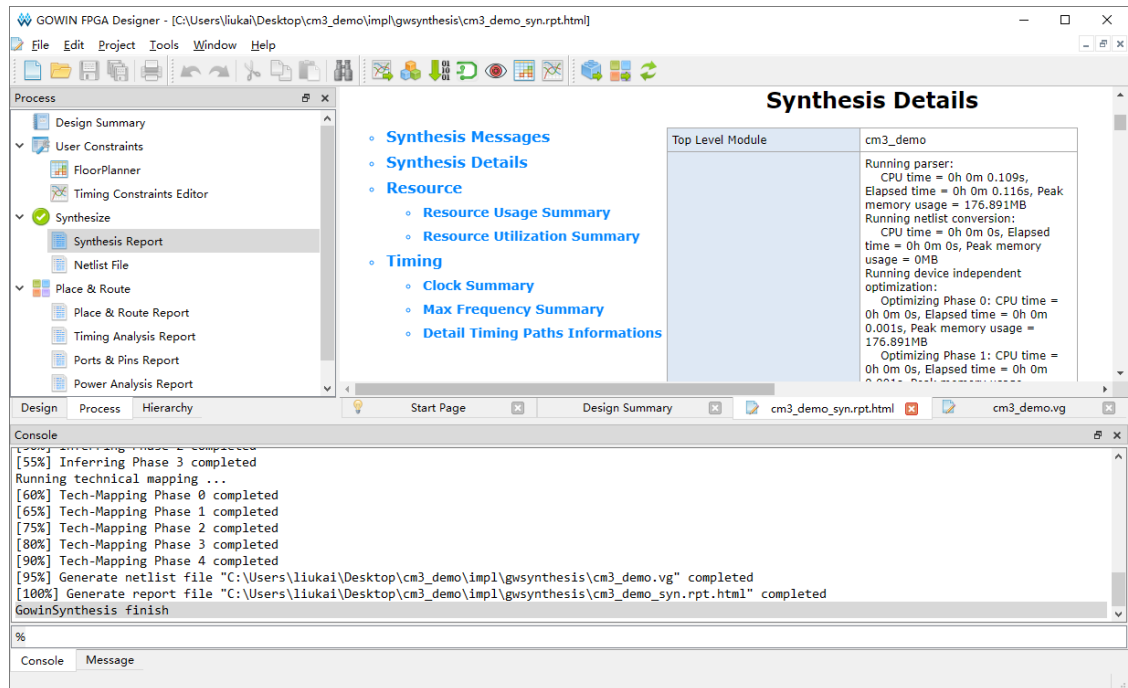
図 3-20 ビットストリームオプションの構成



## 3.6 合成

Gowin ソフトウェアの合成ツール **GowinSynthesis** で RTL 設計の合成を実行して合成後のネットリスト・ファイルを生成します(図 3-21)。

図 3-21 合成

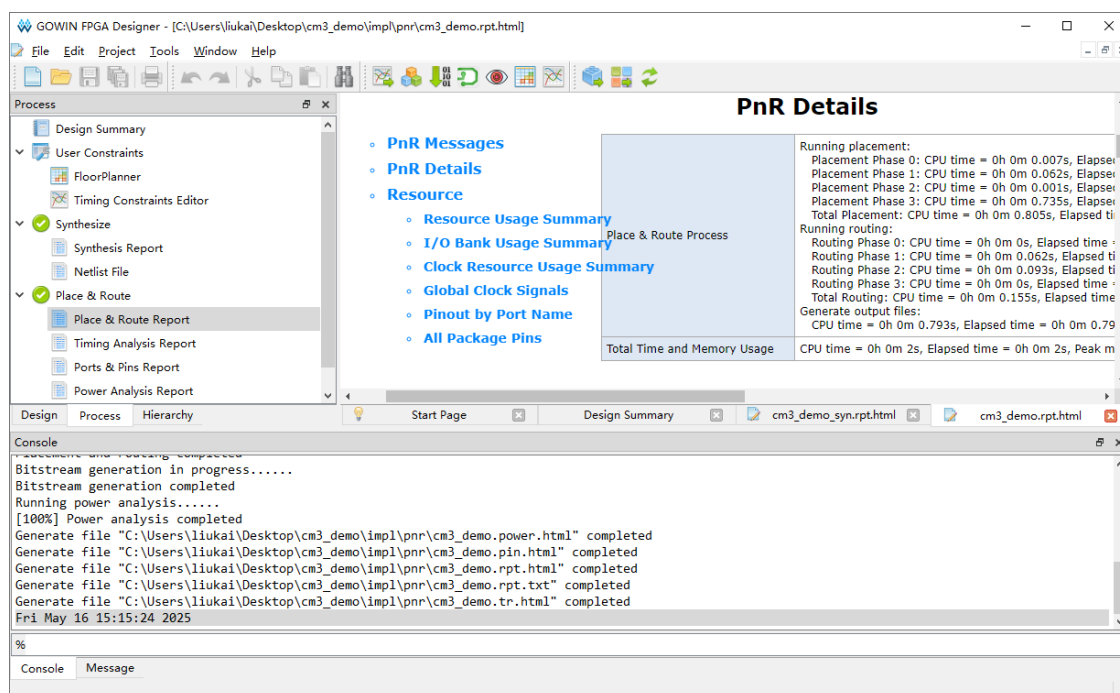


合成ツールの使用方法については、『Gowin ソフトウェア ユーザーガイド([SUG100](#))』を参照してください。

## 3.7 配置配線

Gowin ソフトウェアの配置配線ツール **Place & Route** を実行して配置配線を行い、ビットストリームファイルを生成します(図 3-22)。

図 3-22 配置配線



配置配線ツールの使用方法については、『Gowin ソフトウェア ユーザーガイド([SUG100](#))』を参照してください。

## 3.8 ダウンロード

ダウンロードツールである **Programmer** を使用してビットストリームファイルをダウンロードします。

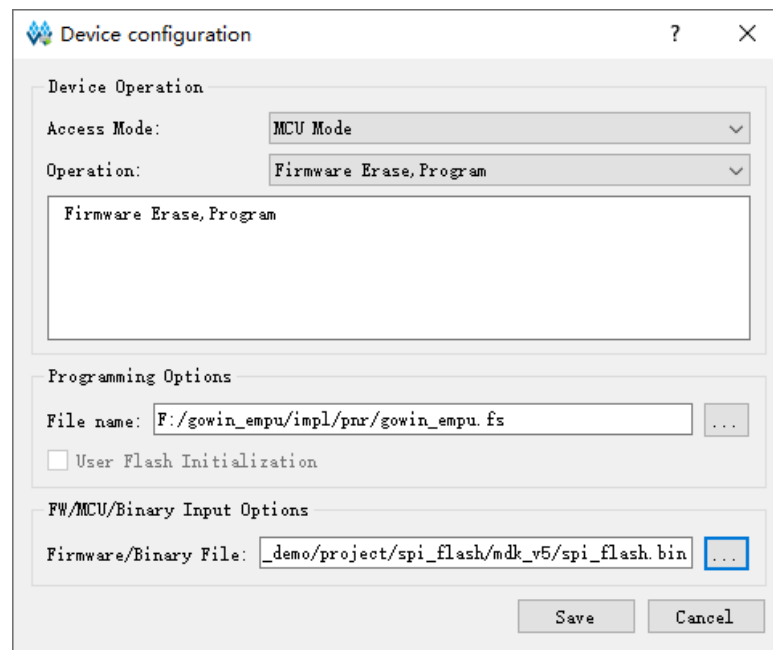
Gowin ソフトウェアまたはインストールパスから **Programmer** を開きます。

**Programmer** のメニューバーの **Edit > Configure Device** またはツールバーのをクリックして、**Device configuration** ダイアログボックスを開きます。

GW1NS-4C または GW1NSR-4C の場合、ダウンロードオプションの構成は図 3-23 に示すとおりです。

- 「Access Mode」のプルダウンリストから「MCU Mode」を選択します。
- 「Operation」のプルダウンリストから「Firmware Erase, Program」または「Firmware Erase, Program, Verify」を選択します。

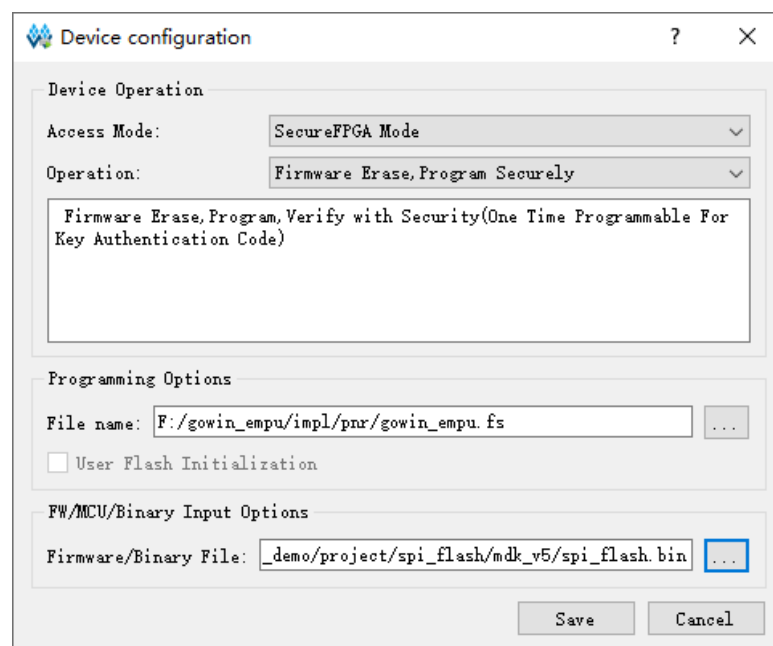
図 3-23 GW1NS-4C/GW1NSR-4C のダウンロードオプションの構成



GW1NSR-4C の場合、ダウンロードオプションの構成は図 3-24 に示すとおりです。

- 「Access Mode」のプルダウンリストから「SecureFPGA Mode」を選択します。
- 「Operation」のプルダウンリストから「Firmware Erase, Program Securely」を選択します。

図 3-24 GW1NSR-4C のダウンロードオプションの構成



- 「Programming Options > File name」 オプションでハードウェア設計のビットストリームファイルを選択します。
- 最後に「Save」をクリックします。

注記：

「FW/MCU/Binary Input Options > Firmware/Binary File」オプションでソフトウェア設計の実行ファイルをインポートします。『Gowin\_EMPU(GW1NS-4C) IDE ユーザーガイド ([IPUG928](#))』を参照してください。

Device configuration が完了したら、Programmer のツールバー上の「Program/Configure」()をクリックしてハードウェア設計のビットストリームファイルとソフトウェア設計の実行ファイルをダウンロードします。

Programmer の使用方法については、『Gowin Programmer ユーザーガイド([SUG502](#))』を参照してください。

# 4 リファレンス・デザイン

Gowin ソフトウェア (テスト済みバージョン : V1.9.11.02(64-bit))を使用した Gowin\_EMPU(GW1NS-4C)のリファレンス・デザインのダウンロード URL : [cdn.gowinsemi.com.cn/Gowin\\_EMPU\(GW1NS-4C\)\\_V2.1.zip](http://cdn.gowinsemi.com.cn/Gowin_EMPU(GW1NS-4C)_V2.1.zip) :

- ...¥ref\_design¥FPGA\_RefDesign¥DK\_START\_GW1NSR4C\_MG64P\_V1.1¥gowin\_empu¥cm3\_psram\_demo
- ...¥ref\_design¥FPGA\_RefDesign¥DK\_START\_GW1NSR4C\_QN48G\_V1.1¥gowin\_empu¥cm3\_spiflash\_demo
- ...¥ref\_design¥FPGA\_RefDesign¥DK\_START\_GW1NSR4C\_QN48P\_V1.1¥gowin\_empu¥cm3\_ahb2\_demo
- ...¥ref\_design¥FPGA\_RefDesign¥DK\_START\_GW1NSR4C\_QN48P\_V1.1¥gowin\_empu¥cm3\_ahb2\_slave\_demo
- ...¥ref\_design¥FPGA\_RefDesign¥DK\_START\_GW1NSR4C\_QN48P\_V1.1¥gowin\_empu¥cm3\_apb2\_demo
- ...¥ref\_design¥FPGA\_RefDesign¥DK\_START\_GW1NSR4C\_QN48P\_V1.1¥gowin\_empu¥cm3\_demo
- ...¥ref\_design¥FPGA\_RefDesign¥DK\_START\_GW1NSR4C\_QN48P\_V1.1¥gowin\_empu¥cm3\_fifo\_demo
- ...¥ref\_design¥FPGA\_RefDesign¥DK\_START\_GW1NSR4C\_QN48P\_V1.1¥gowin\_empu¥cm3\_hyperram\_demo
- ...¥ref\_design¥FPGA\_RefDesign¥DK\_START\_GW1NSR4C\_QN48P\_V1.1¥gowin\_empu¥cm3\_userint\_demo
- ...¥solution¥RTOS¥ref\_design¥FPGA\_RefDesign¥gowin\_empu
- ...¥solution¥RunInSRAM\_FromEmbFlash¥ref\_design¥FPGA\_RefDesign¥gowin\_empu
- ...¥solution¥RunInSRAM\_FromSIPFlash¥ref\_design¥FPGA\_RefDesign¥gowin\_empu

