



DK-START-GW1NSR2 V2.1

ユーザーガイド

DBUG360-1.01J, 2020-04-16

著作権について (2020)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

「GOWINSEMI®」、「LittleBee®」、「Arora」、及び GOWINSEMI のロゴは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、www.gowinsemi.com.cn において記載されているそれぞれの権利者に帰属しています。当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI 取引条件) に規定されている内容を除き、(明示的か又は黙示的かに拘わらず) いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。本文書における全ての情報は、予備的情報として取り扱われなければなりません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ (不具合情報) については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2019/12/120	1.0J	初版。
2020/04/16	1.01J	<ul style="list-style-type: none">● 開発ボードの写真を更新；● 開発ボードの特性、仕様、I/O BANK の説明、およびピンの配置を更新。

目次

目次.....	i
図一覧.....	iii
表一覧.....	iv
1 本マニュアルについて	1
1.1 マニュアル内容	1
1.2 サポートされるデバイス	1
1.3 関連ドキュメント	1
1.4 用語、略語.....	1
1.5 テクニカル・サポートとフィードバック	3
2 開発ボードの紹介.....	4
2.1 概要.....	4
2.2 開発ボードキット	5
2.3 PCB コンポーネント	5
2.4 システムアーキテクチャ	6
2.5 特徴.....	7
2.6 仕様.....	9
3 開発ボードの回路.....	10
3.1 FPGA モジュール.....	10
3.1.1 概要.....	10
3.1.2 I/O BANK の説明	11
3.2 ダウンロード	12
3.2.1 概要.....	12
3.2.2 USB ダウンロード回路	13
3.2.3 ダウンロード手順.....	13
3.2.4 ピンの配置.....	13
3.3 電源.....	13
3.3.1 概要.....	14

3.3.2 電力システムの配置	14
3.3.1 電源ピンの配置	15
3.4 クロックとリセット	15
3.4.1 概要.....	15
3.4.2 クロックおよびリセット回路.....	15
3.4.3 ピンの配置.....	16
3.5 LED.....	16
3.5.1 概要.....	16
3.5.2 LED 回路	17
3.5.3 ピンの配置.....	17
3.6 キースイッチ	17
3.6.1 概要.....	17
3.6.2 キースイッチ回路.....	18
3.6.3 ピンの配置.....	18
3.7 GPIO.....	18
3.7.1 概要.....	18
3.7.2 GPIO 回路	19
3.7.3 ピンの配置.....	19
3.8 MIPI/LVDS	19
3.8.1 概要.....	19
3.8.2 MIPI/LVDS 回路.....	20
3.8.3 ピンの配置.....	20
3.9 ADC	22
3.9.1 概要.....	22
3.9.2 ADC 回路	22
3.9.3 ピンの配置.....	22
4 開発ボードの使用上の注意	23
5 Gowin ソフトウェア	24

図一覧

図 2-1 DK-START-GW1NSR2 V2.1 開発ボード	4
図 2-2 開発ボードキット	5
図 2-3 PCB コンポーネント	6
図 2-4 システムアーキテクチャ	7
図 3-1 GW1NSR シリーズ FPGA 製品の I/O BANK の全体説明図	11
図 3-2 GW1NSR-2 デバイス QN48 パッケージのピン配置図 (トップビュー)	11
図 3-3 FPGA の USB を介したダウンロードの接続図	13
図 3-4 電力システムの配置図	14
図 3-5 クロックおよびリセット回路	15
図 3-6 LED 回路	17
図 3-7 キースイッチ回路	18
図 3-8 GPIO 回路	19
図 3-9 LVDS 回路	20
図 3-10 ADC 回路	22

表一覧

表 1-1 用語、略語.....	2
表 2-1 開発ボードの仕様.....	9
表 3-1 GW1NSR-2/GW1NSR-2C シリーズ FPGA 製品のリソース一覧.....	10
表 3-2 FPGA I/O の配置.....	12
表 3-3 FPGA のダウンロードピンの配置.....	13
表 3-4 FPGA の電源ピンの配置.....	15
表 3-5 FPGA のクロックおよびリセットピンの配置.....	16
表 3-6 LED ピンの配置.....	17
表 3-7 キースイッチ回路のピン配置.....	18
表 3-8 J14 GPIO のピンの配置.....	19
表 3-9 J15 FPGA のピンの配置.....	20
表 3-10 J16 FPGA のピンの配置.....	21
表 3-11 J5 ADC のピンの配置.....	22

1 本マニュアルについて

1.1 マニュアル内容

DK-START-GW1NSR2 V2.1 ユーザーガイドは、4つのセクションに分かれています。

1. 開発ボードの機能とハードウェアリソースの概要。
2. 開発ボード上のハードウェア回路の各部分の機能、およびピンの配置の説明。
3. 開発ボードの使用上の注意事項。
4. FPGA 開発ソフトウェアの使用。

1.2 サポートされるデバイス

本ユーザーガイドに記載される情報は、GW1NSR シリーズ FPGA 製品に適用されます：GW1NSR-2、GW1NSR-2C。

1.3 関連ドキュメント

GOWIN セミコンダクターウェブサイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

1. GW1NSR シリーズ FPGA 製品データシート(DS861)
2. GW1NSR シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド (UG863)
3. GW1NSR-2&2C デバイス Pinout (UG862)
4. Gowin FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド (UG290)
5. Gowin ソフトウェア ユーザーガイド (SUG100)

1.4 用語、略語

本マニュアルに使用されている関連用語、略語及び関連解釈を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
FPGA	Field Programmable Gate Array	フィールドプログラマブルゲートアレイ
SoC	System On Chip	システムオンチップ
ARM	Advanced RISC Machines	ARM プロセッサ
AHB	Advanced High performance Bus	AHB システムバス
APB	Advanced Peripheral Bus	APB ペリフェラルバス
Timer	Timer	タイマー
RS232	Universal Asynchronous Receiver/Transmitter	汎用非同期送受信回路
NVIC	Nested Vector Interrupt Controller	ネスト型ベクタ割り込みコントローラ
DAP	Debug Access Port	デバッグアクセスポート
Watchdog	Watchdog	ウォッチドッグ
TimeStamp	TimeStamp	タイムスタンプ
DWT	Data Watchpoint Trace	データウォッチポイントおよびトレース
ITM	Instrumentation Trace Module	計装トレースマクロセル
TUIP	Trace Port Interface Unit	トレースポートインターフェースユニット
USB	Universal Serial Bus	ユニバーサルシリアルバス
PHY	Physical Layer	物理層
ADC	Analog to Digital Converter	A/D コンバータ
SAR	Successive Approximation Register	逐次比較型
SFDR	Spurious-free Dynamic Range	スプリアスフリー・ダイナミックレンジ
SINAD	Signal to Noise And Distortion	信号対雑音 + 歪み比
LSB	Least Significant Bit	最下位ビット
INL	Integral Nonlinearity	積分非直線性
DNL	Differential Nonlinearity	微分非直線性
CFU	Configurable Function Unit	コンフィギュラブル機能ユニット
CLS	Configurable Logic Slice	コンフィギュラブル・ロジックスライス
CRU	Configurable Routing Unit	コンフィギュラブル・ルーティング・ユニット
LUT4	4-input Look-up Tables	4 入力ルックアップテーブル
LUT5	5-input Look-up Tables	5 入力ルックアップテーブル

用語、略語	正式名称	意味
LUT6	6-input Look-up Tables	6 入力ルックアップテーブル
LUT7	7-input Look-up Tables	7 入力ルックアップテーブル
LUT8	8-input Look-up Tables	8 入力ルックアップテーブル
REG	Register	レジスタ
ALU	Arithmetic Logic Unit	演算ロジックユニット
IOB	Input/Output Block	入出力ブロック
S-SRAM	Shadow SRAM	分散 SRAM
B-SRAM	Block SRAM	ブロック SRAM
SP	Single Port	シングルポート
SDP	Semi Dual Port	セミ・デュアルポート
DP	Dual Port	デュアルポート
PSRAM	Pseudo static random access memory	擬似 SRAM
DQCE	Dynamic Quadrant Clock Enable	ダイナミック・クォドラント クロックイネーブル
DCS	Dynamic Clock Selector	ダイナミック・クロックセレ クタ
PLL	Phase-locked Loop	位相同期回路
DLL	Delay-locked Loop	遅延ロックループ
LQ144	LQFP144	LQFP144 パッケージ

1.5 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

Web サイト : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 開発ボードの紹介

2.1 概要

図 2-1 DK-START-GW1NSR2 V2.1 開発ボード



開発ボードは、ARM Cortex-M3 ハードコアプロセッサ、32M ビットの PSRAM、1M ビットのユーザーフラッシュメモリ、および 8 チャンネル ADC などのリソースが組み込まれた GW1NSR-2 SoC FPGA を使用しています。この SoC FPGA は、ARM Cortex-M3 ハードコアプロセッサをコアに、システム機能を実現するための最小メモリを備えています；組み込まれた FPGA ロジックモジュールユニットは便利かつ柔軟で、多様な周辺装置の制御機能を実現します。優れた計算機能と異常なシステム応答割り込みを提供し、高性能、低消費電力、柔軟な使用、インスタントオン、低コスト、不揮発性、高安全性、および容易な拡張といった特徴を備えています。

開発ボードには、MIPI/LVDS インターフェース、GPIO インターフェース、ADC インターフェース、スライドスイッチ、キースイッチ、LED、クロック、リセットなど、ユーザーが利用可能な豊富な外部インターフェースとリソースがあります。

2.2 開発ボードキット

開発ボードキットには以下が含まれます。

- DK-START-GW1NSR2 V2.1 開発ボード
- USB ケーブル
- クイックスタート ユーザーガイド

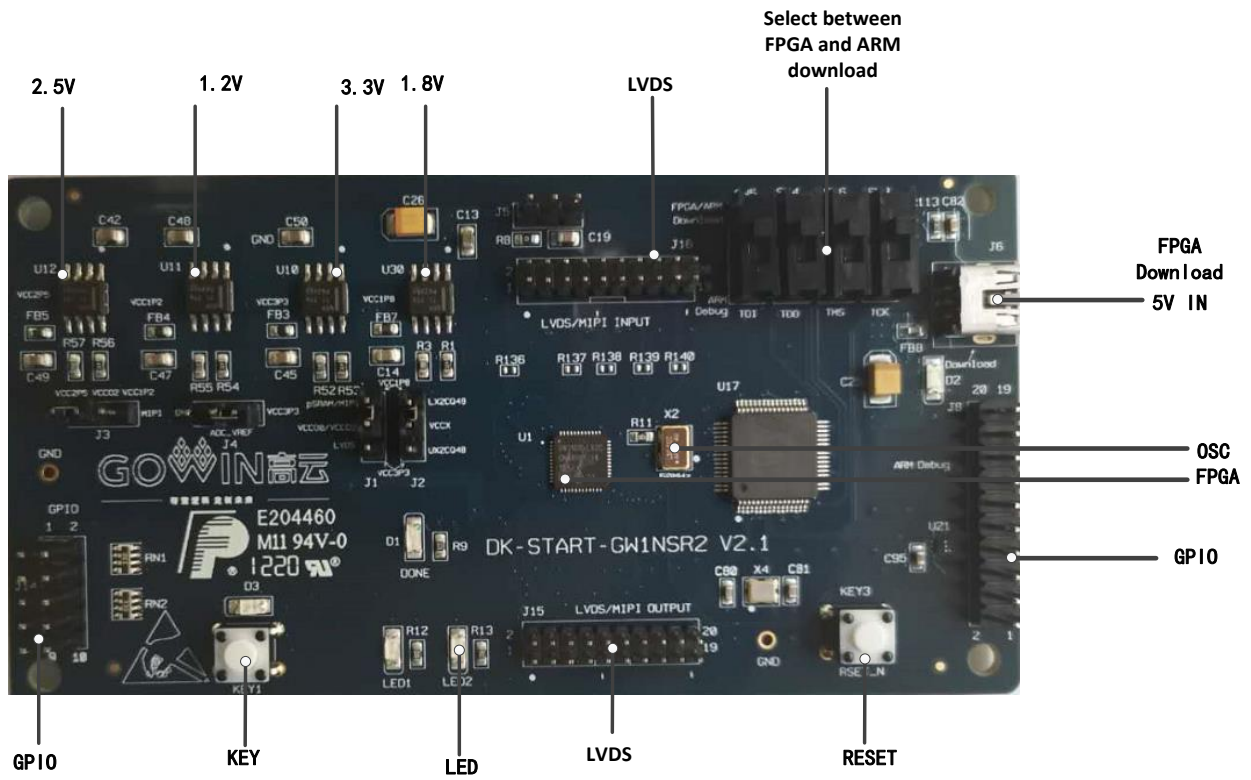
図 2-2 開発ボードキット



- ① DK-START-GW1NSR2 V2.1開発ボード
- ② USBケーブル
- ③ クイックスタート ユーザーガイド

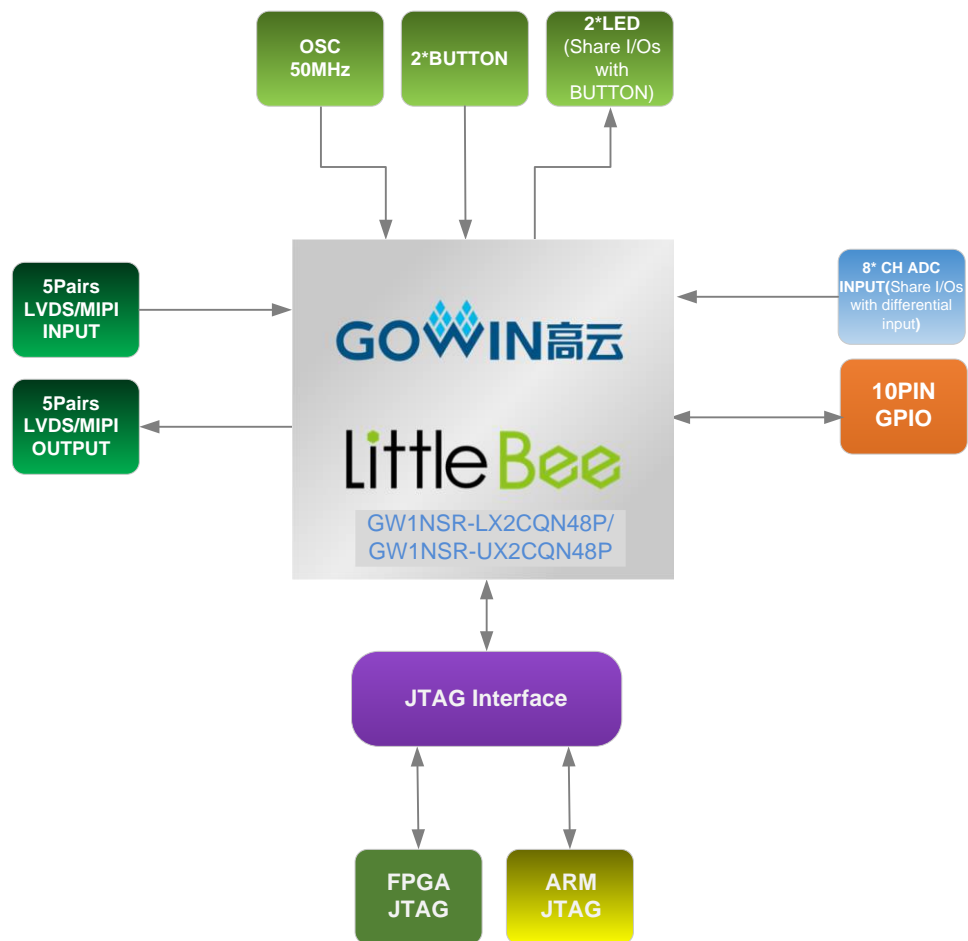
2.3 PCB コンポーネント

図 2-3 PCB コンポーネント



2.4 システムアーキテクチャ

図 2-4 システムアーキテクチャ



2.5 特徴

開発ボードの構造と特性は次のとおりです。

1. FPGA
 - QN48 パッケージ
 - 38 個のユーザーI/O
 - パワーオフしてもデータが失われない組み込みフラッシュ
 - 豊富な LUT4 リソース
 - マルチモード、大容量の B-SRAM
2. FPGA コンフィギュレーションモード
 - JTAG
 - AUTO BOOT
3. クロックリソース
 - 50MHz のクロック水晶発振器

4. ボタンとスライドスイッチ

- 1つのリセットボタン
- 1つのキースイッチ

5. LED

- 1つの電源インジケータ（緑色）
- 1つの DONE インジケータ（緑色）
- 2つの LED（緑色）

6. メモリ

1Mbit の組み込み Flash

32Mbit の組み込み PSRAM

7. MIPI/LVDS

5 ペアの MIPI/LVDS 差動入力、4 ペアの MIPI/LVDS 差動出力

8. GPIO

7 個の拡張 I/O

9. LDO 電源

3.3V、2.5V、1.8V、1.2V の電力を供給

2.6 仕様

表 2-1 開発ボードの仕様

番号	項目	機能の説明	技術的条件	備考
1	FPGA	コアチップ	-	-
2	ダウンロード	USB インターフェースをサポート；JTAG、AUTOBOOT をサポート	ボード上に USB-JTAG モジュールを統合	-
3	電源	DC 5V 入力、および LDO 回路を介した 3.3 V、2.5V、1.8V、および 1.2V 出力	<ul style="list-style-type: none"> ● 入力電力：5V ● 5V-3.3V 回路が FPGA、ダウンロード回路、その他の回路に電力を供給。 ● 5V-2.5V 回路が FPGA に電力を供給。 ● 5V-1.8V 回路が FPGA に電力を供給。 ● 5V-1.2V 回路が FPGA に電力を供給。 	-
4	キースイッチ	テスト用	1 個	-
5	リセットボタン	FPGA をリセット	1 個	-
6	LED	テスト指示、DONE 指示、電源指示	<ul style="list-style-type: none"> ● 2つのテストインジケータ、緑色(I/O リソースをキーと共有) ● 1つの DONE インジケータ、緑色 ● 1つの電源インジケータ、緑色 	-
7	水晶発振器	FPGA に 50MHz のクロックを提供	パッケージ 5032	-
8	メモリ	豊富な Flash および PRAM リソースを提供	<ul style="list-style-type: none"> ● 1Mbit の組み込み Flash ● 32Mbit の組み込み PSRAM 	-
9	GPIO	拡張・テスト用の I/O	7 個	-
10	MIPI/LVDS	テスト用の MIPI/LVDS	5 ペアの入力、4 ペアの出力	-
11	保護	USB インターフェース：ESD 保護。電源インターフェース：逆電流および過電流保護。	<ul style="list-style-type: none"> ● USB インターフェース：ESD 保護：±15kV の非接触放電、±8kV の接触放電。 ● 電源コンセントの正と負のアノード間にショットキーダイオードを接続。 ● 2A の自己回復ヒューズを電源インプットに接続。 	-
12	電圧	-	入力電圧 5V	-
13	湿度	-	95%	-
14	温度	-	動作範囲：-20° ~70°	-

3 開発ボードの回路

3.1 FPGA モジュール

3.1.1 概要

GW1NSR シリーズ FPGA 製品のリソースを表 3-1 に示します。

表 3-1 GW1NSR-2/GW1NSR-2C シリーズ FPGA 製品のリソース一覧

デバイス	GW1NSR-2	GW1NSR-2C
ロジックユニット(LUT4)	1,728	1,728
フリップフロップ(FF)	1,296	1,296
ブロック SRAM B-SRAM(bits)	72K	72K
ブロック SRAM 数 B-SRAM(個)	4	4
ユーザーフラッシュ(bits)	1M	1M
PSRAM(bits)	32M	32M
位相同期回路(PLLs+DLLs)	1+2	1 +2
OSC	1, 精度±5%	1, 精度±5%
ハードコアプロセッサ	-	Cortex-M3
USB PHY	USB 2.0 PHY	USB 2.0 PHY
ADC ¹	1	1
I/O Bank 数	4	4
最大ユーザー I/O ¹	38	38
コア電圧	1.2V	1.2V

注記：

詳細については、『[GW1NSR シリーズ FPGA 製品データシート\(DS861\)](#)』を参照してください。

3.1.2 I/O BANK の説明

GW1NSR シリーズ FPGA 製品には4つの I/O BANK があり、図 3-1 は GW1NSR シリーズ FPGA 製品の I/O BANK の全体説明図です。
 図 3-1 GW1NSR シリーズ FPGA 製品の I/O BANK の全体説明図

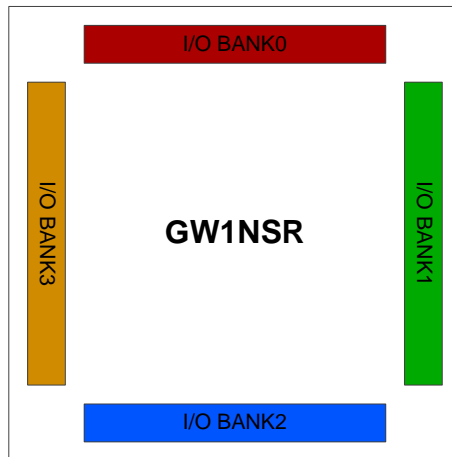


図 3-2 GW1NSR-2 デバイス QN48 パッケージのピン配置図（トップビュー）

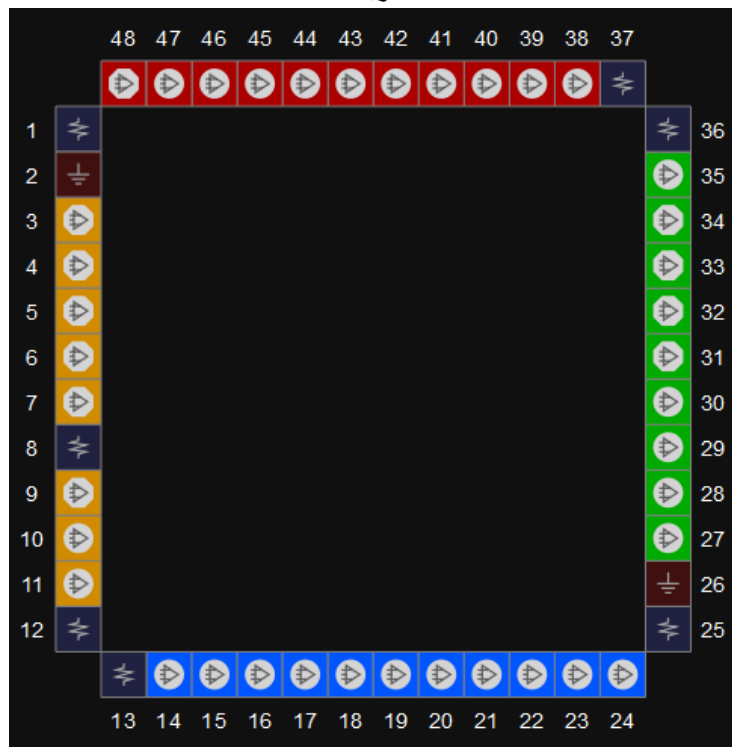


表 3-2 FPGA I/O の配置

I/O BANK の番号	接続されるモジュール
I/O BANK0	<ul style="list-style-type: none"> ● ダウンロードモード選択ピン ● MIPI/LVDS 差動入力 ● ADC 入力
I/O BANK1	<ul style="list-style-type: none"> ● GPIO ● 50MHz クロック入力 ● リセット
I/O BANK2	<ul style="list-style-type: none"> ● MIPI/LVDS 差動出力 ● GPIO ● LED ● BUTTON
I/O BANK3	<ul style="list-style-type: none"> ● ADC ● JTAG ダウンロード ● DONE ● LVDS 差動入力

3.2 ダウンロード

3.2.1 概要

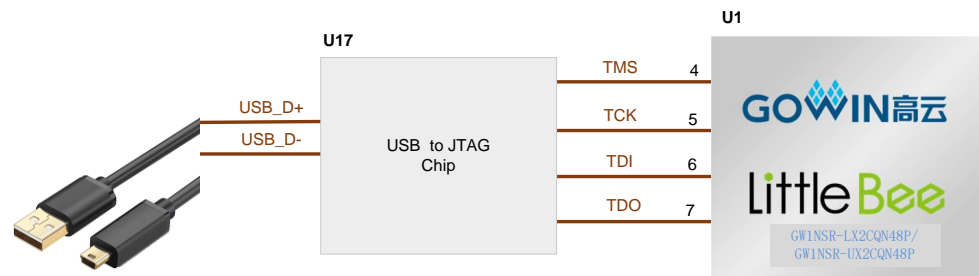
開発ボードは **USB** ダウンロードインターフェースを提供しています。ダウンロードの際は、必要に応じてオンチップ **SRAM**、オンチップ **Flash** にダウンロードできます。

注記：

- **SRAM** にダウンロードする場合、パワーオフするとデータストリームファイルが失われるため、再パワーオンした後にデータストリームファイルを再度ダウンロードする必要があります。
- **Flash** にダウンロードする場合、パワーオフしても、データストリームファイルが失われることはありません。

3.2.2 USB ダウンロード回路

図 3-3 FPGA の USB を介したダウンロードの接続図



3.2.3 ダウンロード手順

1. FPGA および MCU のダウンモード：
FPGA および MCU のダウンロード際、USB ダウンロードケーブルを開発ボードの USB インターフェース (J6) に挿入します。

注記：

ダウンロードする前に、開発ボード上のスイッチ SW3、SW4、SW5、および SW6 を FPGA Download 側に押す必要があります。

2. MCU デバッグモード：

MCU のデバッグ際、J-Link ARM エミュレータを使用して ARM JTAG ポート (J8) に接続する必要があります。

注記：

デバッグする前に、開発ボード上のスイッチ SW3、SW4、SW5、および SW6 を ARM Download 側に押す必要があります。

3.2.4 ピンの配置

表 3-3 FPGA のダウンロードピンの配置

信号名	FPGA のピン番号	BANK	説明	I/O レベル
TMS	4	3	JTAG 信号	3.3V(ADC/LVDS)/ 1.8V(MIPI/PSRAM)
TCK	5	3	JTAG 信号	3.3V(ADC/LVDS)/
TDI	6	3	JTAG 信号	1.8V(MIPI/PSRAM)
TDO	7	3	JTAG 信号	3.3V(ADC/LVDS)/
MODE2	48	0	モード選択 ピン	1.8V(MIPI/PSRAM)
DONE	9	3	DONE 指示	3.3V(ADC/LVDS)/

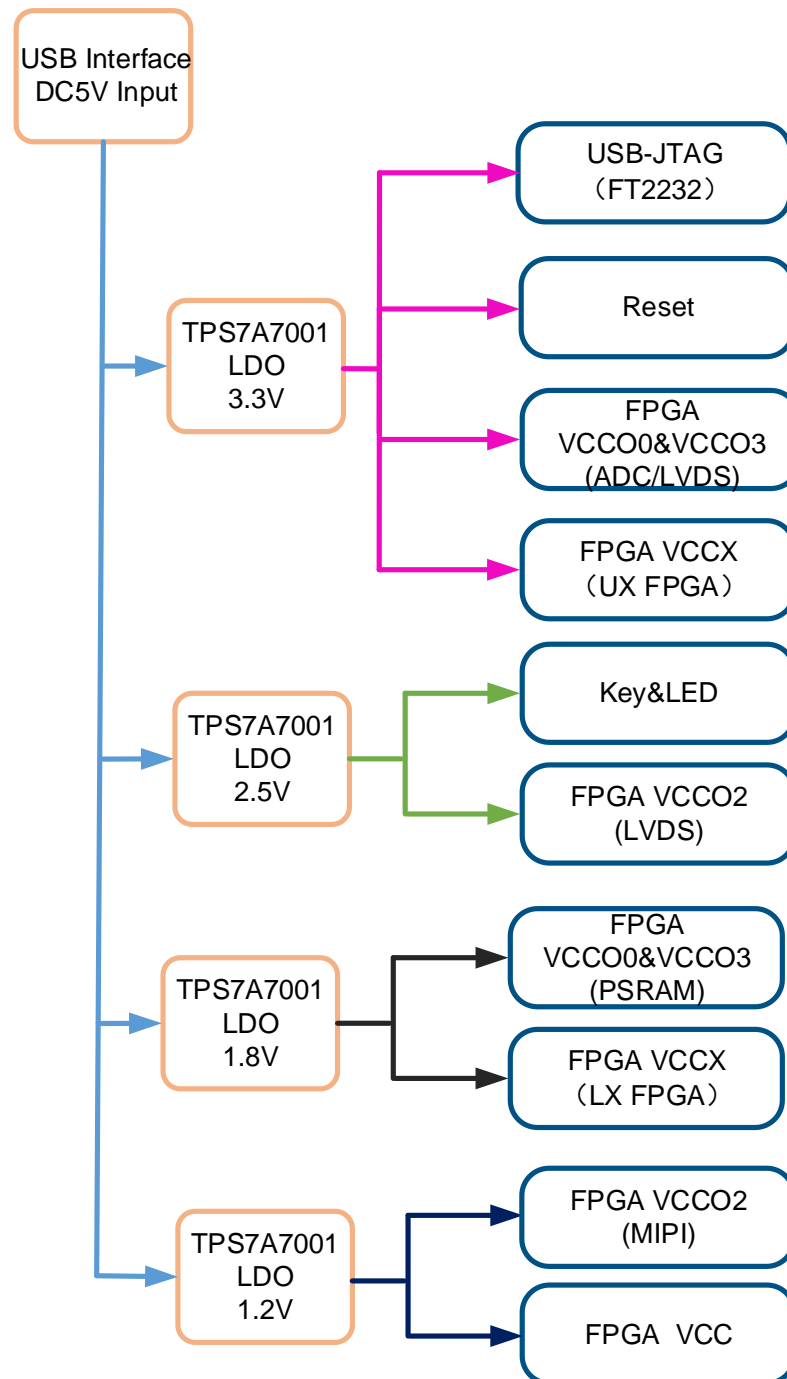
3.3 電源

3.3.1 概要

電源 DC5V は、TI の LDO 電源チップを採用し、5V-3.3V、5V-2.5V、5V-1.8V、5V-1.2V の変換を実現します。

3.3.2 電力システムの配置

図 3-4 電力システムの配置図



3.3.1 電源ピンの配置

表 3-4 FPGA の電源ピンの配置

信号名	FPGA のピン番号	BANK	説明	I/O レベル
VCCO0	1	0	I/O Bank 電圧	1.8V/3.3V
VCCO1	25	1	I/O Bank 電圧	2.5V
VCCO2	13	2	I/O Bank 電圧	1.2V/2.5V
VCCO3	1	3	I/O Bank 電圧	1.8V/3.3V
VCCX	8、36	-	補助電圧	1.8/3.3V
VCC	12、37	-	コア電圧	1.2V
VSS	2、26	-	GND	-

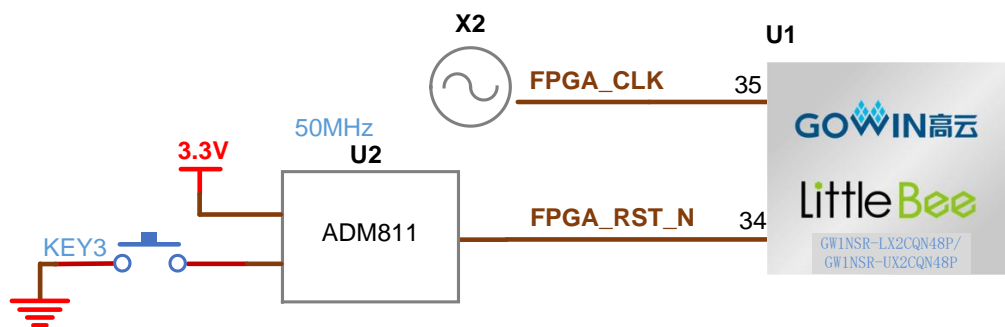
3.4 クロックとリセット

3.4.1 概要

開発ボードには、PLL 入力ピンに接続され、FPGA の内部 PLL のクロック入力として使用できる 50MHz の水晶発振器があります。ユーザーが必要とするクロックを PLL 通倍及び分周を通じて出力できます。

3.4.2 クロックおよびリセット回路

図 3-5 クロックおよびリセット回路



3.4.3 ピンの配置

表 3-5 FPGA のクロックおよびリセットピンの配置

信号名	FPGA のピン番号	BANK	説明	I/O レベル
FPGA_CLK	35	1	50MHz のアクティブ クリスタル入力	2.5V
FPGA_RST_N	34	1	リセット信号、アクテ ィブ Low	2.5V

3.5 LED

3.5.1 概要

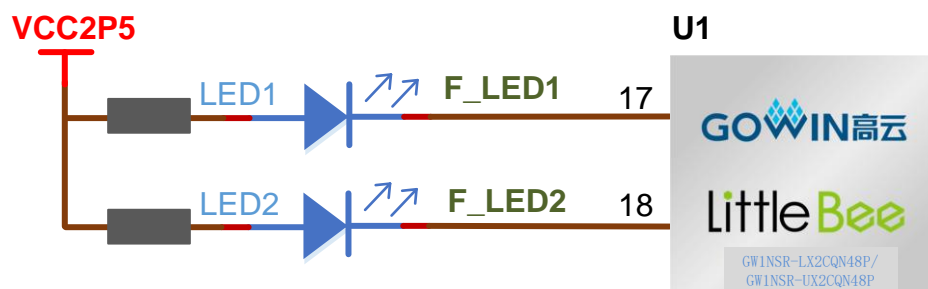
開発ボードにはステータスを表示できる 2 つの緑色の LED(I/O リソースをキーと共有)があります。同時に、電源と FPGA のロードを観測するために、それぞれ 1 つの LED が予約されています。

LED は次の方法でテストできます。

- FPGA の対応するピンの出力信号が Low の場合、LED が点灯します。
- 出力信号が High の場合、LED がオフになります。

3.5.2 LED 回路

図 3-6 LED 回路



3.5.3 ピンの配置

表 3-6 LED ピンの配置

信号名	FPGA のピン番号	BANK	説明	I/O レベル
F_LED1	17	2	LED1	1.2V/2.5V
F_LED2	18	2	LED2	1.2V/2.5V

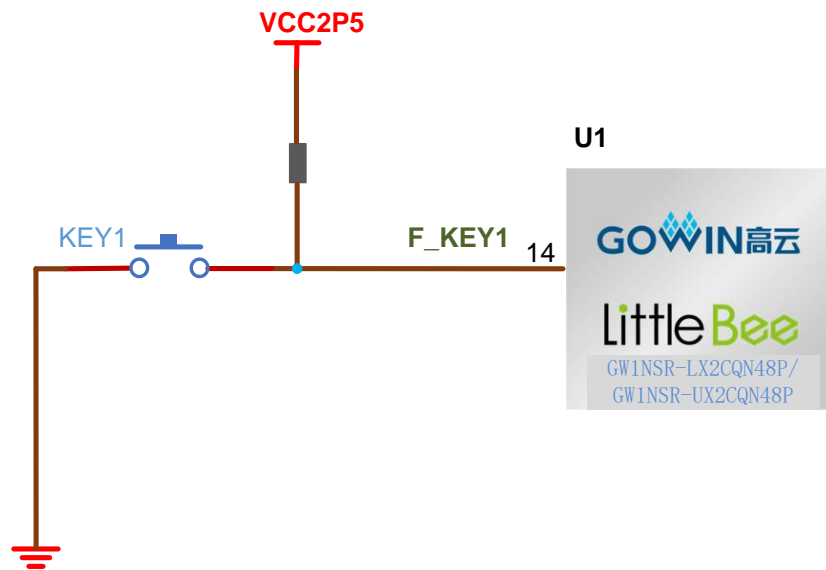
3.6 キースイッチ

3.6.1 概要

開発ボードには入力を制御するために使用できる 1 つのキースイッチがあります。ユーザーは手動制御して、対応する FPGA ピンに Low レベルを入力できます。

3.6.2 キースイッチ回路

図 3-7 キースイッチ回路



3.6.3 ピンの配置

表 3-7 キースイッチ回路のピン配置

信号名	FPGA のピン番号	BANK	説明	I/O レベル
F_KEY1	14	2	KEY1	1.2V/2.5V

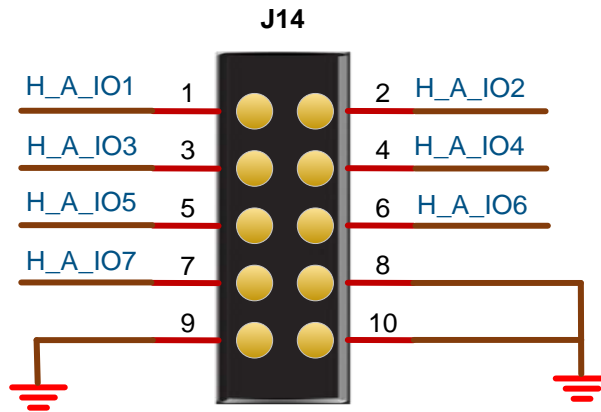
3.7 GPIO

3.7.1 概要

機能拡張とテストのために、1つの 2.54mm ピッチ DC3-10P ソケットが開発ボードに予約されています。

3.7.2 GPIO 回路

図 3-8 GPIO 回路



3.7.3 ピンの配置

表 3-8 J14 GPIO のピンの配置

信号名	FPGA のピン番号	ソケットのピン番号	BANK	説明	I/O レベル
H_A_IO1	27	1	2	汎用 I/O	2.5V
H_A_IO2	28	2	2	汎用 I/O	2.5V
H_A_IO3	29	3	2	汎用 I/O	2.5V
H_A_IO4	30	4	2	汎用 I/O	2.5V
H_A_IO5	31	5	2	汎用 I/O	2.5V
H_A_IO6	32	6	2	汎用 I/O	2.5V
H_A_IO7	33	7	2	汎用 I/O	2.5V
GND	-	8	-	GND	-
GND	-	9	-	GND	-
GND	-	10	-	GND	-

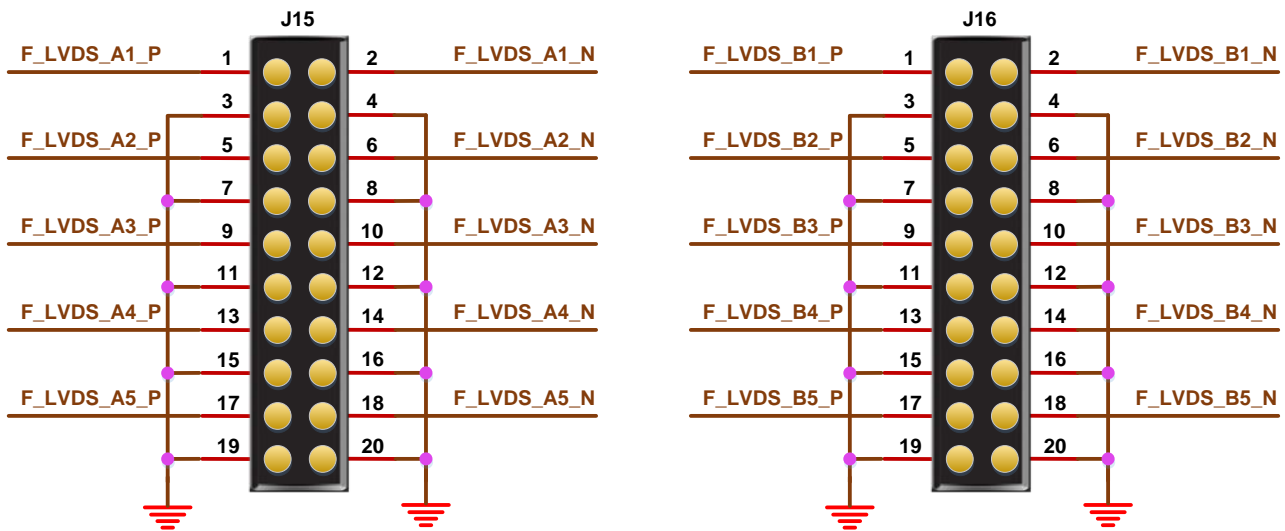
3.8 MIPI/LVDS

3.8.1 概要

MIPI/LVDS 入出力性能のテストと高速データ通信のために、2 つの 2.0 mm ピッチ DC3-20P ソケットが開発ボードに予約されています。

3.8.2 MIPI/LVDS 回路

図 3-9 LVDS 回路



3.8.3 ピンの配置

表 3-9 J15 FPGA のピンの配置

信号名	FPGA のピン番号	ソケットのピン番号	BANK	説明	I/O レベル
F_LVDS_A1_P	15	1	2	差動出力チャンネル 1+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_A1_N	16	2	2	差動出力チャンネル 1-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	3	-	-	-
GND	-	4	-	-	-
F_LVDS_A2_P	19	5	2	差動出力チャンネル 2+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_A2_N	20	6	2	差動出力チャンネル 2-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	7	-	-	-
GND	-	8	-	-	-
F_LVDS_A3_P	21	9	2	差動出力チャンネル 3+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_A3_N	22	10	2	差動出力チャンネル 3-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	11	-	-	-
GND	-	12	-	-	-
F_LVDS_A4_P	23	13	2	差動出力チャンネル 4+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_A4_N	24	14	2	差動出力チャンネル	2.5V(LVDS)/

信号名	FPGA のピン番号	ソケットのピン番号	BANK	説明	I/O レベル
				4-	1.2V(MIPI)
GND	-	15	-	-	
GND	-	16	-	-	
GND	-	15	-	-	GND
GND	-	16	-	-	GND
GND	-	19	-	-	
GND	-	20	-	-	

表 3-10 J16 FPGA のピンの配置

信号名	FPGA のピン番号	ソケットのピン番号	BANK	説明	I/O レベル
F_LVDS_B1_P	10	1	3	差動入力チャンネル 1+	3.3V(LVDS)
F_LVDS_B1_N	11	2	3	差動入力チャンネル 1-	3.3V(LVDS)
GND	-	3	-	-	-
GND	-	4	-	-	-
F_LVDS_B2_P	45	5	0	差動入力チャンネル 2+	3.3V(LVDS)/ 1.8V(MIPI)
F_LVDS_B2_N	44	6	0	差動入力チャンネル 2-	3.3V(LVDS)/ 1.8V(MIPI)
GND	-	7	-	-	-
GND	-	8	-	-	-
F_LVDS_B3_P	43	9	0	差動入力チャンネル 3+	3.3V(LVDS)/ 1.8V(MIPI)
F_LVDS_B3_N	42	10	0	差動入力チャンネル 3-	3.3V(LVDS)/ 1.8V(MIPI)
GND	-	11	-	-	-
GND	-	12	-	-	-
F_LVDS_B4_P	41	13	0	差動入力チャンネル 4+	3.3V(LVDS)/ 1.8V(MIPI)
F_LVDS_B4_N	40	14	0	差動入力チャンネル 4-	3.3V(LVDS)/ 1.8V(MIPI)
GND	-	15	-	-	-
GND	-	16	-	-	-
F_LVDS_B5_P	39	17	0	差動入力チャンネル 5+	3.3V(LVDS)/ 1.8V(MIPI)

信号名	FPGA のピン番号	ソケットのピン番号	BANK	説明	I/O レベル
F_LVDS_B5_N	38	18	0	差動入力チャンネル 5-	3.3V(LVDS)/ 1.8V(MIPI)
GND	-	19	-	-	-
GND	-	20	-	-	-

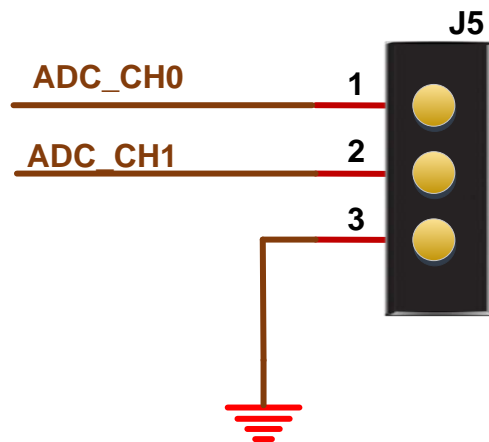
3.9 ADC

3.9.1 概要

ユーザーがアナログ信号の AD 変換を実行しやすくするために、開発ボード上の J16 ソケットを使用することで、組み込み ADC を介して最大 2 つの信号を AD 変換して FPGA に導入できます。

3.9.2 ADC 回路

図 3-10 ADC 回路



3.9.3 ピンの配置

表 3-11 J5 ADC のピンの配置

信号名	FPGA のピン番号	ソケットのピン番号	BANK	説明	I/O レベル
ADC_CH0	47	1	0	ADC_CH0	3.3V(ADC)
ADC_CH1	46	2	0	ADC_CH1	3.3V(ADC)
GND	-	3	0	GND	-

4 開発ボードの使用上の注意

開発ボードの使用上の注意：

1. 開発ボードを使用するときは、取り扱いに注意を払い、かつ静電気保護してください。
2. ダウンロード：
 - FPGA および MCU にダウンロードする前に、スイッチ SW3、SW4、SW5、および SW6 を FPGA Download 側に押す必要があります；
 - MCU をデバッグする前に、スイッチ SW3、SW4、SW5、および SW6 を ARM Download 側に押す必要があります。
3. 電圧の選択：
 - 開発ボード上の FPGA が UX バージョンの場合、VCCX 電圧を 3.3V に調整します。
 - 開発ボード上の FPGA が LX バージョンの場合、VCCX 電圧を 1.8V に調整します。
 - Bank2 の出力差動ペアを LVDS 出力として使用する場合、VCCO2 Bank 電圧を 2.5V に調整します。
 - Bank2 の出力差動ペアを MIPI 出力として使用する場合、VCCO2 Bank 電圧を 1.2V に調整します。
 - 内部 PSRAM を使用する場合、VCCO0 および VCCO3 Bank 電圧を 1.8V に調整します。
 - Bank0 が ADC 入力を使用する場合、VCCO0 および VCCO3 Bank 電圧を 3.3V に調整し、VCCX を ADC リファレンス電圧として使用します。
 - Bank0 が LVDS 入力を使用する場合、VCCO0 および VCCO3 Bank 電圧を 3.3V に調整します。
 - Bank0 が MIPI 入力を使用する場合、VCCO0 および VCCO3 Bank 電圧を 1.8V に調整します。

5 Gowin ソフトウェア

詳細については、『Gowin ソフトウェア ユーザーガイド (SUG100)』を参照してください。

