



DK-START-GW1NS2 V3.1

ユーザーガイド

DBUG358-1.0J, 2019-12-19

著作権について (2019)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

「GOWINSEMI®」、「LittleBee®」、「Arora®」、及び GOWINSEMI のロゴは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、www.gowinsemi.com.cn において記載されているそれぞれの権利者に帰属しています。当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI 取引条件) に規定されている内容を除き、(明示的か又は黙示的かに拘わらず) いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。本文書における全ての情報は、予備的情報として取り扱われなければなりません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ (不具合情報) については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2019/12/19	1.0J	初版。

目次

目次.....	i
図一覧.....	iv
表一覧.....	v
1 本マニュアルについて	1
1.1 マニュアル内容	1
1.2 サポートされるデバイス	1
1.3 関連ドキュメント	1
1.4 用語、略語.....	2
1.5 テクニカル・サポートとフィードバック	3
2 開発ボードの紹介.....	4
2.1 概要.....	4
2.2 開発ボードキット	5
2.3 PCB コンポーネント	6
2.4 システムアーキテクチャ	7
2.5 特徴.....	7
2.6 仕様.....	9
3 開発ボードの回路.....	11
3.1 FPGA モジュール.....	11
3.1.1 概要.....	11
3.1.2 I/O BANK の説明	12
3.2 ダウンロード	14
3.2.1 概要.....	14
3.2.2 USB ダウンロード回路	14
3.2.3 ダウンロード手順.....	14
3.2.4 ピンの配置.....	15
3.3 電源.....	15
3.3.1 概要.....	15

3.3.2 電力システムの配置	15
3.3.3 電源ピンの配置	16
3.4 クロックとリセット	17
3.4.1 概要.....	17
3.4.2 クロックおよびリセット回路.....	17
3.4.3 ピンの配置.....	17
3.5 LED.....	17
3.5.1 概要.....	17
3.5.2 LED 回路	18
3.5.3 ピンの配置.....	18
3.6.7 セグメントディスプレイ	18
3.6.1 概要.....	18
3.6.2.7 セグメントディスプレイの回路	18
3.6.3 ピンの配置.....	19
3.7 スイッチ	20
3.7.1 概要.....	20
3.7.2 スイッチ回路.....	20
3.7.3 ピンの配置.....	20
3.8 キースイッチ	20
3.8.1 概要.....	20
3.8.2 キースイッチ回路.....	21
3.8.3 ピンの配置.....	21
3.9 GPIO.....	21
3.9.1 概要.....	21
3.9.2 GPIO 回路	21
3.9.3 ピンの配置.....	22
3.10 MIPI/LVDS	23
3.10.1 概要.....	23
3.10.2 MIPI/LVDS 回路.....	24
3.10.3 ピンの配置.....	24
3.11 ADC	26
3.11.1 概要.....	26
3.11.2 ADC 回路	26
3.11.3 ピンの配置.....	26
3.12 RS232.....	27

3.12.1 概要.....	27
3.12.2 RS232 回路	27
3.12.3 ピンの配置.....	27
4 開発ボードの使用上の注意	28
5 Gowin YunYuan ソフトウェア	29

図一覧

図 2-1 DK-START-GW1NS2 V3.1 開発ボード	4
図 2-2 開発ボードキット.....	5
図 2-3PCB コンポーネント	6
図 2-4 システムアーキテクチャ.....	7
図 3-1 GW1NS/GW1NSE シリーズ FPGA 製品の I/O BANK の全体説明図	12
図 3-2 LQ144 パッケージのピン配置図（トップビュー）	13
図 3-3 FPGA USB ダウンロードの接続図	14
図 3-4 電力システムの配置図	16
図 3-5 クロックおよびリセット回路.....	17
図 3-6 LED 回路	18
図 3-7 7 セグメントディスプレイの回路	19
図 3-8 スイッチ回路.....	20
図 3-9 キースイッチ回路.....	21
図 3-10 GPIO 回路	22
図 3-11 LVDS 回路	24
図 3-12 ADC 回路.....	26
図 3-13 RS232 の接続図	27

表一覧

表 1-1 用語、略語.....	2
表 2-1 開発ボードの仕様.....	9
表 3-1 FPGA 製品情報リスト	11
表 3-2 FPGA I/O の配置	13
表 3-3 FPGA のダウンロードピンの配置	15
表 3-4 FPGA の電源ピンの配置.....	16
表 3-5 FPGA のクロックおよびリセットピンの配置	17
表 3-6 LED ピンの配置	18
表 3-7 LED ピンの配置	19
表 3-8 スイッチ回路のピン配置.....	20
表 3-9 キースイッチ回路のピン配置.....	21
表 3-10 J14 GPIO のピンの配置	22
表 3-11 J17 GPIO のピンの配置	23
表 3-12 J15 FPGA のピンの配置	24
表 3-13 J16 FPGA のピンの配置	25
表 3-14 J1 ADC のピンの配置.....	26
表 3-15 J1 ADC 外部リファレンス電圧ピン	27
表 3-16 RS232 のピンの配置.....	27

1 本マニュアルについて

1.1 マニュアル内容

DK-START-GW1NS2 V3.1 ユーザーガイドは、4 つのセクションに分かれています。

1. 開発ボードの機能とハードウェアリソースの概要。
2. 開発ボード上のハードウェア回路の各部分の機能、およびピンの配置の説明。
3. 開発ボードの使用上の注意事項。
4. FPGA 開発ソフトウェアの使用。

1.2 サポートされるデバイス

本ユーザーガイドに記載される情報は、GW1NS シリーズ FPGA 製品に適用されます：GW1NS-2、GW1NS-2C、GW1NSE-2C。

1.3 関連ドキュメント

GOWIN セミコンダクターウェブサイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

1. GW1NS シリーズ FPGA 製品データシート (DS821)
2. GW1NSE シリーズ安全 FPGA 製品データシート (DS871)
3. GW1NS シリーズ FPGA 製品パッケージ及びピンアウトユーザーガイド (UG823)
4. GW1NSE シリーズ安全 FPGA 製品パッケージ及びピンアウトユーザーガイド (UG874)
5. GW1NS-2&2C デバイス Pinout (UG822)
6. GW1NSE-2C デバイス Pinout (UG872)
7. Gowin FPGA 製品プログラミング・コンフィギュレーションユーザー

ガイド (UG290)

8. Gowin YunYuan ソフトウェアユーザーガイド (SUG100)

1.4 用語、略語

では、本ユーザーガイドに使用されている関連用語、略語及び関連解釈を列挙しています。

表 1-1 用語、略語

用語、略語	正式名称	意味
FPGA	Field Programmable Gate Array	フィールドプログラマブルゲートアレイ
SoC	System On Chip	システムオンチップ
ARM	Advanced RISC Machines	ARM プロセッサ
AHB	Advanced High performance Bus	AHB システムバス
APB	Advanced Peripheral Bus	APB ペリフェラルバス
Timer	Timer	タイマー
RS232	Universal Asynchronous Receiver/Transmitter	汎用非同期送受信回路
NVIC	Nested Vector Interrupt Controller	ネスト型ベクタ割り込みコントローラ
DAP	Debug Access Port	デバッグアクセスポート
Watchdog	Watchdog	ウォッチドッグ
TimeStamp	TimeStamp	タイムスタンプ
DWT	Data Watchpoint Trace	データウォッチポイントおよびトレース
ITM	Instrumentation Trace Module	計装トレースマクロセル
TUIP	Trace Port Interface Unit	トレースポートインターフェースユニット
USB	Universal Serial Bus	ユニバーサルシリアルバス
PHY	Physical Layer	物理層
ADC	Analog to Digital Converter	A/D コンバータ
SAR	Successive Approximation Register	逐次比較型
SFDR	Spurious-free Dynamic Range	スプリアスフリー・ダイナミックレンジ
SINAD	Signal to Noise And Distortion	信号対雑音 + 歪み比
LSB	Least Significant Bit	最下位ビット
INL	Integral Nonlinearity	積分非直線性
DNL	Differential Nonlinearity	微分非直線性
CFU	Configurable Function Unit	コンフィギュラブル機能ユニット

用語、略語	正式名称	意味
CLS	Configurable Logic Slice	コンフィギュラブル・ロジックスライス
CRU	Configurable Routing Unit	コンフィギュラブル・ルーティング・ユニット
LUT4	4-input Look-up Tables	4 入力ルックアップテーブル
LUT5	5-input Look-up Tables	5 入力ルックアップテーブル
LUT6	6-input Look-up Tables	6 入力ルックアップテーブル
LUT7	7-input Look-up Tables	7 入力ルックアップテーブル
LUT8	8-input Look-up Tables	8 入力ルックアップテーブル
REG	Register	レジスタ
ALU	Arithmetic Logic Unit	演算ロジックユニット
IOB	Input/Output Block	入出力ブロック
S-SRAM	Shadow SRAM	分散式 SRAM
B-SRAM	Block SRAM	ブロック SRAM
SP	Single Port	シングルポート
SDP	Semi Dual Port	セミ・デュアルポート
DP	Dual Port	デュアルポート
DQCE	Dynamic Quadrant Clock Enable	ダイナミック・クオードラントクロックイネーブル
DCS	Dynamic Clock Selector	ダイナミック・クロックセレクタ
PLL	Phase-locked Loop	位相ロックループ
DLL	Delay-locked Loop	遅延ロックループ
LQ144	LQFP144	LQFP144 パッケージ

1.5 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

Web サイト : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

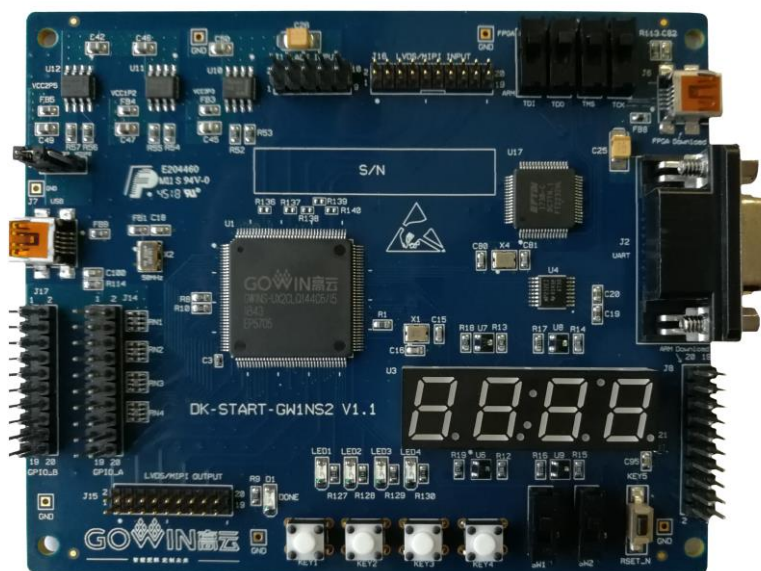
Tel : +86 755 8262 0391

2 開発ボードの紹介

この章では、GW1NS-2C を例に開発ボードの機能と構成について説明します。GW1NS-2/GW1NSE-2C は GW1NS-2C とピンの互換性があります。GW1NS-2C と比較して、GW1NS-2 には組み込み Cortex-M3 プロセッサがありません。GW1NS-2C と比較して、GW1NSE-2C はワンタイム・プログラマブル (OTP) 認証コードをさらに備えています。

2.1 概要

図 2-1 DK-START-GW1NS2 V3.1 開発ボード



開発ボードは、ARM Cortex-M3 ハードコアプロセッサ、USB2.0 PHY、1M ビットユーザーフラッシュメモリ、および 8 チャンネル ADC などのリソースが組み込まれた GW1NS-2 SoC FPGA を使用しています。GW1NS-2 SoC FPGA は、ARM Cortex-M3 ハードコアプロセッサをコアに、システム機能を実現するための最小メモリを備えています；エンベッドされた FPGA ロジックモジュールユニットは便利かつ柔軟で、多様な周辺装置の制御機能を実現します。優れた計算機能と異常なシステム応答割り込みを提供し、高性能、低消費電力、柔軟な使用、インスタントオン、低コスト、不揮発性、高安全性、および容易な拡張といった特徴を備えています。

開発ボードには、MIPI/LVDS インターフェース、GPIO インターフェース、ADC インターフェース、USB インターフェース、スライドスイッチ、キースイッチ、LED、および 7 セグメントディスプレイなど、ユーザ

ーが利用可能な豊富な外部インターフェースとリソースがあります。

2.2 開発ボードキット

開発ボードキットには以下が含まれます。

- DK-START-GW1NS2 V3.1 開発ボード
- USB データケーブル
- クイックスタート

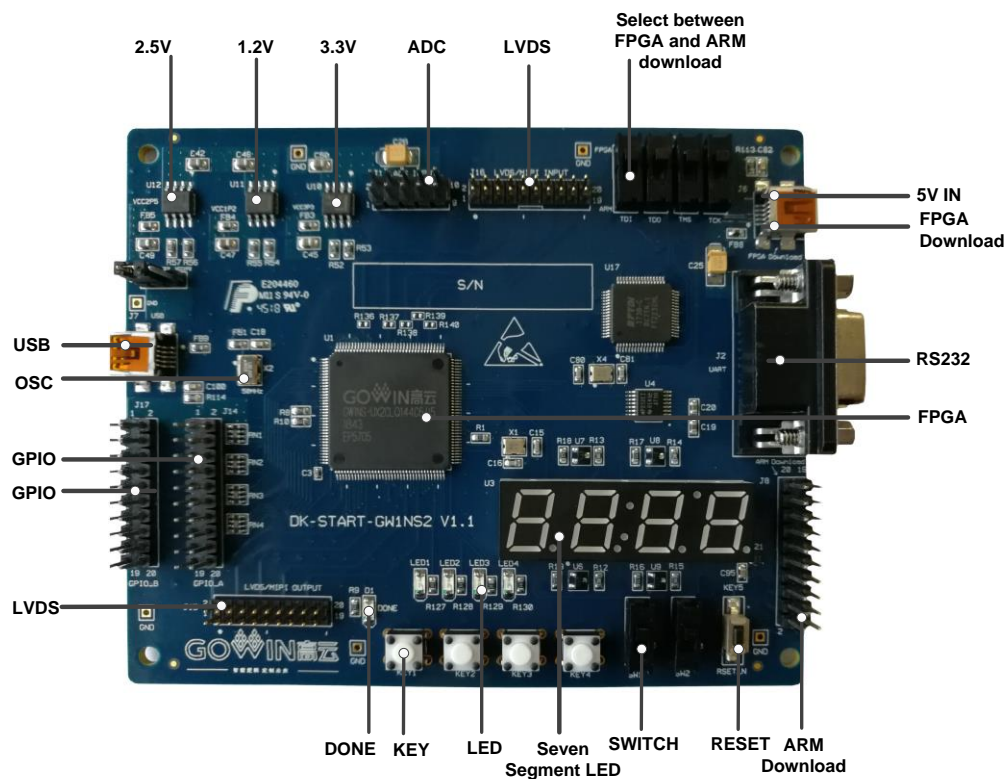
図 2-2 開発ボードキット



- ① DK-START-GW1NS2 V3.1開発ボード
- ② USBデータケーブル
- ③ クイックスタート

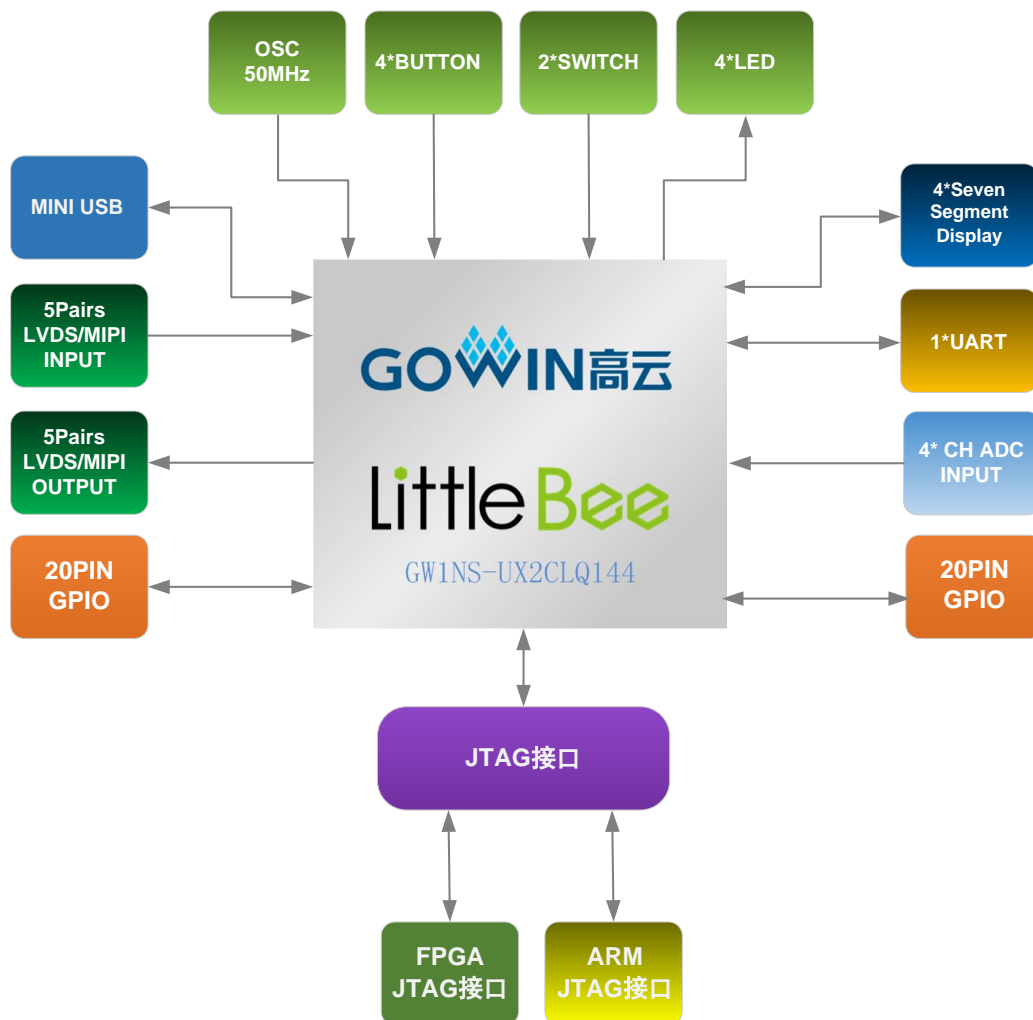
2.3 PCB コンポーネント

図 2-3 PCB コンポーネント



2.4 システムアーキテクチャ

図 2-4 システムアーキテクチャ



2.5 特徴

開発ボードの構造と特性は次のとおりです。

1. FPGA
 - LQFP144 パッケージ
 - 95 個のユーザーI/O
 - パワーオフしてもデータが失われない組み込みフラッシュ
 - 豊富な LUT4 リソース
 - マルチモード、大容量の B-SRAM

2. FPGA コンフィギュレーションモード
 - JTAG
 - AUTO BOOT
3. クロックリソース
 - 50MHz のクロック水晶発振器
4. ボタンとスライドスイッチ
 - 1つのリセットボタン
 - 4つのキースイッチ
 - 2つのスライドスイッチ
5. LED
 - 1つの電源インジケータ (緑色)
 - 1つの DONE インジケータ (緑色)
 - 4つの LED (緑色)
 - 4つの 7セグメントデジタルチューブ (赤色)
6. メモリ
 - 1Mbit の組み込み Flash
7. MIPI/LVDS
 - 5 ペアの MIPI/LVDS 差動入力、5 ペアの MIPI/LVDS 差動出力
8. GPIO
 - 36 個の拡張 I/O リソース
9. RS232
 - 1 RS232
10. LDO 電源
 - 3.3V、2.5V、1.2V の電力を供給

2.6 仕様

表 2-1 開発ボードの仕様

番号	項目	機能の説明	技術的条件	備考
1	FPGA	コアチップ	-	-
2	ダウンロード	USB インターフェースをサポート ; JTAG、AUTOBOOT をサポート	ボード上に USB-JTAG モジュールを統合	-
3	電源	LDO 回路を介した 3.3 V、2.5V、および 1.2V 出力	<ul style="list-style-type: none"> ● 入力電力 : 5V ● 5V-3.3V 回路が FPGA、ダウンロード回路、その他の回路に電力を供給。 ● 5V-2.5V 回路が FPGA に電力を供給。 ● 5V-1.2V 回路が FPGA に電力を供給。 	-
4	スライドスイッチ	テストに利用可能	2 個	-
5	キースイッチ	テストに利用可能	4 個	-
6	リセットボタン	FPGA にリセットを提供	1 個	-
7	LED	テスト指示、DONE 指示、電源指示	<ul style="list-style-type: none"> ● 4 つのテストインジケータ、緑色 ● 1 つの DONE インジケータ、緑色 ● 1 つの電源インジケータ、緑色 	-
8	7 セグメントディスプレイ	機能テスト出力表示	7 セグメントディスプレイ	-
9	水晶発振器	FPGA に 50MHz のクロックを提供	パッケージ 5032	-
10	メモリ	豊富な Flash を提供	<ul style="list-style-type: none"> ● 1Mbit の組み込み Flash ● 	-
11	GPIO	拡張・テストするのに便利な I/O	36 個	-
12	MIPI/LVDS	テスト用の MIPI/LVDS	5 ペアの入力、5 ペアの出力	-
13	RS232	テスト用	1 RS232	-
14	保護	USB インターフェース : ESD 保護。電源インターフェース : 逆電流および過電流保護。	<ul style="list-style-type: none"> ● USB インターフェース : ESD 保護 : ±15kV の非接触放電、±8kV の接触放電。 ● 電源コンセントの正と負のアノード間にショットキーダイオードを接続。 ● 2A の自己回復ヒューズを電源インレットに接続。 	-
15	電圧	-	入力電圧 5V	-

番号	項目	機能の説明	技術的条件	備考
16	湿度	-	95%	-
17	温度	-	動作範囲：-20° ~70°	-

3 開発ボードの回路

3.1 FPGA モジュール

3.1.1 概要

GW1NS/GW1NSE シリーズ FPGA 製品のリソースを表 3-1 に示します。

表 3-1 FPGA 製品情報リスト

デバイス	GW1NS-2	GW1NS-2C	GW1NSE-2C
ロジックユニット(LUT4)	1,728	1,728	1,728
フリップフロップ(FF)	1,296	1,296	1,296
ブロック SRAM B-SRAM(bits)	72K	72K	72K
ブロック SRAM の数 B-SRAM(個)	4	4	4
S-SRAM (bits)	-	-	4608
ユーザーフラッシュ(bits)	1M	1M	1024
位相ロックループ (PLLs+DLLs)	1+2	1+2	1+2
OSC	1, 精度±5%	1, 精度±5%	1, 精度±5%
ハードコアプロセッサ	-	1, Cortex-M3	1, Cortex-M3
USB PHY	1, USB 2.0 PHY	1, USB 2.0 PHY	1, USB 2.0 PHY
ADC ¹	1	1	1
I/O Bank 総数	4	4	4
最大ユーザー I/O ¹	95	95	95
コア電圧	1.2V	1.2V	1.2V

注記：

- 詳細については、[『GW1NS シリーズFPGA 製品データシート\(DS821\)』](#)を参照してください。

- 詳細については、『GW1NSE シリーズ安全 FPGA 製品データシート(DS871)を参照してください。

3.1.2 I/O BANK の説明

GW1NS シリーズ FPGA 製品には 4 つの I/O BANK があり、図 3-1 は GW1NS/GW1NSE シリーズ FPGA 製品の I/O BANK の全体説明図です。

図 3-1 GW1NS/GW1NSE シリーズ FPGA 製品の I/O BANK の全体説明図

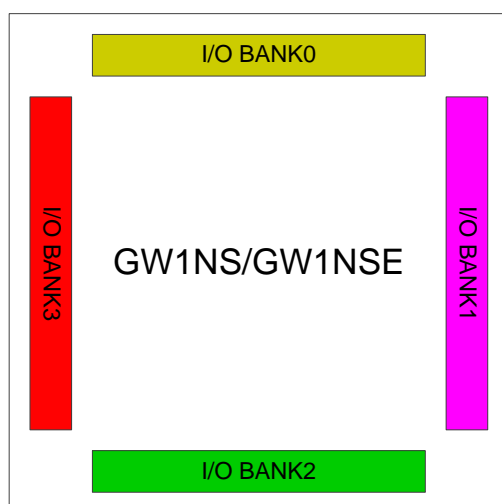


図 3-2 LQ144 パッケージのピン配置図 (トップビュー)



表 3-2 FPGA I/O の配置

I/O BANK の番号	接続されるモジュール
I/O BANK0	<ul style="list-style-type: none"> ● ダウンロードモード選択ピン ● MIPI/LVDS 差動入力 ● ADC 入力 ● GPIO ● リセット
I/O BANK1	<ul style="list-style-type: none"> ● GPIO ● RS232 ● 7セグメントディスプレイ ● USB インターフェース
I/O BANK2	<ul style="list-style-type: none"> ● スライドスイッチ ● キースイッチ ● MIPI/LVDS 差動出力 ● LED ● GPIO
I/O BANK3	<ul style="list-style-type: none"> ● GPIO ● JTAG ダウンロード

- 50MHz クロック入力

3.2 ダウンロード

3.2.1 概要

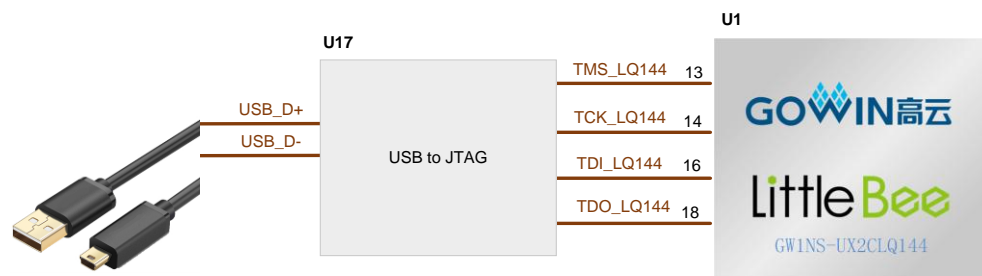
開発ボードは **USB** ダウンロードインターフェースを提供しています。ダウンロードの際は、必要に応じてオンチップ **SRAM**、オンチップ **Flash** にダウンロードできます。

注記：

- **SRAM** にダウンロードする場合、パワーオフするとデータストリームファイルが失われるため、再パワーオンする後にデータストリームファイルを再度ダウンロードする必要があります。
- **Flash** にダウンロードする場合、パワーオフしても、データストリームファイルが失われることはありません。

3.2.2 USB ダウンロード回路

図 3-3 FPGA USB ダウンロードの接続図



3.2.3 ダウンロード手順

1. **FPGA** および **MCU** のダウンモード：
FPGA および **MCU** のダウンロード際、**USB** ダウンロードケーブルを開発ボードの **USB** インターフェース (**J6**) に挿入します。

注記：

ダウンロードする前に、開発ボード上のスイッチ **SW3**、**SW4**、**SW5**、および **SW6** を **FPGA Download** 側に押す必要があります。

2. **MCU** デバッグモード：

MCU のデバッグ際、**J-Link ARM** エミュレータを使用して **ARM JTAG** ポート (**J8**) に接続する必要があります。

注記：

デバッグする前に、開発ボード上のスイッチ **SW3**、**SW4**、**SW5**、および **SW6** を **ARM Download** 側に押す必要があります。

3.2.4 ピンの配置

表 3-3 FPGA のダウンロードピンの配置

信号名	FPGA のピン 番号	BANK	説明	I/O レベル
TMS_LQ144	13	3	JTAG 信号	3.3V
TCK_LQ144	14	3	JTAG 信号	3.3V
TDI_LQ144	16	3	JTAG 信号	3.3V
TDO_LQ144	18	3	JTAG 信号	3.3V
MODE0	143	0	モード選択ピン	3.3V/1.2V
MODE1	141	0	モード選択ピン	3.3V/1.2V
MODE2	142	0	モード選択ピン	3.3V/1.2V
RECONFIG_N	20	3	RECONFIG_N	3.3V
DONE	21	3	DONE 指示	3.3V
READY	22	3	READY	3.3V

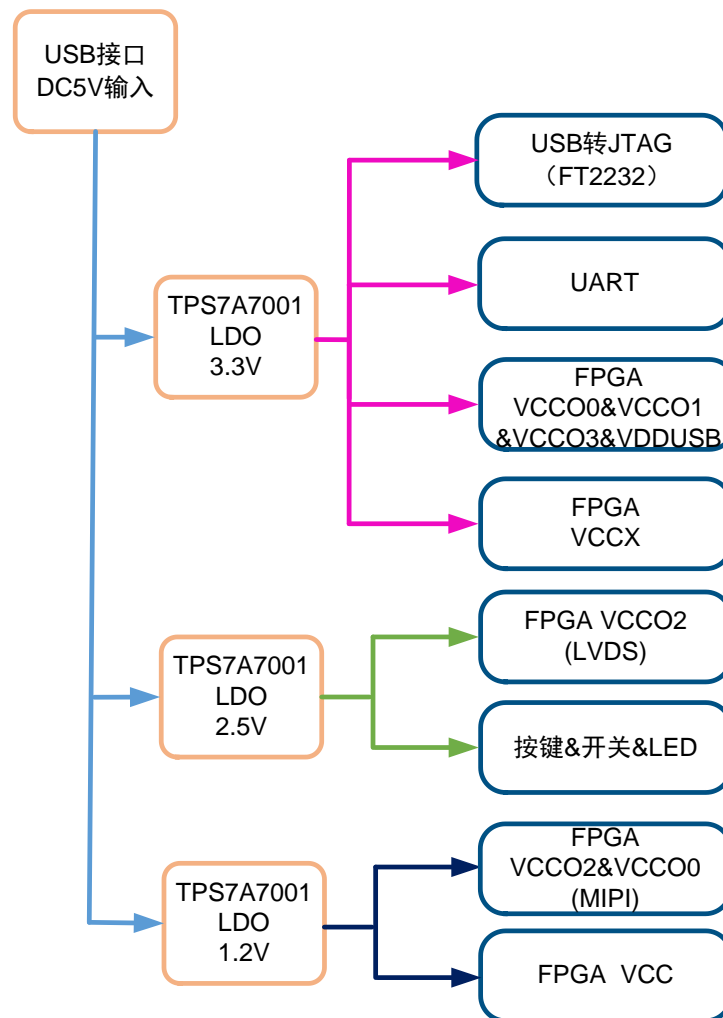
3.3 電源

3.3.1 概要

USB インターフェースを介して入力される電源 DC5V は、TI の LDO 電源チップを採用し、5V-3.3V、5V-2.5V、5V-1.2V の変換を実現します。

3.3.2 電力システムの配置

図 3-4 電力システムの配置図



3.3.3 電源ピンの配置

表 3-4 FPGA の電源ピンの配置

信号名	FPGA のピン番号	BANK	説明	I/O レベル
VCCO0	109、127、144	0	I/O Bank 電圧	3.3V/1.2V
VCCO1	91	1	I/O Bank 電圧	3.3V
VCCO2	37、55	2	I/O Bank 電圧	2.5V/1.2V
VCCO3	5、26	3	I/O Bank 電圧	3.3V
VCCX	31、78、103	-	補助電圧	3.3V
VCC	1、36、73、108	-	コア電圧	1.2V
VDDUSB	85	-	USB PHY 電源	3.3V

VSS	2、17、33、35、 53、74、89、105、 107、125	-	GND	-
-----	---	---	-----	---

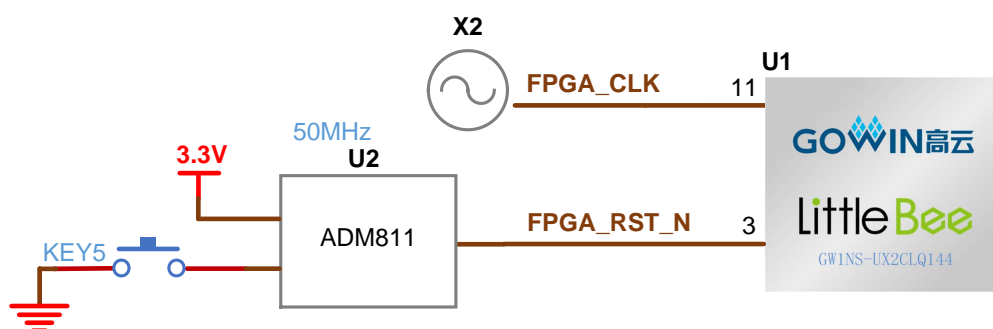
3.4 クロックとリセット

3.4.1 概要

開発ボードには、PLL 入力ピンに接続され、FPGA の内部 PLL のクロック入力として使用できる 50MHz の水晶発振器があります。ユーザーが必要とするクロックを PLL 通倍及び分周を通じて出力できます。

3.4.2 クロックおよびリセット回路

図 3-5 クロックおよびリセット回路



3.4.3 ピンの配置

表 3-5 FPGA のクロックおよびリセットピンの配置

信号名	FPGA のピン番号	BANK	説明	I/O レベル
FPGA_CLK	11	3	50MHz のアクティブ クリスタル入力	3.3V
FPGA_RST_N	133	0	リセット信号、アク ティブロー	3.3V

3.5 LED

3.5.1 概要

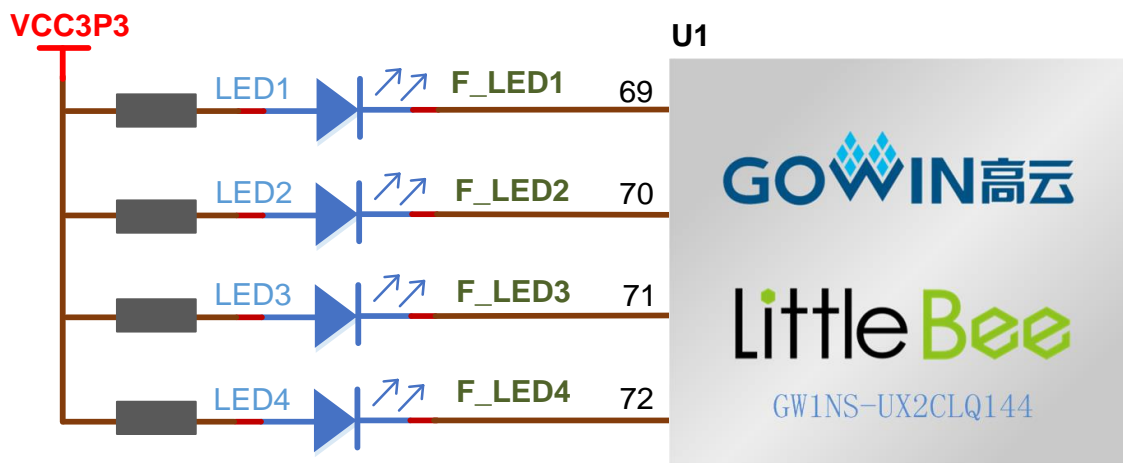
開発ボードにはステータスを表示できる 4 つの緑色の LED ライトがあります。同時に、電源と FPGA のロードを観測するために、それぞれ 1 つの LED ライトが予約されています。

LED ライトは次の方法でテストできます。

- FPGA の対応するピンの出力信号がロジック Low の場合、LED が点灯します。
- 出力信号が High の場合、LED がオフになります。

3.5.2 LED 回路

図 3-6 LED 回路



3.5.3 ピンの配置

表 3-6 LED ピンの配置

信号名	FPGA のピン番号	BANK	説明	I/O レベル
F_LED1	69	2	LED1	3.3V
F_LED2	70	2	LED2	3.3V
F_LED3	71	2	LED3	3.3V
F_LED4	72	2	LED 4	3.3V

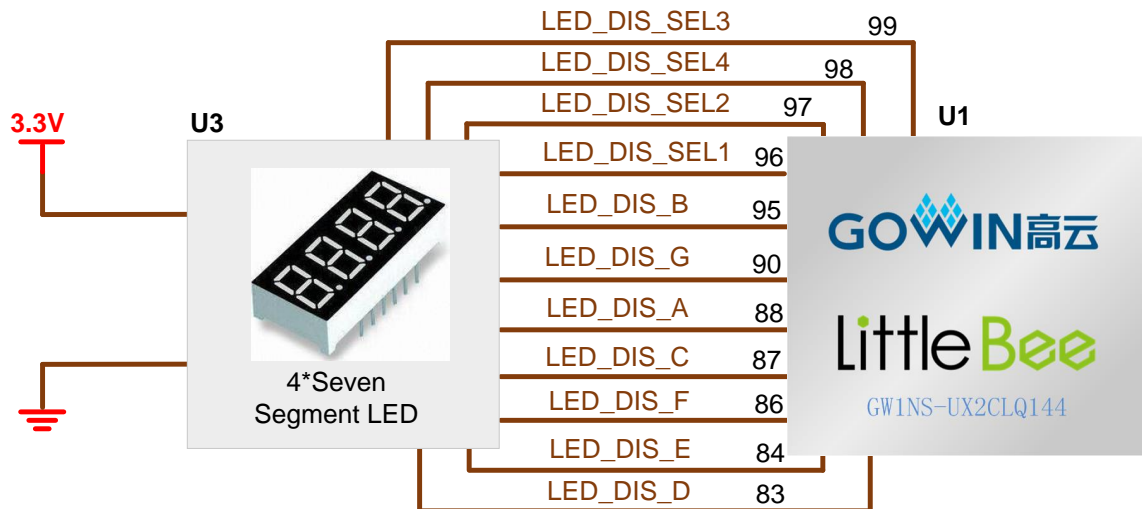
3.6 7セグメントディスプレイ

3.6.1 概要

ユーザーは開発ボードにある 7 セグメントディスプレイを利用して開発ボードの読み書き込みテストを行うことができます。

3.6.2 7セグメントディスプレイの回路

図 3-77 セグメントディスプレイの回路



3.6.3 ピンの配置

表 3-7 LED ピンの配置

信号名	FPGA のピン番号	BANK	説明	I/O レベル
LED_DIS_SEL1	96	1	セグメントディスプレイ 選択信号	3.3V
LED_DIS_SEL2	97	1	セグメントディスプレイ 選択信号	3.3V
LED_DIS_SEL3	99	1	セグメントディスプレイ 選択信号	3.3V
LED_DIS_SEL4	98	1	セグメントディスプレイ 選択信号	3.3V
LED_DIS_A	88	1	セグメントディスプレイ A 信号	3.3V
LED_DIS_B	95	1	セグメントディスプレイ B 信号	3.3V
LED_DIS_C	87	1	セグメントディスプレイ C 信号	3.3V
LED_DIS_D	83	1	セグメントディスプレイ D 信号	3.3V
LED_DIS_E	84	1	セグメントディスプレイ E 信号	3.3V
LED_DIS_F	86	1	セグメントディスプレイ F 信号	3.3V
LED_DIS_G	90	1	セグメントディスプレイ G 信号	3.3V

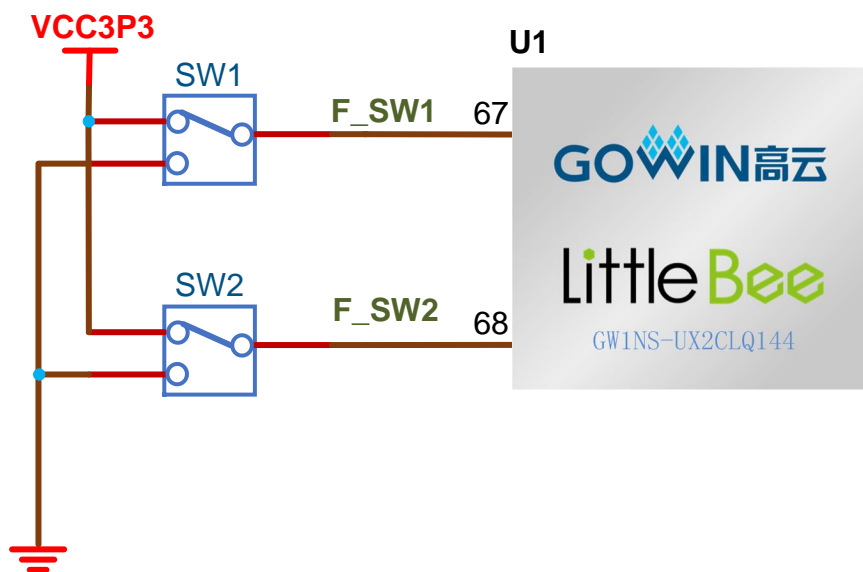
3.7 スイッチ

3.7.1 概要

開発ボードには、テスト中に入力を制御するために使用できる 2 つのスライドスイッチがあります。

3.7.2 スイッチ回路

図 3-8 スイッチ回路



3.7.3 ピンの配置

表 3-8 スイッチ回路のピン配置

信号名	FPGA のピン 番号	BANK	説明	I/O レベル
F_SW1	67	2	スライドスイッチ 1	2.5V
F_SW2	68	2	スライドスイッチ 2	2.5V

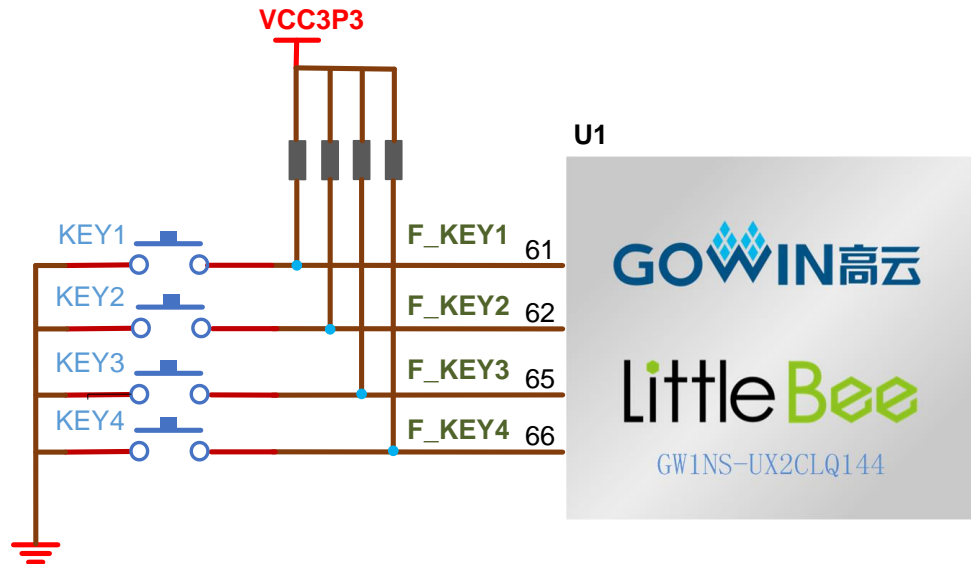
3.8 キースイッチ

3.8.1 概要

開発ボードには入力を制御するために使用できる 4 つのキースイッチがあります。ユーザーは手動制御して、対応する FPGA ピンにローレベルを入力できます。

3.8.2 キースイッチ回路

図 3-9 キースイッチ回路



3.8.3 ピンの配置

表 3-9 キースイッチ回路のピン配置

信号名	FPGA のピン 番号	BANK	説明	I/O レベル
F_KEY1	61	2	KEY1	2.5V
F_KEY2	62	2	KEY2	2.5V
F_KEY3	65	2	KEY3	2.5V
F_KEY4	66	2	KEY4	2.5V

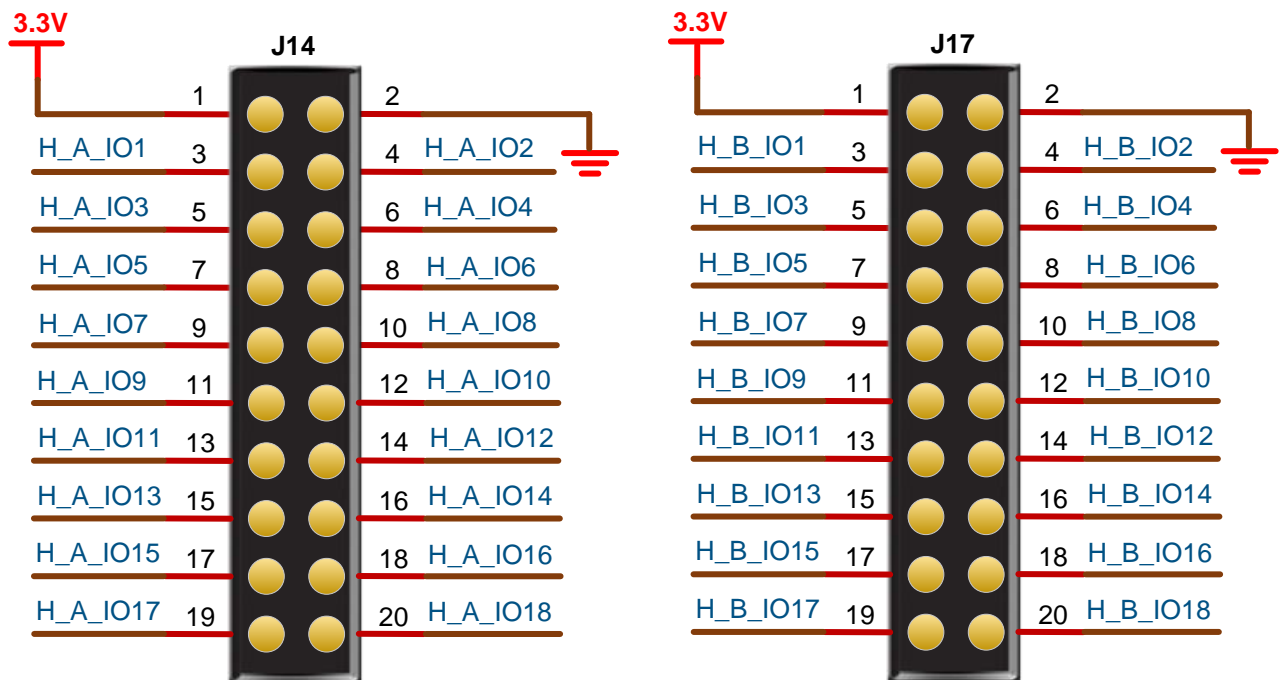
3.9 GPIO

3.9.1 概要

機能拡張とテストのために、2つの 2.54mm ピッチ DC3-20P ソケットが開発ボードに予約されています。

3.9.2 GPIO 回路

図 3-10 GPIO 回路



3.9.3 ピンの配置

表 3-10 J14 GPIO のピンの配置

信号名	FPGA のピン 番号	ソケットのピン 番号	BANK	説明	I/O レベル
VCC3P3	-	1	-	-	3.3V
GND	-	2	-	-	-
H_A_IO1	132	3	0	汎用 I/O	3.3V/1.2V
H_A_IO2	131	4	0	汎用 I/O	3.3V/1.2V
H_A_IO3	130	5	0	汎用 I/O	3.3V/1.2V
H_A_IO4	129	6	0	汎用 I/O	3.3V/1.2V
H_A_IO5	124	7	0	汎用 I/O	3.3V/1.2V
H_A_IO6	4	8	3	汎用 I/O	3.3V
H_A_IO7	7	9	3	汎用 I/O	3.3V
H_A_IO8	8	10	3	汎用 I/O	3.3V
H_A_IO9	9	11	3	汎用 I/O	3.3V
H_A_IO10	12	12	3	汎用 I/O	3.3V
H_A_IO11	15	13	3	汎用 I/O	3.3V
H_A_IO12	22	14	3	汎用 I/O	3.3V
H_A_IO13	23	15	3	汎用 I/O	3.3V
H_A_IO14	24	16	3	汎用 I/O	3.3V

信号名	FPGA のピン 番号	ソケットのピン 番号	BANK	説明	I/O レベル
H_A_IO15	25	17	3	汎用 I/O	3.3V
H_A_IO16	27	18	3	汎用 I/O	3.3V
H_A_IO17	28	19	3	汎用 I/O	3.3V
H_A_IO18	29	20	3	汎用 I/O	3.3V

表 3-11 J17 GPIO のピンの配置

信号名	FPGA のピン 番号	ソケットのピン 番号	BANK	説明	I/O レベル
VCC3P3	-	1	-	-	3.3V
GND	-	2	-	-	-
H_B_IO1	123	3	0	汎用 I/O	3.3V/1.2V
H_B_IO2	120	4	0	汎用 I/O	3.3V/1.2V
H_B_IO3	119	5	0	汎用 I/O	3.3V/1.2V
H_B_IO4	116	6	0	汎用 I/O	3.3V/1.2V
H_B_IO5	115	7	0	汎用 I/O	3.3V/1.2V
H_B_IO6	112	8	0	汎用 I/O	3.3V/1.2V
H_B_IO7	111	9	0	汎用 I/O	3.3V/1.2V
H_B_IO8	110	10	0	汎用 I/O	3.3V/1.2V
H_B_IO9	106	11	1	汎用 I/O	3.3V
H_B_IO10	104	12	1	汎用 I/O	3.3V
H_B_IO11	102	13	1	汎用 I/O	3.3V
H_B_IO12	58	14	2	汎用 I/O	2.5V/1.2V
H_B_IO13	54	15	2	汎用 I/O	2.5V/1.2V
H_B_IO14	45	16	2	汎用 I/O	2.5V/1.2V
H_B_IO15	44	17	2	汎用 I/O	2.5V/1.2V
H_B_IO16	41	18	2	汎用 I/O	2.5V/1.2V
H_B_IO17	40	19	2	汎用 I/O	2.5V/1.2V
H_B_IO18	30	20	3	汎用 I/O	3.3V

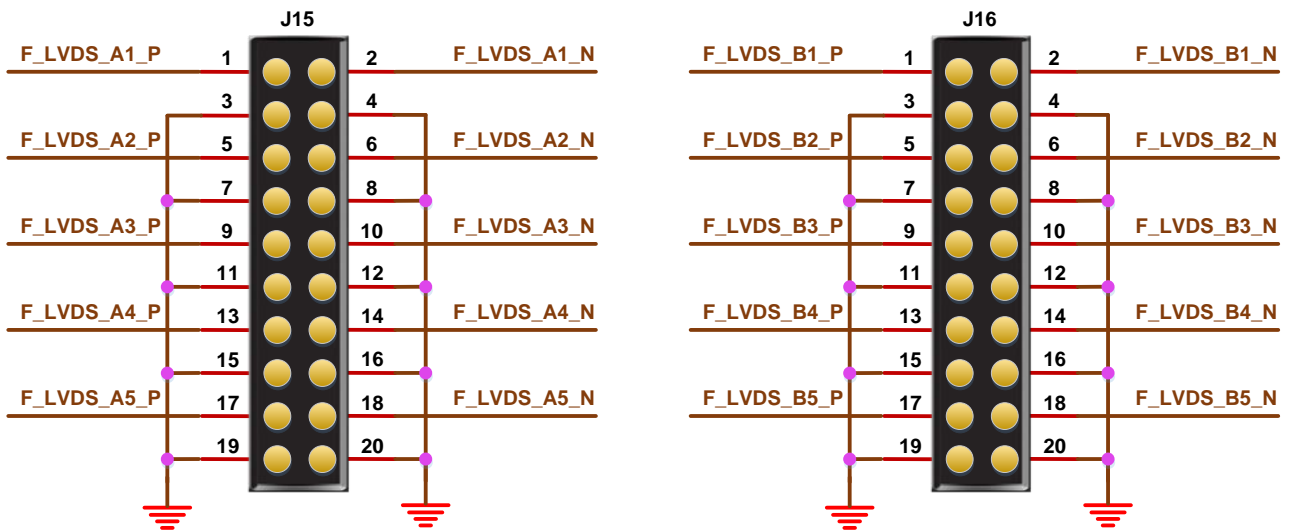
3.10 MIPI/LVDS

3.10.1 概要

MIPI/LVDS 入出力性能のテストと高速データ通信のために、2つの 20 mm ピッチ DC3-20P ソケットが開発ボードに予約されています。

3.10.2 MIPI/LVDS 回路

図 3-11 LVDS 回路



3.10.3 ピンの配置

表 3-12 J15 FPGA のピンの配置

信号名	FPGA のピン番号	ソケットのピン番号	BANK	説明	I/O レベル
F_LVDS_A1_P	38	1	2	差動出力チャンネル 1+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_A1_N	39	2	2	差動出力チャンネル 1-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	3	-	-	-
GND	-	4	-	-	-
F_LVDS_A2_P	42	5	2	差動出力チャンネル 2+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_A2_N	43	6	2	差動出力チャンネル 2-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	7	-	-	-
GND	-	8	-	-	-
F_LVDS_A3_P	46	9	2	差動出力チャンネル 3+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_A3_N	47	10	2	差動出力チャンネル 3-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	11	-	-	-
GND	-	12	-	-	-
F_LVDS_A4_P	59	13	2	差動出力チャンネル 4+	2.5V(LVDS)/ 1.2V(MIPI)

F_LVDS_A4_N	60	14	2	差動出力チャンネル 4-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	15	-	-	
GND	-	16	-	-	
F_LVDS_A5_P	63	17	2	差動出力チャンネル 5+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_A5_N	64	18	2	差動出力チャンネル 5-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	19	-	-	
GND	-	20	-	-	

表 3-13 J16 FPGA のピンの配置

信号名	FPGA のピン 番号	ソケットの ピン番号	BANK	説明	I/O レベル
F_LVDS_B1_P	136	1	0	差動入力チャンネル 1+	3.3V/1.2V (LVDS/MIPI)
F_LVDS_B1_N	135	2	0	差動入力チャンネル 1-	3.3V/1.2V (LVDS/MIPI)
GND	-	3	-	-	-
GND	-	4	-	-	-
F_LVDS_B2_P	128	5	0	差動入力チャンネル 2+	3.3V/1.2V (LVDS/MIPI)
F_LVDS_B2_N	126	6	0	差動入力チャンネル 2-	3.3V/1.2V (LVDS/MIPI)
GND	-	7	-	-	-
GND	-	8	-	-	-
F_LVDS_B3_P	122	9	0	差動入力チャンネル 3+	3.3V/1.2V (LVDS/MIPI)
F_LVDS_B3_N	121	10	0	差動入力チャンネル 3-	3.3V/1.2V (LVDS/MIPI)
GND	-	11	-	-	-
GND	-	12	-	-	-
F_LVDS_B4_P	118	13	0	差動入力チャンネル 4+	3.3V/1.2V (LVDS/MIPI)
F_LVDS_B4_N	117	14	0	差動入力チャンネル 4-	3.3V/1.2V (LVDS/MIPI)
GND	-	15	-	-	-
GND	-	16	-	-	-
F_LVDS_B5_P	114	17	0	差動入力チャンネル 5+	3.3V/1.2V (LVDS/MIPI)

信号名	FPGA のピン番号	ソケットのピン番号	BANK	説明	I/O レベル
F_LVDS_B5_N	113	18	0	差動入力チャンネル 5-	3.3V/1.2V (LVDS/MIPI)
GND	-	19	-	-	-
GND	-	20	-	-	-

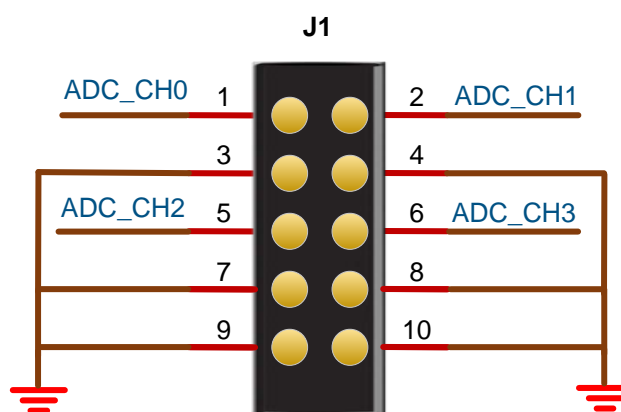
3.11 ADC

3.11.1 概要

ユーザーがアナログ信号の AD 変換を実行しやすくするために、開発ボードに 2.54mm ピッチの DC3-10P ソケットが予約されています。これにより、FPGA に組み込まれた ADC を介して最大 4 つの信号を同時に AD 変換できます。

3.11.2 ADC 回路

図 3-12 ADC 回路



3.11.3 ピンの配置

表 3-14 J1 ADC のピンの配置

信号名	FPGA のピン番号	ソケットのピン番号	BANK	説明	I/O レベル
ADC_CH0	140	1	0	汎用 I/O	3.3V
ADC_CH1	139	2	0	汎用 I/O	3.3V
GND	--	3	0	汎用 I/O	--
GND	--	4	0	汎用 I/O	--
ADC_CH2	138	3	0	汎用 I/O	3.3V

信号名	FPGA のピン番号	ソケットのピン番号	BANK	説明	I/O レベル
ADC_CH3	137	4	0	汎用 I/O	3.3V
GND	--	7	--	--	--
GND	--	8	--	--	--
GND	--	9	--	--	--
GND	--	10	--	--	--

表 3-15 J1 ADC 外部リファレンス電圧ピン

信号名	FPGA のピン番号	BANK	説明	I/O レベル
ADC_VREF	3	3	汎用 I/O	$0.5 \cdot V_{CC00} \sim V_{CC00}$

3.12 RS232

3.12.1 概要

FPGA と PC または他の外部デバイス間の通信を容易にするために、1 つの RS232 インターフェースが予約されています。

3.12.2 RS232 回路

図 3-13 RS232 の接続図



3.12.3 ピンの配置

表 3-16 RS232 のピンの配置

信号名	FPGA のピン番号	BANK	説明	I/O レベル
UART_TXD	100	1	シリアルデータ出力	3.3V
UART_RXD	101	1	シリアルデータ入力	3.3V

4 開発ボードの使用上の注意

開発ボードの使用上の注意：

1. 開発ボードを使用するときは、取り扱いに注意を払い、かつ静電気保護してください。
2. ダウンロードする前に、スイッチ SW3、SW4、SW5、および SW6 を FPGA Download 側に押す必要があります；
3. MCU をデバッグする前に、スイッチ SW3、SW4、SW5、および SW6 を ARM Download 側に押す必要があります。
4. Bank2 の出力差動ペアを LVDS 出力として使用する場合、VCCO2 Bank 電圧を 2.5V に調整する必要があります；Bank2 の出力差動ペアを MIPI 出力として使用する場合、VCCO2 Bank 電圧を 1.2V に調整する必要があります。
5. Bank0 の入力差動ペアを LVDS 入力または ADC として使用する場合、VCCO0 Bank 電圧を 3.3V に調整する必要があります；Bank0 の入力差動ペアを MIPI 入力として使用する場合、VCCO0 Bank 電圧を 1.2V に調整する必要があります。
6. GW1NSE-2C は、Secure Mode と認証コードの機能を備えた安全 FPGA チップ (Secure FPGA) です。
7. GW1NSE-2C デバイスは、バージョン 1.9.2 以降の GOWIN EDA ツールで開発する必要があります。
8. ワンタイムプログラミングの “Secure Mode” は、通常、出荷時に使用されます。工場でのデバッグフェーズでは、ワンタイムプログラミングの “Secure Mode” を使用しないことをお勧めします。
9. 開発ボードを初めて使用する前に、Programmer を使用して認証コードをリードバックしてローカル PC に保存する必要があります。MCU コードをダウンロードする前に認証コードを書き込む必要があります。

5 Gowin YunYuan ソフトウェア

詳細については、『Gowin YunYuan ソフトウェアユーザーガイド』を参照してください。

