

Gowin_EMPU_M1 ハードウェア設計 リファレンスマニュアル

IPUG531-2.6J, 2025-12-30

著作権について(2025)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

及びGowinは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2019/02/19	1.0J	初版。
2019/07/18	1.1J	MCU ハードウェア設計では、周辺機器 CAN、Ethernet、SPI-Flash、RTC、DualTimer、TRNG、I ² C、SPI、SD-Card の拡張をサポート。
2019/08/18	1.2J	● MCU ハードウェア設計とソフトウェア設計では、DDR3 Memory の拡張をサポート。 ● 既知の ITCM、DTCM Size、および IDE の問題を修正。
2019/09/27	1.3J	● MCU ハードウェア設計およびソフトウェア設計では、オフチップ SPI-Flash の読み出し、書き込み、および消去をサポート。 ● MCU ソフトウェア設計は、外部 I²C デバイスの連続したマルチバイト読み出しおよび書き込みをサポート。 ● 既知の MCU ソフトウェア設計の AHB2 拡張インターフェースと APB2 拡張インターフェースのアドレスマッピングの問題を修正。 ● 既知の MCU ソフトウェア設計の DDR3 Memory の連続した読み出し/書き込みの問題を修正。
2019/12/06	1.4J	● MCU ハードウェア設計とソフトウェア設計では、周辺機器 PSRAM の拡張をサポート。 ● MCU コンパイラ GMD V1.0 を更新。 ● RTOS リファレンス・デザインを更新。 ● AHB2 および APB2 拡張バスインターフェースハードウェアおよびソフトウェアのリファレンス・デザインを追加。
2020/03/03	1.5J	● MCU ハードウェア設計での SD-Card の読み出しと書き込みをサポート。 ● Synplify Pro で合成する際の周辺機器 DDR3 の読み出し/書き込みの問題を修正。 ● デバイス GW2A-18C/GW2AR-18C/GW2A-55C のサポートを追加。
2020/06/12	1.6J	● MCU が外部命令メモリをサポート。 ● MCU が外部データメモリをサポート。 ● AHB バスインターフェースを 6 個拡張。 ● APB バスインターフェースを 16 個拡張。 ● GPIO が複数のインターフェースタイプをサポート。 ● I²C が複数のインターフェースタイプをサポート。
2021/01/25	1.7J	● 既知の SPI-Flash の初期化の問題を修正。 ● C バージョンの GW1N-9C、GW2A-18C、GW2A-55C のリファレンス・デザインを更新。 ● リファレンス・デザインで使用する Gowin ソフトウェアのバージョンを更新。 ● 外部割り込み信号をサポートする方法を追加。
2021/07/21	1.8J	● GW1N-9C/GW1NR-9C で User Flash を命令メモリとして使用することをサポート。 ● 既知の SPI 全二重読み出しおよび書き込みの問題を修正。 ● 合成ツールの Synplify Pro のリファレンス・デザインを削除。 ● リファレンス・デザインおよび Gowin ソフトウェアのバージョンを更

日付	バージョン	説明
		新。
2021/10/12	1.9J	● GW2AN-9X/GW2AN-18X の、ITCM および DTCM Size の範囲を変更。 ● GW2AN-9X/GW2AN-18X が外部デバイス DDR3 をサポートしないように更新。 ● DK-START-GW2AR18V1.1 開発ボードのリファレンス・デザインを更新。 ● BlockRAM 以外の ITCM/DTCM ソリューションを追加。
2023/05/11	2.0J	● 拡張外部割り込み入力をサポートを追加。 ● Arora V FPGA 製品のサポートを追加。 ● ハードウェア・リファレンス・デザインを更新。 ● 外部命令メモリとデータメモリのソリューションを追加。 ● 拡張外部割り込み入力のソリューションを追加。 ● Arora V 外部命令メモリのソリューションを追加。
2023/07/21	2.1J	● GW5AT-138 および GW5A-25 システムの性能の統計を追加。 ● GW5A-25 の情報を追加。 ● GW5A-25 のリファレンス・デザインを追加。 ● ソフトウェアのバージョン情報を更新。 ● Arora V を統合、Arora V のソリューションを削除。
2024/03/07	2.2J	● Ethernet、DDR3 Memory、および PSRAM Memory などの周辺機器を更新。 ● B バージョンの GW5A(S)(R)(T)-138、B バージョンの GW5A(S)(R)(T)-75、および A バージョンの GW5A(S)(R)(T)-25 が DDR3 Memory と Ethernet 周辺機器をサポートするように更新。 ● A バージョンの GW5AT-60 のサポートを追加。
2024/07/12	2.3J	● A バージョンの GW5ART-15 のサポートを追加。 ● ハードウェア・リファレンス・デザインを更新。
2025/01/17	2.4J	● CAN、Ethernet、DDR3、PSRAM などの周辺機器の機能を更新。 ● GW5A/T-60、GW5AT/RT-15 デバイスに DDR3 周辺機器のサポートを追加。 ● ハードウェア・リファレンス・デザインを更新。
2025/08/08	2.5J	● Gowin ソフトウェアのバージョンの説明を更新。 ● FAT32、32GB の SD-Card をサポートする SD_Host_v2 と SD_SPI_IF_v1 ソリューションを追加。 ● リファレンス・デザインを更新。
2025/12/30	2.6J	GW3A-20/GW3AR-20 デバイスのサポートを追加。

目次

目次	i
図一覧.....	iii
表一覧.....	v
1 ハードウェア・アーキテクチャ.....	1
1.1 アーキテクチャ.....	1
1.2 システムの特徴.....	2
1.2.1 コアシステム	2
1.2.2 周辺機器システム	3
1.3 システムポート.....	3
1.4 リソース使用量.....	16
1.5 システムの性能の統計	17
2 ハードウェア設計フロー.....	18
2.1 ハードウェア環境	18
2.2 ソフトウェアのバージョン	19
2.3 IP 生成ツール.....	19
2.4 ダウンロードツール.....	19
2.5 設計フロー	19
3 プロジェクトテンプレート	20
3.1 プロジェクトの作成.....	20
3.1.1 プロジェクトの新規作成	20
3.1.2 プロジェクトの名称とパスの設定	21
3.1.3 デバイスの選択.....	21
3.1.4 プロジェクト作成の完了	22
3.2 ハードウェア設計	22
3.2.1 コアシステムの構成.....	25
3.2.2 周辺機器システムの構成	34
3.3 ユーザーデザイン	55
3.4 制約.....	55

3.5 構成.....	55
3.5.1 Synthesize の構成	55
3.5.2 Post-Place File の構成.....	56
3.5.3 Dual-Purpose Pin の構成.....	56
3.5.4 Bitstream の構成.....	57
3.6 合成.....	57
3.7 配置配線.....	58
3.8 ダウンロード	59
4 リファレンス・デザイン.....	63

図一覧

図 1-1 アーキテクチャ	1
図 3-1 プロジェクトの新規作成	20
図 3-2 プロジェクト名を入力	21
図 3-3 デバイスの選択	22
図 3-4 Summary	22
図 3-5 Gowin_EMPU_M1 の選択	23
図 3-6 システムの構成	24
図 3-7 Cortex-M1 コアシステムの構成オプション	27
図 3-8 Cortex-M1 の全般構成	27
図 3-9 Cortex-M1 デバッグの構成	29
図 3-10 Cortex-M1 のメモリの構成	30
図 3-11 GPIO の構成	36
図 3-12 CAN の構成	37
図 3-13 Ethernet の構成	38
図 3-14 DDR3 Memory の構成	39
図 3-15 SPI-Flash Memory の構成	40
図 3-16 AHB Master [1-6]の構成	41
図 3-17 UART の構成	42
図 3-18 Timer の構成	43
図 3-19 WatchDog の構成	44
図 3-20 RTC の構成	45
図 3-21 DualTimer の構成	46
図 3-22 TRNG の構成	47
図 3-23 I2C の構成	48
図 3-24 SPI の構成	49
図 3-25 SD-Card の構成	50
図 3-26 APB Master [1-16]の構成	52
図 3-27 PSRAM の構成	54
図 3-28 Synthesize の構成	55

図 3-29 Post-Place File の構成	56
図 3-30 Dual-Purpose Pin の構成	57
図 3-31 Bitstream の構成	57
図 3-32 合成	58
図 3-33 配置配線	58
図 3-34 GW1N/R-9 のダウンロード・オプションの構成 (Embedded Flash Mode)	59
図 3-35 GW1N/R-9 のダウンロード・オプションの構成 (MCU Mode L)	60
図 3-36 GW2AN-9X/18X、GW2A/R/NR-18、GW2A/N-55 のダウンロード・オプションの構成.....	61
図 3-37 Arora V の External Flash Mode の構成.....	62

表一覧

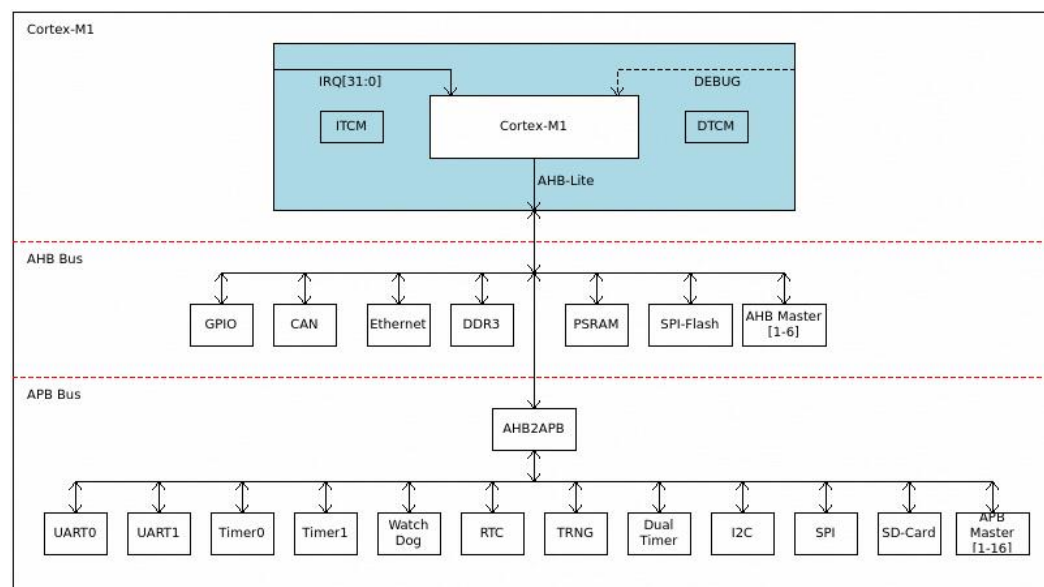
表 1-1 ポート一覧.....	3
表 1-2 リソース使用量.....	16
表 1-3 システムの性能の統計.....	17
表 3-1 コアシステムの構成オプション.....	25
表 3-2 周辺機器システムの構成オプション.....	34
表 3-3 AHB Master [1-6]のアドレス.....	41
表 3-4 APB Master [1-16]のアドレス.....	52

1 ハードウェア・アーキテクチャ

1.1 アーキテクチャ

Gowin_EMPU_M1 には、3 レベルの構造が含まれています(図 1-1)。

図 1-1 アーキテクチャ



レベル 1 : Cortex-M1 コア、ITCM(命令メモリ)、DTCM(データメモリ)。

レベル 2 : AHB バスおよび GPIO、CAN、Ethernet、DDR3 Memory、PSRAM Memory、SPI-Flash Memory、AHB Master [1-6]。

レベル 3 : APB バス、UART0、UART1、Timer0、Timer1、Watch Dog、RTC、TRNG、DualTimer、I²C Master、SPI Master、SD-Card、APB Master [1-16]。

1.2 システムの特徴

Gowin_EMPU_M1 は 2 つのサブシステムで構成されています。

- Cortex-M1 コアシステム
- AHB と APB バス・周辺機器システム

1.2.1 コアシステム

プロセッサコア

- 16 ビット Thumb および 32 ビット Thumb2 命令セットをサポートする ARM architecture v6-M Thumb 命令セットアーキテクチャ
- 構成可能な拡張オペレーティングシステム
- システム例外処理
- 割り込み例外処理と通常のスレッドモード
- スタックポインター：通常は 1 つのスタックポインター、オペレーティングシステムを拡張する場合は 2 つのスタックポインター
- ビッグエンディアン/リトルエンディアン
 - 構成可能なバイトオーダー
 - 命令およびシステム制御レジスタのリトルエンディアン形式
 - デバッグシステムのリトルエンディアン形式

NVIC

- 構成可能な外部割り込みの数：1、8、16、32
- ユーザーの拡張周辺機器用の 4 つの拡張外部割り込み入力
- 4 つの優先度
- プロセッサの状態は、割り込み処理に入ると自動的に保存され、割り込み処理が終了すると状態が自動的に復元

デバッグシステム

構成オプションを使用して、デバッグシステムをオン/オフにできます。

- デバッグシステムがオフの場合、Cortex-M1 コアはデバッグシステムをサポートしません。
- デバッグシステムがオンの場合、Cortex-M1 コアはデバッグシステムをサポートします。
 - フル(full)モードと簡易(reduced)モード
 - a) フルモード：4 つの BreakPoint Unit と 2 つの Data Watchpoint
 - b) 簡易モード：2 つの BreakPoint Unit と 1 つの Data Watchpoint
 - 構成可能な DAP ポート

- a) JTAG/Serial Wire
- b) JTAG
- c) Serial Wire

Memory

- ITCM : 命令メモリです
 - 内部命令メモリと外部命令メモリをサポート
 - 内部命令メモリのサイズは構成可能
(1/2/4/8/16/32/64/128/256/512KB)
 - 内部命令メモリの初期値は構成可能
- DTCM : データメモリ
 - 内部データメモリと外部データメモリをサポート
 - 内部データメモリのサイズは構成可能
(1/2/4/8/16/32/64/128/256/512KB)

32 ビットハードウェア乗算器

- Normal モード
- Small モード

1.2.2 周辺機器システム

- AHB バス、および GPIO、CAN、Ethernet、DDR3 Memory、PSRAM Memory、SPI-Flash Memory、AHB Master [1-6] ;
- APB バス、および UART0、UART1、Timer0、Timer1、Watch Dog、RTC、DualTimer、TRNG、I²C Master、SPI Master、SD-Card、APB Master [1-16]。

1.3 システムポート

Gowin_EMPU_M1 システムのポートの定義を表 1-1 に示します。

表 1-1 ポート一覧

名称	I/O	幅(ビット)	説明	モジュール
HCLK	入力	1	システムクロック	-
hwRstn	入力	1	システムリセット	-
LOCKUP	出力	1	コアの Lockup 状態	-
HALTED	出力	1	コアの Halt Debug 状態	Debug
JTAG_3	入出力	1	TRST	Debug JTAG and Serial Wire
JTAG_4	入出力	1	GND	
JTAG_5	入出力	1	TDI	
JTAG_6	入出力	1	GND	
JTAG_7	入出力	1	TMS/SWDIO	
JTAG_8	入出力	1	GND	

名称	I/O	幅(ビット)	説明	モジュール
JTAG_9	入出力	1	TCK/SWDCLK	
JTAG_10	入出力	1	GND	
JTAG_11	入出力	1	RTCK	
JTAG_12	入出力	1	GND	
JTAG_13	入出力	1	TDO/SWO	
JTAG_14	入出力	1	GND	
JTAG_15	入出力	1	RESET	
JTAG_16	入出力	1	GND	
JTAG_17	入出力	1	NC	
JTAG_18	入出力	1	GND	
EXTINT	入力	[3:0]	拡張外部割り込み入力	NVIC
GPIO	入出力	[15:0]	GPIO 入出力	GPIO I/O
GPIOIN	入力	[15:0]	GPIO 入力	GPIO non-I/O
GPIOOUT	出力	[15:0]	GPIO 出力	
GPIOOUTEN	出力	[15:0]	GPIO 出力イネーブル	
UART0RXD	入力	1	UART0 受信	UART0
UART0TXD	出力	1	UART0 送信	
UART1RXD	入力	1	UART1 受信	UART1
UART1TXD	出力	1	UART1 送信	
TIMER0EXTIN	入力	1	Timer0 外部割り込み	Timer0
TIMER1EXTIN	入力	1	Timer1 外部割り込み	Timer1
RTCSRCCLK	入力	1	RTC クロックソース、 32.768KHz	RTC
SCL	入出力	1	シリアル・クロック	I ² C I/O
SDA	入出力	1	シリアル・データ	
SCLIN	入力	1	シリアル・クロック入力	I ² C non-I/O
SCLOUT	出力	1	シリアル・クロック出力	
SCLOUTEN	出力	1	シリアル・クロック出力イネーブル	
SDAIN	入力	1	シリアル・データ入力	
SDAOUT	出力	1	シリアル・データ出力	
SDAOUTEN	出力	1	シリアル・データ出力イネーブル	
MOSI	出力	1	マスター出力/スレーブ入力	SPI
MISO	入力	1	マスター入力/スレーブ出力	
SCLK	出力	1	クロック信号	
NSS	出力	1	スレーブ選択信号	
SD_SPICLK	入力	1	SPI クロック信号	SD-Card
SD_CLK	出力	1	SD クロック信号	

名称	I/O	幅(ビット)	説明	モジュール
SD_CS	出力	1	チップセレクト信号	
SD_DATAIN	入力	1	データ入力	
SD_DATAOUT	出力	1	データ出力	
SD_CARD_INIT	出力	1	初期化	
SD_CHECKIN	入力	1	入力チェック	
SD_CHECKOUT	出力	1	出力チェック	
CAN_RX	入力	1	データ入力	CAN
CAN_TX	出力	1	データ出力	
RGMII_TXC	出力	1	RGMII の送信クロック	Ethernet RGMII Interface
RGMII_TX_CTL	出力	1	RGMII の送信制御	
RGMII_TXD	出力	[3:0]	RGMII の送信データ	
RGMII_RXC	入力	1	RGMII の受信クロック	
RGMII_RX_CTL	入力	10	RGMII の受信制御	
RGMII_RXD	入力	[3:0]	RGMII の受信データ	
GTX_CLK	入力	1	RGMII 125MHz クロック入力	Ethernet GMII Interface
GMII_RX_CLK	入力	1	GMII の受信クロック	
GMII_RX_DV	入力	1	GMII の受信イネーブル	
GMII_RXD	入力	[7:0]	GMII の受信データ	
GMII_RX_ER	入力	1	GMII の受信エラー	
GTX_CLK	入力	1	GMII 125MHz クロック入力	
GMII_GTX_CLK	出力	1	GMII の送信クロック	
GMII_TXD	出力	[7:0]	GMII の送信データ	
GMII_TX_EN	出力	1	GMII の送信イネーブル	
GMII_TX_ER	出力	1	GMII の送信エラー	
MII_RX_CLK	入力	1	MII の受信クロック	Ethernet MII Interface
MII_RXD	入力	[3:0]	MII の受信データ	
MII_RX_DV	入力	1	MII の受信イネーブル	
MII_RX_ER	入力	1	MII の受信エラー	
MII_TX_CLK	入力	1	MII の送信クロック	
MII_TXD	出力	[3:0]	MII の送信データ	
MII_TX_EN	出力	1	MII 送信イネーブル	
MII_TX_ER	出力	1	MII の送信エラー	
MII_COL	入力	1	MII の衝突信号	
MII_CRS	入力	1	MII のキャリア信号	
MDC	出力	1	MDIO 管理クロック	Ethernet
MDIO	入出力	1	MDIO 管理データ	
DDR_CLK_I	入力	1	リファレンス・クロックの入力。50MHz を推奨	DDR3 Memory

名称	I/O	幅(ビット)	説明	モジュール
DDR_STOP_O	出力	1	GW5A デバイスを使用する場合の制御信号であり、DDR_MEM_CLK_I のオン/オフを制御します。アクティブ Low	
DDR_MEM_CLK_I	入力	1	ユーザー側から入力されるメモリ・インターフェース・クロック。GW2A デバイスを使用する場合、このクロックのソースは PLL の出力クロックまたは他のクロックにすることができます。GW5A デバイスを使用する場合、このクロックは PLL の clkout2 によって出力される必要があります。	
DDR_LOCK_I	入力	1	DDR_MEM_CLK_I のソースが PLL の通倍による出力クロックの場合、このポートを PLL の pll_lock ピンに接続します。ユーザーが PLL を使用しない場合、このポートを 1 に接続します。	
DDR_RSTN_I	入力	1	リセット信号	
DDR_INIT_COMPLET_O	出力	1	初期化完了信号	
DDR_ADDR_O	出力	[13:0]	Row アドレス、Column アドレス	
DDR_BA_O	出力	[2:0]	Bank アドレス	
DDR_CS_N_O	出力	1	チップセレクト信号	
DDR_RAS_N_O	出力	1	Row アドレスストロブ信号	
DDR_CAS_N_O	出力	1	Column アドレスストロブ信号	
DDR_WE_N_O	出力	1	Row 書き込みイネーブル	
DDR_CLK_O	出力	1	DDR3 SDRAM に提供されるクロック信号	
DDR_CLK_N_O	出力	1	DDR_CLK_O とともに差動信号を形成	
DDR_CKE_O	出力	1	DDR3 SDRAM クロックのイネーブル信号	
DDR_ODT_O	出力	1	メモリ信号終端抵抗の制御用	
DDR_RESET_N_O	出力	1	DDR3 SDRAM のリセット信号	
DDR_DQM_O	出力	[1:0]	DDR3 SDRAM のデータマスク信号	
DDR_DQ_IO	入出力	[15:0]	DDR3 SDRAM のデータ	

名称	I/O	幅(ビット)	説明	モジュール
DDR_DQS_IO	入出力	[1:0]	DDR3 SDRAM のデータストロープ信号	
DDR_DQS_N_IO	入出力	[1:0]	DDR_DQS_IO とともに差動信号を形成	
O_psram_ck	出力	[1:0]	PSRAM に提供するクロック信号	PSRAM Memory
O_psram_ck_n	出力	[1:0]	O_psram_ck とともに差動信号を構成します	
IO_psram_rwds	入出力	[1:0]	PSRAM データストロープ信号およびマスク信号	
IO_psram_dq	入出力	[15:0]	PSRAM データ	
O_psram_reset_n	出力	[1:0]	PSRAM リセット信号	
O_psram_cs_n	出力	[1:0]	チップセレクト信号、アクティブ Low	
init_calib	出力	1	初期化完了信号	
psram_ref_clk	入力	1	リファレンス・クロック。通常はオンボードの水晶発振器を使用	
psram_memory_clk	入力	1	ユーザー側から入力されるメモリ動作クロック。通常はPLL 通倍による高速クロック	
FLASH_SPI_HOLD_N	入出力	1	NC	SPI-Flash Memory
FLASH_SPI_CSN	入出力	1	スレーブ選択信号	
FLASH_SPI_MISO	入出力	1	マスター入力/スレーブ出力	
FLASH_SPI_MOSI	入出力	1	マスター出力/スレーブ入力	
FLASH_SPI_WPN	入出力	1	NC	
FLASH_SPI_CLK	入出力	1	クロック信号	
APB1PSTRB	出力	[3:0]	APB1 PSTRB	APB1 Master [1]
APB1PPROT	出力	[2:0]	APB1 PPROT	
APB1PSEL	出力	1	APB1 PSEL	
APB1PENABLE	出力	1	APB1 PENABLE	
APB1PADDR	出力	[31:0]	APB1 PADDR	
APB1PWRITE	出力	1	APB1 PWRITE	
APB1PWDATA	出力	[31:0]	APB1 PWDATA	
APB1PRDATA	入力	[31:0]	APB1 PRDATA	
APB1PREADY	入力	1	APB1 PREADY	
APB1PSLVERR	入力	1	APB1 PSLVERR	
APB1PCLK	出力	1	APB1 PCLK	
APB1PRESET	出力	1	APB1 RESET	
APB2PSTRB	出力	[3:0]	APB2 PSTRB	APB Master [2]
APB2PPROT	出力	[2:0]	APB2 PPROT	

名称	I/O	幅(ビット)	説明	モジュール
APB2PSEL	出力	1	APB2 PSEL	
APB2PENABLE	出力	1	APB2 PENABLE	
APB2PADDR	出力	[31:0]	APB2 PADDR	
APB2PWRITE	出力	1	APB2 PWRITE	
APB2PWDATA	出力	[31:0]	APB2 PWDATA	
APB2PRDATA	入力	[31:0]	APB2 PRDATA	
APB2PREADY	入力	1	APB2 PREADY	
APB2PSLVERR	入力	1	APB2 PSLVERR	
APB2PCLK	出力	1	APB2 PCLK	
APB2PRESET	出力	1	APB2 RESET	
APB3PSTRB	出力	[3:0]	APB3 PSTRB	APB Master [3]
APB3PPROT	出力	[2:0]	APB3 PPROT	
APB3PSEL	出力	1	APB3 PSEL	
APB3PENABLE	出力	1	APB3 PENABLE	
APB3PADDR	出力	[31:0]	APB3 PADDR	
APB3PWRITE	出力	1	APB3 PWRITE	
APB3PWDATA	出力	[31:0]	APB3 PWDATA	
APB3PRDATA	入力	[31:0]	APB3 PRDATA	
APB3PREADY	入力	1	APB3 PREADY	
APB3PSLVERR	入力	1	APB3 PSLVERR	
APB3PCLK	出力	1	APB3 PCLK	APB Master [4]
APB3PRESET	出力	1	APB3 RESET	
APB4PSTRB	出力	[3:0]	APB4 PSTRB	
APB4PPROT	出力	[2:0]	APB4 PPROT	
APB4PSEL	出力	1	APB4 PSEL	
APB4PENABLE	出力	1	APB4 PENABLE	
APB4PADDR	出力	[31:0]	APB4 PADDR	
APB4PWRITE	出力	1	APB4 PWRITE	
APB4PWDATA	出力	[31:0]	APB4 PWDATA	
APB4PRDATA	入力	[31:0]	APB4 PRDATA	
APB4PREADY	入力	1	APB4 PREADY	APB Master [5]
APB4PSLVERR	入力	1	APB4 PSLVERR	
APB4PCLK	出力	1	APB4 PCLK	
APB4PRESET	出力	1	APB4 RESET	
APB5PSTRB	出力	[3:0]	APB5 PSTRB	APB Master [5]
APB5PPROT	出力	[2:0]	APB5 PPROT	
APB5PSEL	出力	1	APB5 PSEL	
APB5PENABLE	出力	1	APB5 PENABLE	

名称	I/O	幅(ビット)	説明	モジュール
APB5PADDR	出力	[31:0]	APB5 PADDR	
APB5PWRITE	出力	1	APB5 PWRITE	
APB5PWDATA	出力	[31:0]	APB5 PWDATA	
APB5PRDATA	入力	[31:0]	APB5 PRDATA	
APB5PREADY	入力	1	APB5 PREADY	
APB5PSLVERR	入力	1	APB5 PSLVERR	
APB5PCLK	出力	1	APB5 PCLK	
APB5PRESET	出力	1	APB5 RESET	
APB6PSTRB	出力	[3:0]	APB6 PSTRB	APB Master [6]
APB6PPROT	出力	[2:0]	APB6 PPROT	
APB6PSEL	出力	1	APB6 PSEL	
APB6PENABLE	出力	1	APB6 PENABLE	
APB6PADDR	出力	[31:0]	APB6 PADDR	
APB6PWRITE	出力	1	APB6 PWRITE	
APB6PWDATA	出力	[31:0]	APB6 PWDATA	
APB6PRDATA	入力	[31:0]	APB6 PRDATA	
APB6PREADY	入力	1	APB6 PREADY	
APB6PSLVERR	入力	1	APB6 PSLVERR	
APB6PCLK	出力	1	APB6 PCLK	
APB6PRESET	出力	1	APB6 RESET	
APB7PSTRB	出力	[3:0]	APB7 PSTRB	APB Master [7]
APB7PPROT	出力	[2:0]	APB7 PPROT	
APB7PSEL	出力	1	APB7 PSEL	
APB7PENABLE	出力	1	APB7 PENABLE	
APB7PADDR	出力	[31:0]	APB7 PADDR	
APB7PWRITE	出力	1	APB7 PWRITE	
APB7PWDATA	出力	[31:0]	APB7 PWDATA	
APB7PRDATA	入力	[31:0]	APB7 PRDATA	
APB7PREADY	入力	1	APB7 PREADY	
APB7PSLVERR	入力	1	APB7 PSLVERR	
APB7PCLK	出力	1	APB7 PCLK	
APB7PRESET	出力	1	APB7 RESET	
APB8PSTRB	出力	[3:0]	APB8 PSTRB	APB Master [8]
APB8PPROT	出力	[2:0]	APB8 PPROT	
APB8PSEL	出力	1	APB8 PSEL	
APB8PENABLE	出力	1	APB8 PENABLE	
APB8PADDR	出力	[31:0]	APB8 PADDR	
APB8PWRITE	出力	1	APB8 PWRITE	

名称	I/O	幅(ビット)	説明	モジュール
APB8PWDATA	出力	[31:0]	APB8 PWDATA	
APB8PRDATA	入力	[31:0]	APB8 PRDATA	
APB8PREADY	入力	1	APB8 PREADY	
APB8PSLVERR	入力	1	APB8 PSLVERR	
APB8PCLK	出力	1	APB8 PCLK	
APB8PRESET	出力	1	APB8 RESET	
APB9PSTRB	出力	[3:0]	APB9 PSTRB	APB Master [9]
APB9PPROT	出力	[2:0]	APB9 PPROT	
APB9PSEL	出力	1	APB9 PSEL	
APB9PENABLE	出力	1	APB9 PENABLE	
APB9PADDR	出力	[31:0]	APB9 PADDR	
APB9PWRITE	出力	1	APB9 PWRITE	
APB9PWDATA	出力	[31:0]	APB9 PWDATA	
APB9PRDATA	入力	[31:0]	APB9 PRDATA	
APB9PREADY	入力	1	APB9 PREADY	
APB9PSLVERR	入力	1	APB9 PSLVERR	
APB9PCLK	出力	1	APB9 PCLK	
APB9PRESET	出力	1	APB9 RESET	
APB10PSTRB	出力	[3:0]	APB10 PSTRB	APB Master [10]
APB10PPROT	出力	[2:0]	APB10 PPROT	
APB10PSEL	出力	1	APB10 PSEL	
APB10PENABLE	出力	1	APB10 PENABLE	
APB10PADDR	出力	[31:0]	APB10 PADDR	
APB10PWRITE	出力	1	APB10 PWRITE	
APB10PWDATA	出力	[31:0]	APB10 PWDATA	
APB10PRDATA	入力	[31:0]	APB10 PRDATA	
APB10PREADY	入力	1	APB10 PREADY	
APB10PSLVERR	入力	1	APB10 PSLVERR	
APB10PCLK	出力	1	APB10 PCLK	
APB10PRESET	出力	1	APB10 RESET	
APB11PSTRB	出力	[3:0]	APB11 PSTRB	APB Master [11]
APB11PPROT	出力	[2:0]	APB11 PPROT	
APB11PSEL	出力	1	APB11 PSEL	
APB11PENABLE	出力	1	APB11 PENABLE	
APB11PADDR	出力	[31:0]	APB11 PADDR	
APB11PWRITE	出力	1	APB11 PWRITE	
APB11PWDATA	出力	[31:0]	APB11 PWDATA	
APB11PRDATA	入力	[31:0]	APB11 PRDATA	

名称	I/O	幅(ビット)	説明	モジュール
APB11PREADY	入力	1	APB11 PREADY	
APB11PSLVERR	入力	1	APB11 PSLVERR	
APB11PCLK	出力	1	APB11 PCLK	
APB11PRESET	出力	1	APB11 RESET	
APB12PSTRB	出力	[3:0]	APB12 PSTRB	APB Master [12]
APB12PPROT	出力	[2:0]	APB12 PPROT	
APB12PSEL	出力	1	APB12 PSEL	
APB12PENABLE	出力	1	APB12 PENABLE	
APB12PADDR	出力	[31:0]	APB12 PADDR	
APB12PWRITE	出力	1	APB12 PWRITE	
APB12PWDATA	出力	[31:0]	APB12 PWDATA	
APB12PRDATA	入力	[31:0]	APB12 PRDATA	
APB12PREADY	入力	1	APB12 PREADY	
APB12PSLVERR	入力	1	APB12 PSLVERR	
APB12PCLK	出力	1	APB12 PCLK	
APB12PRESET	出力	1	APB12 RESET	
APB13PSTRB	出力	[3:0]	APB13 PSTRB	APB Master [13]
APB13PPROT	出力	[2:0]	APB13 PPROT	
APB13PSEL	出力	1	APB13 PSEL	
APB13PENABLE	出力	1	APB13 PENABLE	
APB13PADDR	出力	[31:0]	APB13 PADDR	
APB13PWRITE	出力	1	APB13 PWRITE	
APB13PWDATA	出力	[31:0]	APB13 PWDATA	
APB13PRDATA	入力	[31:0]	APB13 PRDATA	
APB13PREADY	入力	1	APB13 PREADY	
APB13PSLVERR	入力	1	APB13 PSLVERR	
APB13PCLK	出力	1	APB13 PCLK	
APB13PRESET	出力	1	APB13 RESET	
APB14PSTRB	出力	[3:0]	APB14 PSTRB	APB Master [14]
APB14PPROT	出力	[2:0]	APB14 PPROT	
APB14PSEL	出力	1	APB14 PSEL	
APB14PENABLE	出力	1	APB14 PENABLE	
APB14PADDR	出力	[31:0]	APB14 PADDR	
APB14PWRITE	出力	1	APB14 PWRITE	
APB14PWDATA	出力	[31:0]	APB14 PWDATA	
APB14PRDATA	入力	[31:0]	APB14 PRDATA	
APB14PREADY	入力	1	APB14 PREADY	
APB14PSLVERR	入力	1	APB14 PSLVERR	

名称	I/O	幅(ビット)	説明	モジュール
APB14PCLK	出力	1	APB14 PCLK	
APB14PRESET	出力	1	APB14 RESET	
APB15PSTRB	出力	[3:0]	APB15 PSTRB	APB Master [15]
APB15PPROT	出力	[2:0]	APB15 PPROT	
APB15PSEL	出力	1	APB15 PSEL	
APB15PENABLE	出力	1	APB15 PENABLE	
APB15PADDR	出力	[31:0]	APB15 PADDR	
APB15PWRITE	出力	1	APB15 PWRITE	
APB15PWDATA	出力	[31:0]	APB15 PWDATA	
APB15PRDATA	入力	[31:0]	APB15 PRDATA	
APB15PREADY	入力	1	APB15 PREADY	
APB15PSLVERR	入力	1	APB15 PSLVERR	
APB15PCLK	出力	1	APB15 PCLK	
APB15PRESET	出力	1	APB15 RESET	
APB16PSTRB	出力	[3:0]	APB16 PSTRB	APB Master [16]
APB16PPROT	出力	[2:0]	APB16 PPROT	
APB16PSEL	出力	1	APB16 PSEL	
APB16PENABLE	出力	1	APB16 PENABLE	
APB16PADDR	出力	[31:0]	APB16 PADDR	
APB16PWRITE	出力	1	APB16 PWRITE	
APB16PWDATA	出力	[31:0]	APB16 PWDATA	
APB16PRDATA	入力	[31:0]	APB16 PRDATA	
APB16PREADY	入力	1	APB16 PREADY	
APB16PSLVERR	入力	1	APB16 PSLVERR	
APB16PCLK	出力	1	APB16 PCLK	
APB16PRESET	出力	1	APB16 RESET	
EXTFLASH0HSEL	出力	1	External Flash HSEL	External Instruction Memory
EXTFLASH0HADDR	出力	[31:0]	External Flash HADDR	
EXTFLASH0HTRANS	出力	[1:0]	External Flash HTRANS	
EXTFLASH0HWRITE	出力	1	External Flash HWRITE	
EXTFLASH0HSIZE	出力	[2:0]	External Flash HSIZE	
EXTFLASH0HBURST	出力	[2:0]	External Flash HBURST	
EXTFLASH0HPROT	出力	[3:0]	External Flash HPROT	
EXTFLASH0HWDATA	出力	[31:0]	External Flash HWDATA	
EXTFLASH0HMASTLOCK	出力	1	External Flash HMASTLOCK	

名称	I/O	幅(ビット)	説明	モジュール
EXTFLASH0HREADYMUX	出力	1	External Flash HREADYMUX	
EXTFLASH0HRDATA	入力	[31:0]	External Flash HRDATA	
EXTFLASH0HREADYOUT	入力	1	External Flash HREDAYOUT	
EXTFLASH0HRESP	入力	[1:0]	External Flash HRESP	
EXTFLASH0HMASTER	出力	[3:0]	External Flash MASTER	
EXTFLASH0HCLK	出力	1	External Flash HCLK	
EXTFLASH0HRESET	出力	1	External Flash RESET	
EXTSRAM0HSEL	出力	1	External SRAM HSEL	External Data Memory
EXTSRAM0HADDR	出力	[31:0]	External SRAM HADDR	
EXTSRAM0HTRANS	出力	[1:0]	External SRAM HTRANS	
EXTSRAM0HWRITE	出力	1	External SRAM HWRITE	
EXTSRAM0HSIZE	出力	[2:0]	External SRAM HSIZE	
EXTSRAM0HBURST	出力	[2:0]	External SRAM HBURST	
EXTSRAM0HPROT	出力	[3:0]	External SRAM HPROT	
EXTSRAM0HWDATA	出力	[31:0]	External SRAM HWDATA	
EXTSRAM0HMASTLOCK	出力	1	External SRAM HMASTLOCK	
EXTSRAM0HREADYMUX	出力	1	External SRAM HREADYMUX	
EXTSRAM0HRDATA	入力	[31:0]	External SRAM HRDATA	
EXTSRAM0HREADYOUT	入力	1	External SRAM HREDAYOUT	
EXTSRAM0HRESP	入力	[1:0]	External SRAM HRESP	
EXTSRAM0HMASTER	出力	[3:0]	External SRAM MASTER	
EXTSRAM0HCLK	出力	1	External SRAM HCLK	
EXTSRAM0HRESET	出力	1	External SRAM RESET	
AHB1HSEL	出力	1	AHB1 HSEL	AHB Master [1]
AHB1HADDR	出力	[31:0]	AHB1 HADDR	
AHB1HTRANS	出力	[1:0]	AHB1 HTRANS	
AHB1HWRITE	出力	1	AHB1 HWRITE	
AHB1HSIZE	出力	[2:0]	AHB1 HSIZE	
AHB1HBURST	出力	[2:0]	AHB1 HBURST	
AHB1HPROT	出力	[3:0]	AHB1 HPROT	
AHB1HWDATA	出力	[31:0]	AHB1 HWDATA	
AHB1HMASTLOCK	出力	1	AHB1 HMASTLOCK	

名称	I/O	幅(ビット)	説明	モジュール
AHB1HREADYMUX	出力	1	AHB1 HREADYMUX	
AHB1HRDATA	入力	[31:0]	AHB1 HRDATA	
AHB1HREADYOUT	入力	1	AHB1 HREADYOUT	
AHB1HRESP	入力	[1:0]	AHB1 HRESP	
AHB1HMASTER	出力	[3:0]	AHB1 MASTER	
AHB1HCLK	出力	1	AHB1 HCLK	
AHB1HRESET	出力	1	AHB1 RESET	
AHB2HSEL	出力	1	AHB2 HSEL	AHB Master [2]
AHB2HADDR	出力	[31:0]	AHB2 HADDR	
AHB2HTRANS	出力	[1:0]	AHB2 HTRANS	
AHB2HWRITE	出力	1	AHB2 HWRITE	
AHB2HSIZE	出力	[2:0]	AHB2 HSIZE	
AHB2HBURST	出力	[2:0]	AHB2 HBURST	
AHB2HPROT	出力	[3:0]	AHB2 HPROT	
AHB2HWDATA	出力	[31:0]	AHB2 HWDATA	
AHB2HMASTLOCK	出力	1	AHB2 HMASTLOCK	
AHB2HREADYMUX	出力	1	AHB2 HREADYMUX	
AHB2HRDATA	入力	[31:0]	AHB2 HRDATA	
AHB2HREADYOUT	入力	1	AHB2 HREADYOUT	
AHB2HRESP	入力	[1:0]	AHB2 HRESP	
AHB2HMASTER	出力	[3:0]	AHB2 MASTER	
AHB2HCLK	出力	1	AHB2 HCLK	
AHB2HRESET	出力	1	AHB2 RESET	
AHB3HSEL	出力	1	AHB3 HSEL	AHB Master [3]
AHB3HADDR	出力	[31:0]	AHB3 HADDR	
AHB3HTRANS	出力	[1:0]	AHB3 HTRANS	
AHB3HWRITE	出力	1	AHB3 HWRITE	
AHB3HSIZE	出力	[2:0]	AHB3 HSIZE	
AHB3HBURST	出力	[2:0]	AHB3 HBURST	
AHB3HPROT	出力	[3:0]	AHB3 HPROT	
AHB3HWDATA	出力	[31:0]	AHB3 HWDATA	
AHB3HMASTLOCK	出力	1	AHB3 HMASTLOCK	
AHB3HREADYMUX	出力	1	AHB3 HREADYMUX	
AHB3HRDATA	入力	[31:0]	AHB3 HRDATA	
AHB3HREADYOUT	入力	1	AHB3 HREADYOUT	
AHB3HRESP	入力	[1:0]	AHB3 HRESP	
AHB3HMASTER	出力	[3:0]	AHB3 MASTER	
AHB3HCLK	出力	1	AHB3 HCLK	

名称	I/O	幅(ビット)	説明	モジュール
AHB3HRESET	出力	1	AHB3 RESET	
AHB4HSEL	出力	1	AHB4 HSEL	AHB Master [4]
AHB4HADDR	出力	[31:0]	AHB4 HADDR	
AHB4HTRANS	出力	[1:0]	AHB4 HTRANS	
AHB4HWRITE	出力	1	AHB4 HWRITE	
AHB4HSIZE	出力	[2:0]	AHB4 HSIZE	
AHB4HBURST	出力	[2:0]	AHB4 HBURST	
AHB4HPROT	出力	[3:0]	AHB4 HPROT	
AHB4HWDATA	出力	[31:0]	AHB4 HWDATA	
AHB4HMASTLOCK	出力	1	AHB4 HMASTLOCK	
AHB4HREADYMUX	出力	1	AHB4 HREADYMUX	
AHB4HRDATA	入力	[31:0]	AHB4 HRDATA	
AHB4HREADYOUT	入力	1	AHB4 HREADYOUT	
AHB4HRESP	入力	[1:0]	AHB4 HRESP	
AHB4HMASTER	出力	[3:0]	AHB4 MASTER	
AHB4HCLK	出力	1	AHB4 HCLK	
AHB4HRESET	出力	1	AHB4 RESET	
AHB5HSEL	出力	1	AHB5 HSEL	AHB Master [5]
AHB5HADDR	出力	[31:0]	AHB5 HADDR	
AHB5HTRANS	出力	[1:0]	AHB5 HTRANS	
AHB5HWRITE	出力	1	AHB5 HWRITE	
AHB5HSIZE	出力	[2:0]	AHB5 HSIZE	
AHB5HBURST	出力	[2:0]	AHB5 HBURST	
AHB5HPROT	出力	[3:0]	AHB5 HPROT	
AHB5HWDATA	出力	[31:0]	AHB5 HWDATA	
AHB5HMASTLOCK	出力	1	AHB5 HMASTLOCK	
AHB5HREADYMUX	出力	1	AHB5 HREADYMUX	
AHB5HRDATA	入力	[31:0]	AHB5 HRDATA	
AHB5HREADYOUT	入力	1	AHB5 HREADYOUT	
AHB5HRESP	入力	[1:0]	AHB5 HRESP	
AHB5HMASTER	出力	[3:0]	AHB5 MASTER	
AHB5HCLK	出力	1	AHB5 HCLK	
AHB5HRESET	出力	1	AHB5 RESET	
AHB6HSEL	出力	1	AHB6 HSEL	AHB Master [6]
AHB6HADDR	出力	[31:0]	AHB6 HADDR	
AHB6HTRANS	出力	[1:0]	AHB6 HTRANS	
AHB6HWRITE	出力	1	AHB6 HWRITE	
AHB6HSIZE	出力	[2:0]	AHB6 HSIZE	

名称	I/O	幅(ビット)	説明	モジュール
AHB6HBURST	出力	[2:0]	AHB6 HBURST	
AHB6HPROT	出力	[3:0]	AHB6 HPROT	
AHB6HWDATA	出力	[31:0]	AHB6 HWDATA	
AHB6HMASTLOCK	出力	1	AHB6 HMASTLOCK	
AHB6HREADYMUX	出力	1	AHB6 HREADYMUX	
AHB6HRDATA	入力	[31:0]	AHB6 HRDATA	
AHB6HREADYOUT	入力	1	AHB6 HREDAYOUT	
AHB6HRESP	入力	[1:0]	AHB6 HRESP	
AHB6HMASTER	出力	[3:0]	AHB6 MASTER	
AHB6HCLK	出力	1	AHB6 HCLK	
AHB6HRESET	出力	1	AHB6 RESET	

1.4 リソース使用量

例えば、A バージョンの GW5A-25 の場合、Gowin_EMPU_M1 システムのリソース使用量は表 1-2 に示すとおりです。

表 1-2 リソース使用量

Configuration \ Resources	LUTs	Registers	BSRAMs	DSP Macros
Cortex-M1 コアシステム (Debug 版)	5496	2551	32 (DPB)	2 (MULT27X36)
Cortex-M1 コアシステム (No Debug 版)	3080	1175	32 (SP)	2 (MULT27X36)
Cortex-M1 コアシステム + GPIO、SPI-Flash、2x UART、2x Timer、I2C、SPI、TRNG、WDT、DualTimer、AHB Master [1]、APB Master [1]	10957	5299	32 (DPB)	2 (MULT27X36)

1.5 システムの性能の統計

Gowin_EMPU_M1 システムの性能の統計は、表 1-3 に示すとおりです。

表 1-3 システムの性能の統計

デバイス	GW1N-9 (C バージョン)	GW2A-18 (C バージョン)	GW2A-55 (C バージョン)	GW5AST-138 (B バージョン)	GW5A-25 (A バージョン)	GW5AT-60 (B バージョン)
動作周波数	60MHz	100MHz	100MHz	125MHz	130MHz	130MHz
構成	No debug	Debug	Debug	Debug	Debug	Debug
ITCM	8KB	32KB	32KB	32KB	32KB	32KB
DTCM	8KB	32KB	32KB	32KB	32KB	32KB
周辺機器	GPIO	GPIO	GPIO	GPIO	GPIO	GPIO

2 ハードウェア設計フロー

2.1 ハードウェア環境

- DK_START_GW2A18 V2.0
GW2A-LV18PG256C8/I7
GW2A-18(C バージョン)
- DK_START_GW1N-LV9LQ144C6I5 V2.1
GW1N-LV9LQ144C6/I5
GW1N-9(C バージョン)
- DK_START_GW2A-LV55PG484C8I7 V1.3
GW2A-LV55PG484C8/I7
GW2A-55(C バージョン)
- DK_START_GW2AR-LV18EQ144C8I7 V1.1
GW2AR-LV18EQ144PC8/I7
GW2AR-18(C バージョン)
- DK_START_GW5AST-LV138FPG676A V1.0
GW5AST-LV138FPG676AC1/I0
GW5AST-138 (B バージョン)
- TANG_MEGA-138K_Pro_Dock
GW5AST-LV138FPG676AES
GW5AST-138 (B バージョン)
- DK_START_GW5A-LV25UG324 V2.0
GW5A-LV25UG324C2/I1
GW5A-25 (A バージョン)
- DK_START_DDR2-GW5A_EV25UG324S V1.0
GW5A-EV25UG324SES

- GW5A-25 (A バージョン)
- DK_DP_GW5AT-LV60UG225 V1.0
GW5AT-LV60UG225C2/I1
GW5AT-60 (B バージョン)

2.2 ソフトウェアのバージョン

テスト済みバージョン : Gowin_V1.9.11.02 (64-bit)

2.3 IP 生成ツール

Gowin ソフトウェアは、Gowin_EMPU_M1 のハードウェア設計を構成および生成するための IP 生成ツール IP Core Generator を提供します。

2.4 ダウンロードツール

Gowin ソフトウェアは、ビットストリームファイルをダウンロードするための Programmer を提供します。

Programmer の使用方法については、『Gowin Programmer ユーザーガイド([SUG502](#))』を参照してください。

2.5 設計フロー

Gowin_EMPU_M1 ハードウェア設計フロー :

1. IP 生成ツール IP Core Generator で Cortex-M1、APB バス周辺機器、および AHB バス周辺機器を構成し、Gowin_EMPU_M1 ハードウェア設計を生成してプロジェクトにインポートします。
2. Gowin_EMPU_M1 Top Module をインスタンス化してユーザーデザインをインポートし、Gowin_EMPU_M1 Top Module をユーザーデザインに接続します。
3. 物理制約とタイミング制約を与えます。
4. GowinSynthesis を使用して合成します。
5. 合成が完了したら、配置配線ツールの Place & Route を実行してビットストリームファイルを生成します。
6. ダウンロードツールである Programmer を使用してビットストリームファイルをダウンロードします。

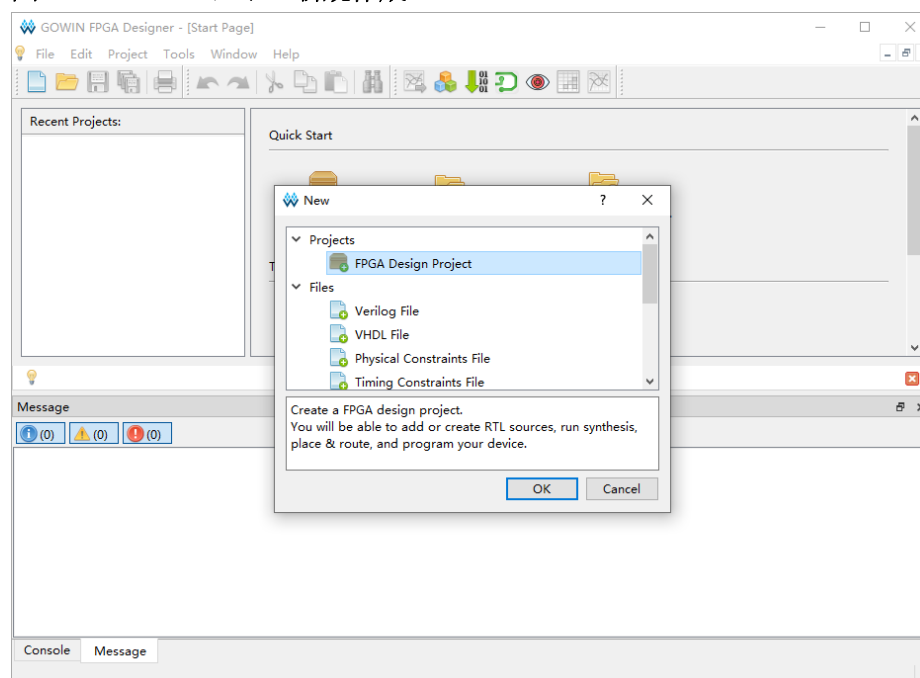
3 プロジェクトテンプレート

3.1 プロジェクトの作成

3.1.1 プロジェクトの新規作成

Gowin ソフトウェアを起動した後、メニューバーで「File > New… > FPGA Design Project…」を選択するか、ツールバーの「」または「Quick Start > New Project…」をクリックしてプロジェクトを新規作成します(図 3-1)。

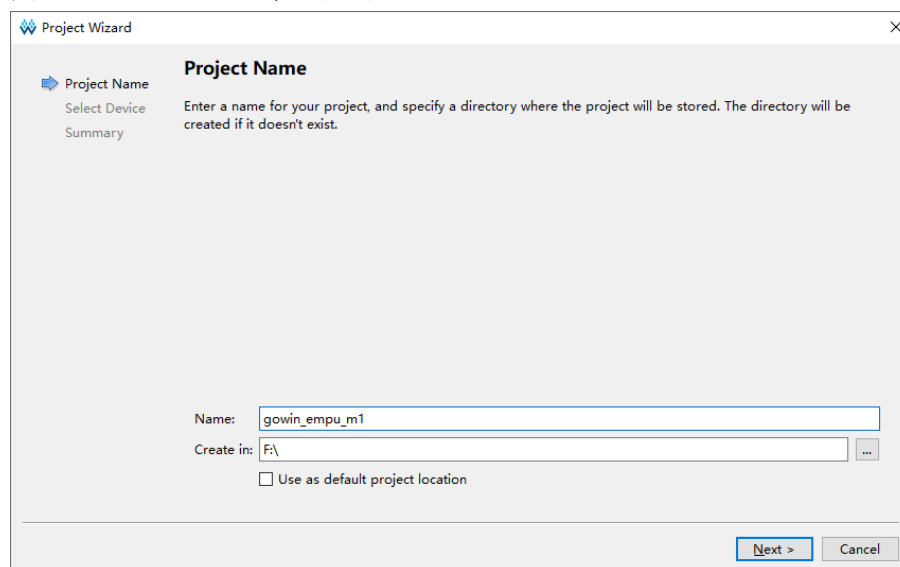
図 3-1 プロジェクトの新規作成



3.1.2 プロジェクトの名称とパスの設定

プロジェクト名を入力し、プロジェクトのパスを選択します(図 3-2)。

図 3-2 プロジェクト名を入力



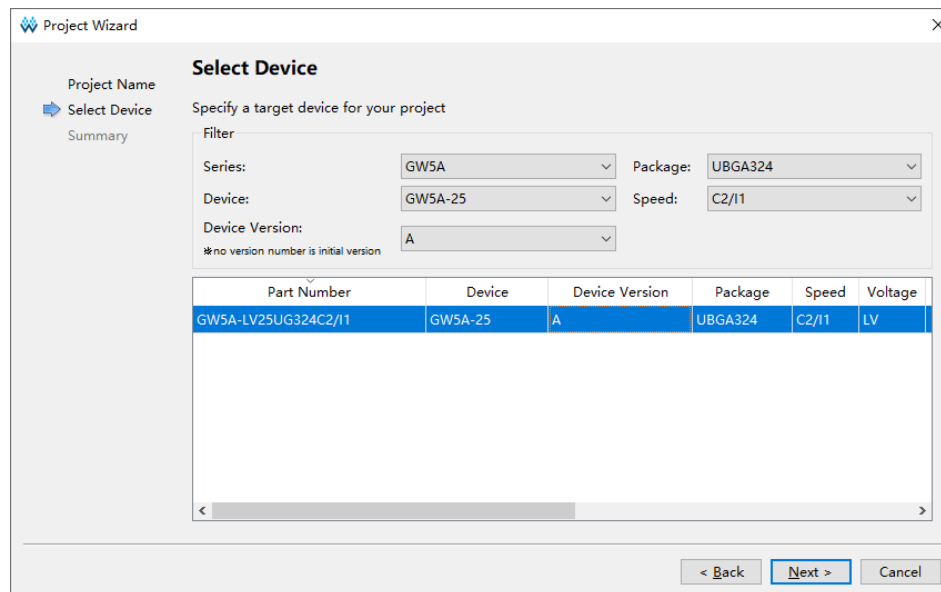
3.1.3 デバイスの選択

Series、Device、Device Version、Package、Speed、および Part Number を選択します(図 3-3)。

例えば、DK_START_GW5A-LV25UG324 V2.0 開発ボードのリファレンス・デザインの場合の構成は次のとおりです：

- Series : GW5A
- Device : GW5A-25
- Device Version : A
- Package : UBGA324
- Speed : C2/I1
- Part Number : GW5A-LV25UG324C2/I1

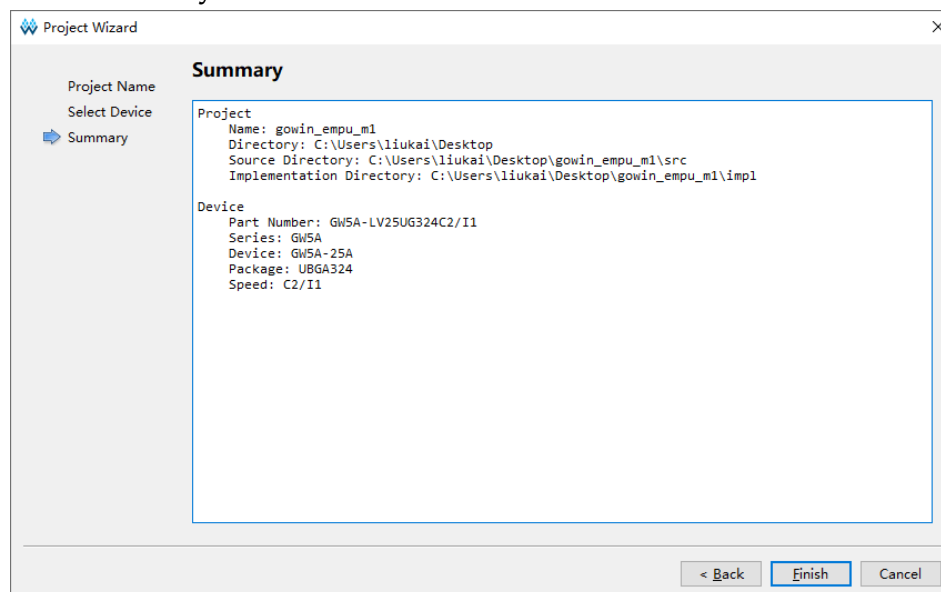
図 3-3 デバイスの選択



3.1.4 プロジェクト作成の完了

図 3-4 に示すように、プロジェクトの作成を完了します。

図 3-4 Summary



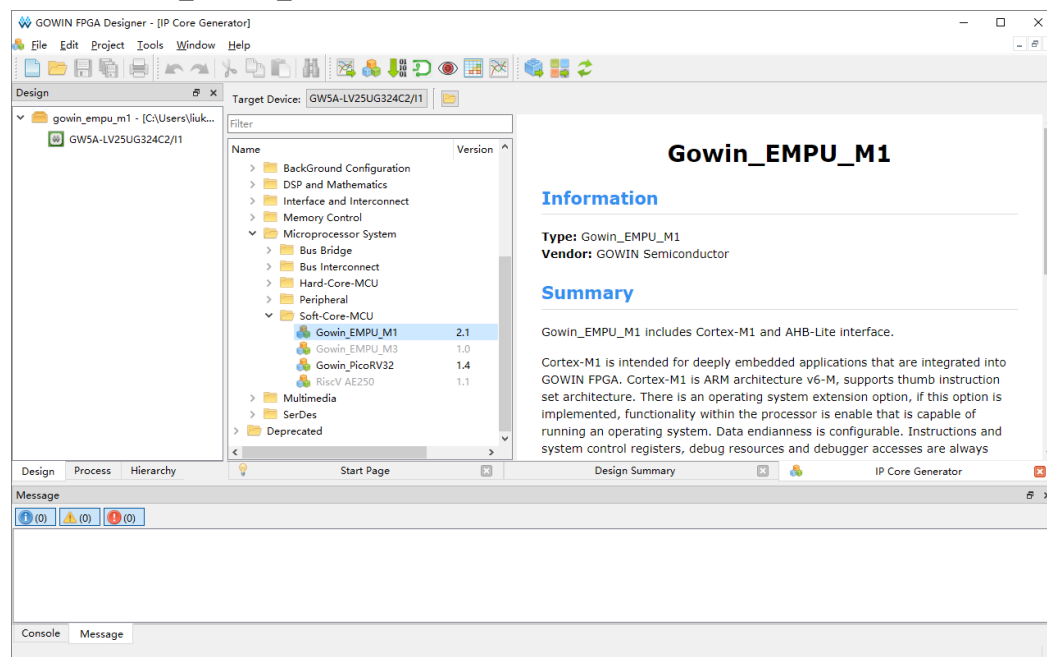
3.2 ハードウェア設計

IP Core Generator を使用して Gowin_EMPU_M1 ハードウェア設計を構成・生成します。

メニューから「Tools > IP Core Generator」を選択するか、ツールバーで「」を選択して IP Core Generator を開きます。

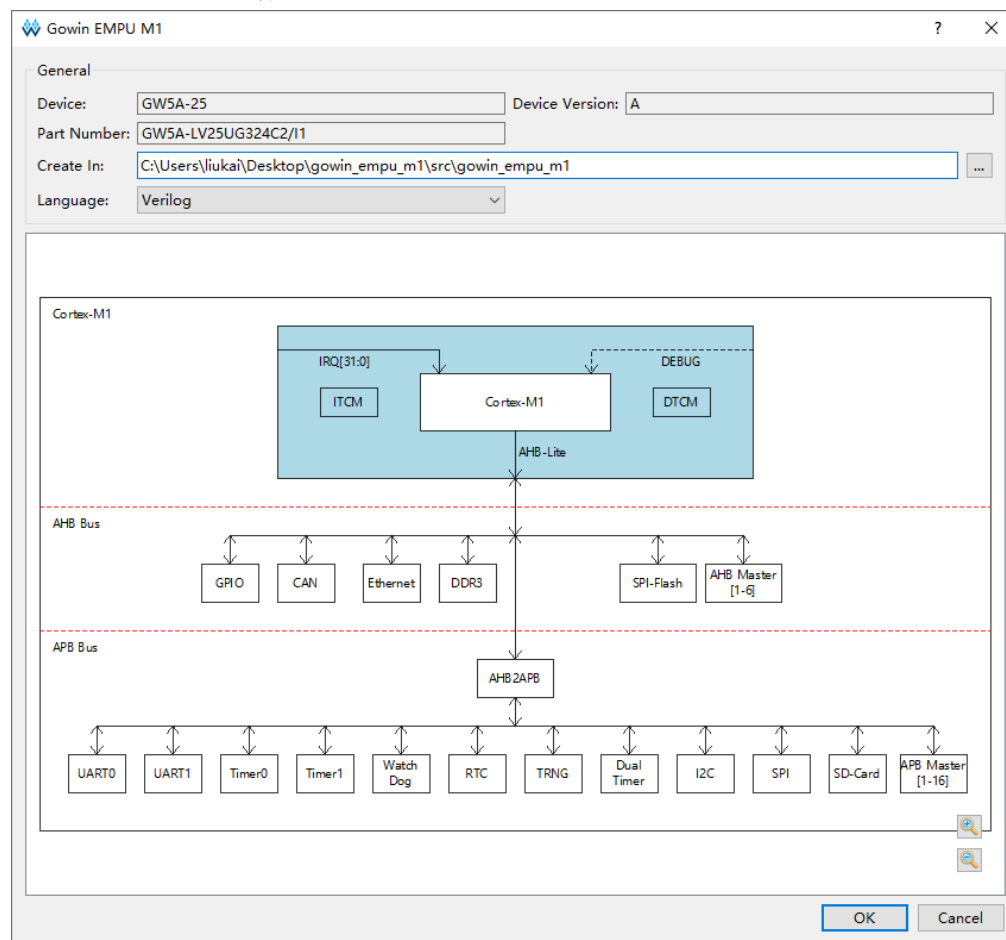
「Soft IP Core > Microprocessor System > Soft-Core-MCU > Gowin_EMPU_M1 2.1」を選択します(図 3-5)。

図 3-5 Gowin_EMPU_M1 の選択



Gowin_EMPU_M1 IP Core を開きます。図 3-6 に示すように、Gowin_EMPU_M1 のシステムは、Cortex-M1 コア、APB バス周辺機器、および AHB バス周辺機器で構成されています。

図 3-6 システムの構成



3.2.1 コアシステムの構成

Cortex-M1 コアシステムの構成オプションは、表 3-1 に示すとおりです。

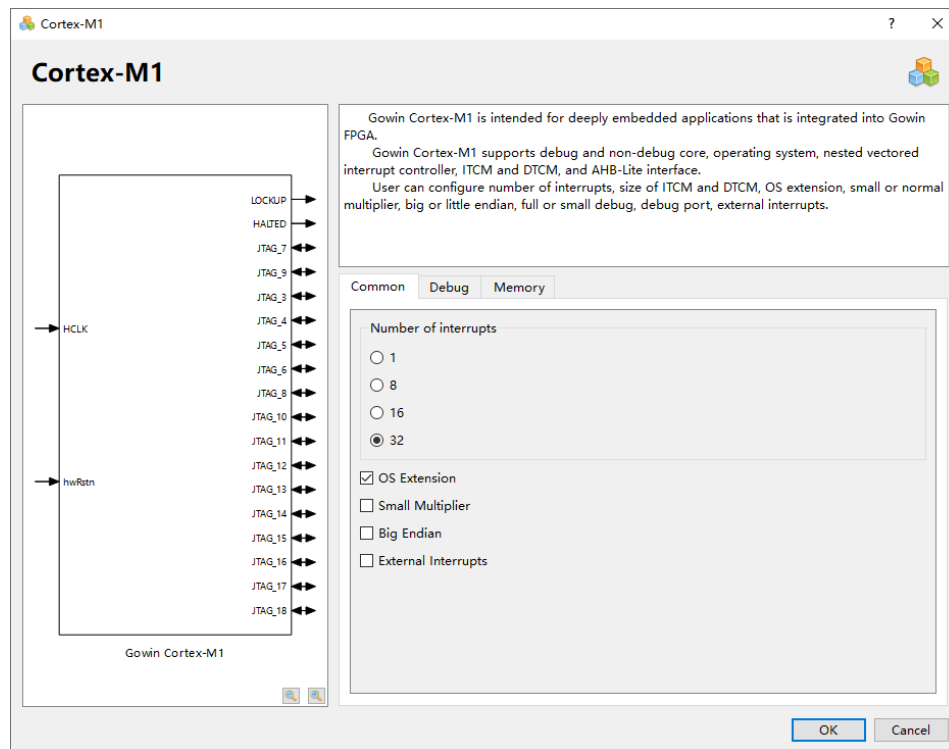
表 3-1 コアシステムの構成オプション

構成オプション	説明
Number of interrupts	Cortex-M1 の外部割り込みの数を構成します。1、8、16、または 32 で、デフォルトは 32 です。
OS Extension	Cortex-M1 がオペレーティングシステム拡張をサポートするかどうかを構成します。デフォルトはサポートします。
Small Multiplier	Cortex-M1 small モードのハードウェア乗算器を構成します。デフォルトは Normal モードです。
Big Endian	Cortex-M1 データのバイトオーダを構成します。デフォルトはリトルエンディアンです。
External Interrupts	4 つの拡張外部割り込み入力を有効にするか構成します。
Enable Debug	デバッグ機能を有効にします。デフォルトでは、デバッグ機能が有効です。
Debug Port Select	デバッグインターフェースを構成します。JTAG、Serial Wire、または JTAG and Serial Wire を選択できます。デフォルトは JTAG and Serial Wire です。
Small Debug	簡易モードに構成します。デフォルトはフルモードのデバッガです。
ITCM Select	内部命令メモリ(デフォルト)または外部命令メモリを選択します。
ITCM Size	内部命令メモリのサイズ(1/2/4/8/16/32/64/128/256/512KB)を構成します。 ● GW1N/R-9 の場合、最大値は 32KB で、デフォルトは 16KB です。 ● GW2AN-9X/18X の場合、最大値は 32KB で、デフォルトは 16KB です。 ● GW2A/R/NR-18 の場合、最大値は 64KB で、デフォルトは 32KB です。 ● GW2A/N-55 の場合、最大値は 256KB で、デフォルトは 64KB です。 ● GW5A/T/ST/S-138 の場合、最大値は 512KB で、デフォルトは 128KB です。 ● GW5AT-75 の場合、最大値は 256KB で、デフォルトは 128KB です。 ● GW5A/R/S-25 の場合、最大値は 64KB で、デフォルトは 32KB です。 ● GW5A/T-60 の場合、最大値は 128KB で、デフォルトは 64KB です。 ● GW5AT/RT-15 の場合、最大値は 64KB で、デフォルトは 32KB です。

構成オプション	説明
	● GW3A/R-20 の場合、最大値は 64KB で、デフォルトは 32KB です。
Initialize ITCM	ITCM の初期化を有効にするか構成します。デフォルトはオフです。
ITCM Initialization Path	ITCM 初期化ファイルのパス。
DTCM Select	内部データメモリ(デフォルト)または外部データメモリを選択します
DTCM Size	内部データメモリのサイズ(1/2/4/8/16/32/64/128/256/512KB)を構成します。 ● GW1N/R-9 の場合、最大値は 32KB で、デフォルトは 16KB です。 ● GW2AN-9X/18X の場合、最大値は 32KB で、デフォルトは 16KB です。 ● GW2A/R/NR-18 の場合、最大値は 64KB で、デフォルトは 32KB です。 ● GW2A/N-55 の場合、最大値は 256KB で、デフォルトは 64KB です。 ● GW5A/T/ST/S-138 の場合、最大値は 512KB で、デフォルトは 128KB です。 ● GW5AT-75 の場合、最大値は 256KB で、デフォルトは 128KB です。 ● GW5A/R/S-25 の場合、最大値は 64KB で、デフォルトは 32KB です。 ● GW5A/T-60 の場合、最大値は 128KB で、デフォルトは 64KB です。 ● GW5AT/RT-15 の場合、最大値は 64KB で、デフォルトは 32KB です。 ● GW3A/R-20 の場合、最大値は 64KB で、デフォルトは 32KB です。

Cortex-M1 をダブルクリックして、全般構成(Common)タブ、デバッグの構成(Debug)タブ、メモリの構成(Memory)タブを含む Cortex-M1 コアシステムの構成ビューを開きます(図 3-7)。

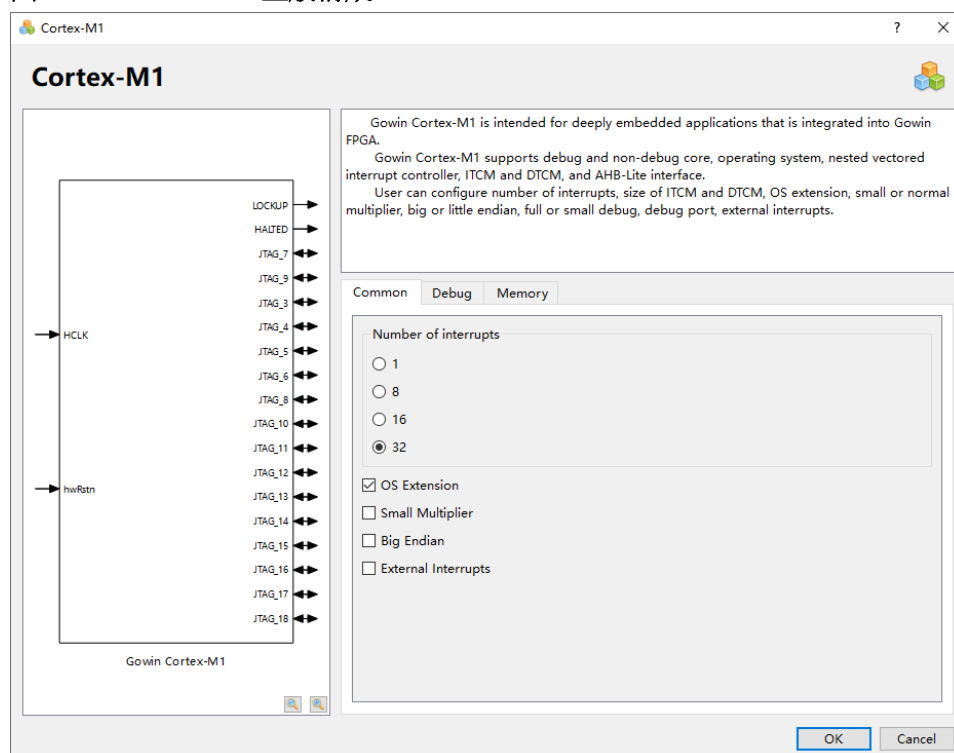
図 3-7 Cortex-M1 コアシステムの構成オプション



全般構成

「Common」タブでは、割り込みの数、オペレーティングシステムの拡張、乗算器モード、データ格納形式、および外部割り込みを構成できます(図 3-8)。

図 3-8 Cortex-M1 の全般構成

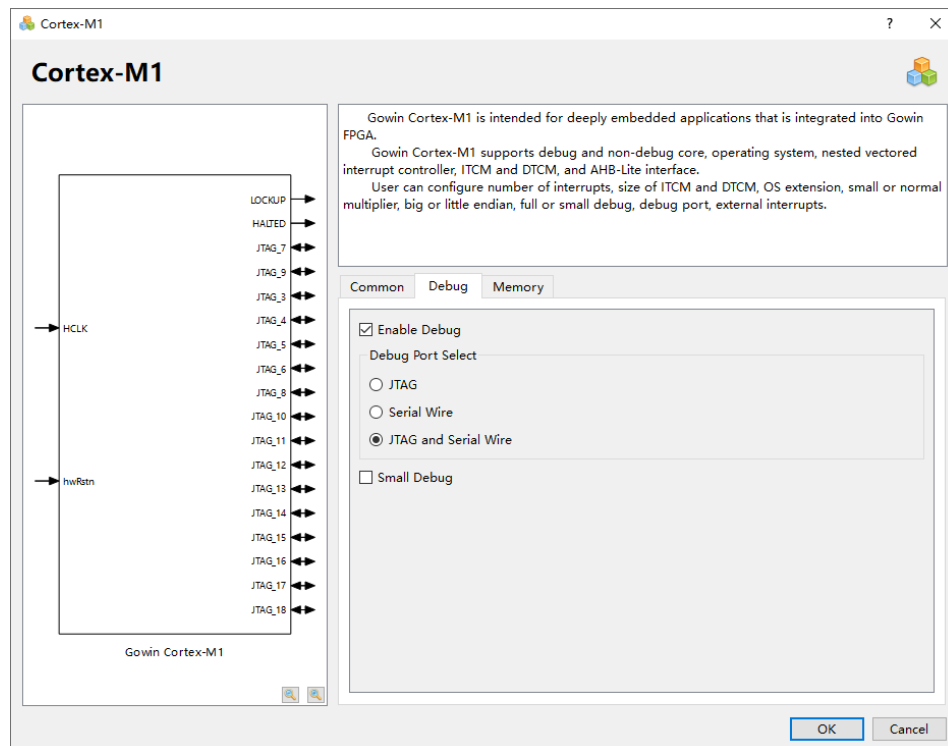


- 割り込み数の構成(**Number of Interrupts**)
1、8、16、または 32 の外部割り込みを構成できます。デフォルトは 32 です。
- オペレーティングシステムの拡張(**OS Extension**)
このオプションをチェックすると、**Cortex-M1** 拡張はオペレーティングシステムをサポートするようになります。デフォルトではチェックされています。
- 乗算器モードの構成(**Smaller Multiplier**)
このオプションをチェックすると、**Cortex-M1** は **Small** 乗算器をサポートするようになります。デフォルトでは **Normal** 乗算器をサポートします。
- データ保存形式の構成(**Big Endian**)
このオプションをチェックすると、**Cortex-M1** はビッグエンディアン形式をサポートするようになります。デフォルトではリトルエンディアン形式をサポートします。
- 外部割り込みの構成(**External Interrupts**)
このオプションをチェックすると、**Cortex-M1** は 4 つの拡張外部割り込み入力をサポートするようになります。デフォルトではチェックされていません。

デバッグの構成

「Debug」タブでは、デバッグのイネーブル、デバッグポート、およびデバッグモードを構成できます(図 3-9)。

図 3-9 Cortex-M1 デバッグの構成

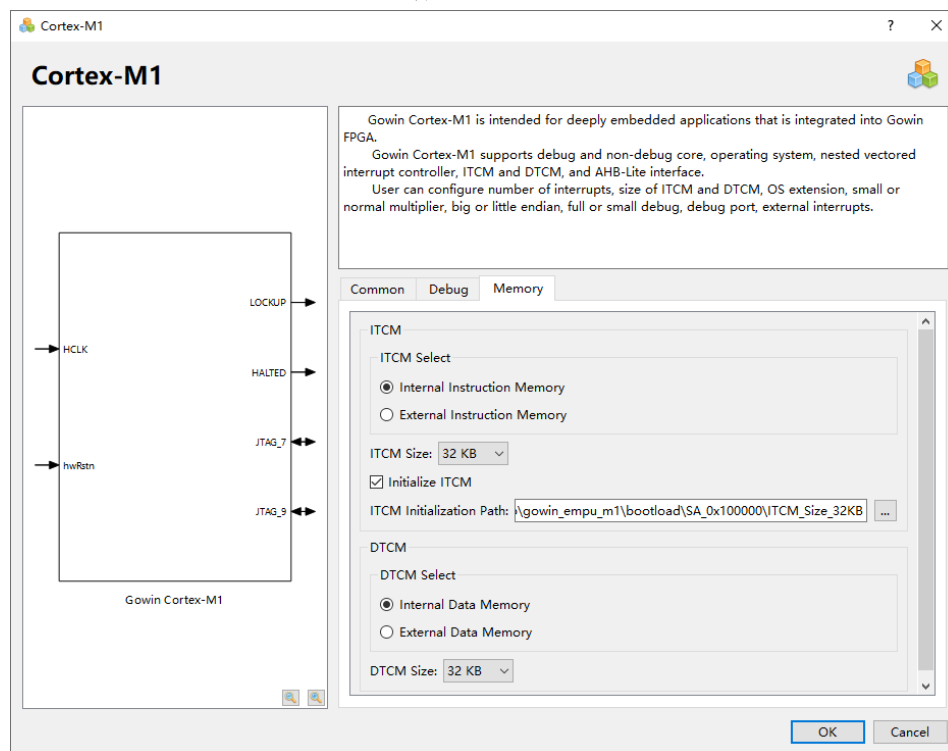


- **Enable Debug**
Enable Debug をチェックすると、Cortex-M1 はデバッグをサポートするようになります。デフォルトでは、Enable Debug はチェックされています。
- **Debug Port Select**
デバッグポートを選択します。JTAG、Serial Wire、または JTAG and Serial Wire を選択できます。デフォルトは JTAG and Serial Wire です
- **Small Debug**
このオプションをチェックすると、Cortex-M1 は簡易モードのデバッグをサポートするようになります。デフォルトではフルモードです。

メモリの構成

メモリタブでは、ITCM と DTCM が構成できます(図 3-10)。

図 3-10 Cortex-M1 のメモリの構成



- ITCM Select の構成

- 「Internal Instruction Memory」または「External Instruction Memory」を選択できます。デフォルトは「Internal Instruction Memory」です。
- Internal Instruction Memory(内部命令メモリ)はオンチップ Block RAM ハードウェアメモリリソースで、開始アドレスは 0x00000000 です。
- External Instruction Memory(外部命令メモリ)は例えば SPI-Flash Memory など、その開始アドレスは 0x00000000 です。

- ITCM Size の構成

- 前提 : Internal Instruction Memory が選択されています。
- サイズは、1KB、2KB、4KB、8KB、16KB、32KB、64KB、128KB、256KB、または 512KB です。
- GW1N/R-9 の場合、最大値は 32KB で、デフォルトは 16KB です。
- GW2AN-9X/18X の場合、最大値は 32KB で、デフォルトは 16KB です。
- GW2A/R/NR-18 の場合、最大値は 64KB で、デフォルトは 32KB です。
- GW2A/N-55 の場合、最大値は 256KB で、デフォルトは 64KB です。

- GW5A/T/ST/S-138 の場合、最大値は 512KB で、デフォルトは 128KB です。
 - GW5AT-75 の場合、最大値は 256KB で、デフォルトは 128KB です。
 - GW5A/R/S-25 の場合、最大値は 64KB で、デフォルトは 32KB です。
 - GW5A/T-60 の場合、最大値は 128KB で、デフォルトは 64KB です。
 - GW5AT/RT-15 の場合、最大値は 64KB で、デフォルトは 32KB です。
 - GW3A/R-20 の場合、最大値は 64KB で、デフォルトは 32KB です。
- ITCM Initialization の構成
 - 前提 : Internal Instruction Memory が選択されています。
 - Initialize ITCM をチェックすると、ITCM の初期化がサポートされます。ITCM Initialization Path に ITCM 初期値ファイルのパスをインポートできます。
 - オフチップ SPI-Flash Memory によるダウンロード&ブートを選択した場合、ITCM Size に応じて ITCM の初期値用の **bootload** ファイルのパスをインポートする必要があります。

注記 :

ITCM Initialization File のパスには、数字または「¥r」、「¥n」などのエスケープ文字を使用してはなりません。

- DTCM Select
 - Internal Data Memory または External Data Memory を選択できます。デフォルトは Internal Data Memory です。
 - Internal Data Memory(内部データメモリ)はオンチップ Block RAM ハードウェアメモリリソースで、その開始アドレスは 0x20000000 です。
 - External Data Memory(外部データメモリ)は例えば DDRx Memory など、その開始アドレスは 0x20100000 です。
- DTCM Size の構成
 - 前提 : Internal Data Memory が選択されています。
 - サイズは、1KB、2KB、4KB、8KB、16KB、32KB、64KB、128KB、256KB、または 512KB です。
 - GW1N/R-9 の場合、最大値は 32KB で、デフォルトは 16KB です。
 - GW2AN-9X/18X の場合、最大値は 32KB で、デフォルトは 16KB です。

- GW2A/R/NR-18 の場合、最大値は **64KB** で、デフォルトは **32KB** です。
 - GW2A/N-55 の場合、最大値は **256KB** で、デフォルトは **64KB** です。
 - GW5A/T/ST/S-138 の場合、最大値は **512KB** で、デフォルトは **128KB** です。
 - GW5AT-75 の場合、最大値は **256KB** で、デフォルトは **128KB** です。
 - GW5A/R/S-25 の場合、最大値は **64KB** で、デフォルトは **32KB** です。
 - GW5A/T-60 の場合、最大値は **128KB** で、デフォルトは **64KB** です。
 - GW5AT/RT-15 の場合、最大値は **64KB** で、デフォルトは **32KB** です。
 - GW3A/R-20 の場合、最大値は **64KB** で、デフォルトは **32KB** です。
- **ITCM Size と DTCM Size の構成の制限**
 - 前提 : **Internal Instruction Memory** と **Internal Data Memory** が選択されています。
 - GW1N/R-9 の場合、ITCM または DTCM のサイズは最大 **32KB** に構成できますが、ITCM または DTCM が **32KB** に構成されている場合、もう 1 つのメモリは最大 **16KB** になります。
 - GW2AN-9X/18X の場合、ITCM または DTCM のサイズは最大 **32KB** に構成できますが、ITCM または DTCM が **32KB** に構成されている場合、もう 1 つのメモリは最大 **16KB** になります。
 - GW2A/R/NR-18 の場合、ITCM または DTCM のサイズは最大 **64KB** に構成できますが、ITCM または DTCM が **64KB** に構成されている場合、もう 1 つのメモリは最大 **16KB** になります。
 - GW2A/N-55 の場合、ITCM または DTCM のサイズは最大 **256KB** に構成できますが、ITCM または DTCM が **256KB** に構成されている場合、もう 1 つのメモリは最大 **16KB** になります。
 - GW5A/T/ST/S-138 の場合、ITCM または DTCM のサイズは最大 **512KB** に構成できますが、ITCM または DTCM が **512KB** に構成されている場合、もう 1 つのメモリは最大 **128KB** になります。
 - GW5AT-75 の場合、ITCM または DTCM のサイズは最大 **256KB** に構成できますが、ITCM または DTCM が **256KB** に構成されている場合、もう 1 つのメモリは最大 **256KB** になります。
 - GW5A/R/S-25 の場合、ITCM または DTCM のサイズは最大 **64KB** に構成できますが、ITCM または DTCM が **64KB** に構成されている場合、もう 1 つのメモリは最大 **32KB** になります。

- GW5A/T-60 の場合、ITCM または DTCM のサイズは最大 128KB に構成できますが、ITCM または DTCM が 128KB に構成されている場合、もう 1 つのメモリは最大 64KB になります。
 - GW5AT/RT-15 シリーズの場合、ITCM または DTCM のサイズは最大 64KB に構成できますが、ITCM または DTCM が 64KB に構成されている場合、もう 1 つのメモリは最大 8KB になります。
 - GW3A/R-20 の場合、ITCM または DTCM のサイズは最大 64KB に構成できますが、ITCM または DTCM が 64KB に構成されている場合、もう 1 つのメモリは最大 32KB になります。
- External Instruction/Data Memory のソリューション
 - GW1N/R-9 は、External Instruction Memory としてオンチップ User Flash を選択できます。そのリファレンス・デザインおよびリファレンスマニュアルについては、[…¥solution¥Embedded Memory](#) を参照してください。命令メモリの開始アドレスは 0x00000000 です。
 - External Instruction Memory および External Data Memory としてそれぞれ SPI-Flash Memory および SRAM Memory を使用できます。そのリファレンス・デザインおよびリファレンスマニュアルについては、[…¥solution¥External Memory](#) を参照してください。命令メモリの開始アドレスは 0x00000000 で、データメモリの開始アドレスは 0x20100000 です。

3.2.2 周辺機器システムの構成

AHB と APB バス周辺機器システムの構成オプションは、表 3-2 に示すとおりです。

表 3-2 周辺機器システムの構成オプション

構成オプション	説明
Enable GPIO	GPIO を有効にします。デフォルトではオフです。
Enable GPIO I/O	GPIO 入出力を有効にします。デフォルトではオフです。
Enable CAN	CAN を有効にします。デフォルトではオフです。
Buffer Depth	Buffer Depth を選択します。デフォルトは 256 です。
Enable Ethernet	Ethernet を有効にします。デフォルトではオフです。
Interface	Interface (RGMII/GMII/MII)を選択します。デフォルトは RGMII です。
RGMII Input Delay	RGMII input delay で、デフォルトは 100 です。
MIIM Clock Divider	MIIM clock divider で、デフォルトは 20 です。
Enable DDR3	DDR3 Memory を有効にします。デフォルトではオフです。
Enable PSRAM	PSRAM Memory を有効にします。デフォルトではオフです。
Enable SPI-Flash	SPI-Flash Memory のダウンロード機能と Memory の読み出し/書き込み/消去機能を有効にします。デフォルトではオフです。
Enable AHB Master [1]	AHB Master [1]を有効にします。デフォルトではオフです。
Enable AHB Master [2]	AHB Master [2]を有効にします。デフォルトではオフです。
Enable AHB Master [3]	AHB Master [3]を有効にします。デフォルトではオフです。
Enable AHB Master [4]	AHB Master [4]を有効にします。デフォルトではオフです。
Enable AHB Master [5]	AHB Master [5]を有効にします。デフォルトではオフです。
Enable AHB Master [6]	AHB Master [6]を有効にします。デフォルトではオフです。
Enable UART0	シリアルポート 0 を有効にします。デフォルトではオフです。
Enable UART1	シリアルポート 1 を有効にします。デフォルトではオフです。
Enable Timer0	タイマー0 を有効にします。デフォルトではオフです。
Enable Timer1	タイマー1 を有効にします。デフォルトではオフです。
Enable WatchDog	ウォッチドッグを有効にします。デフォルトではオフです。

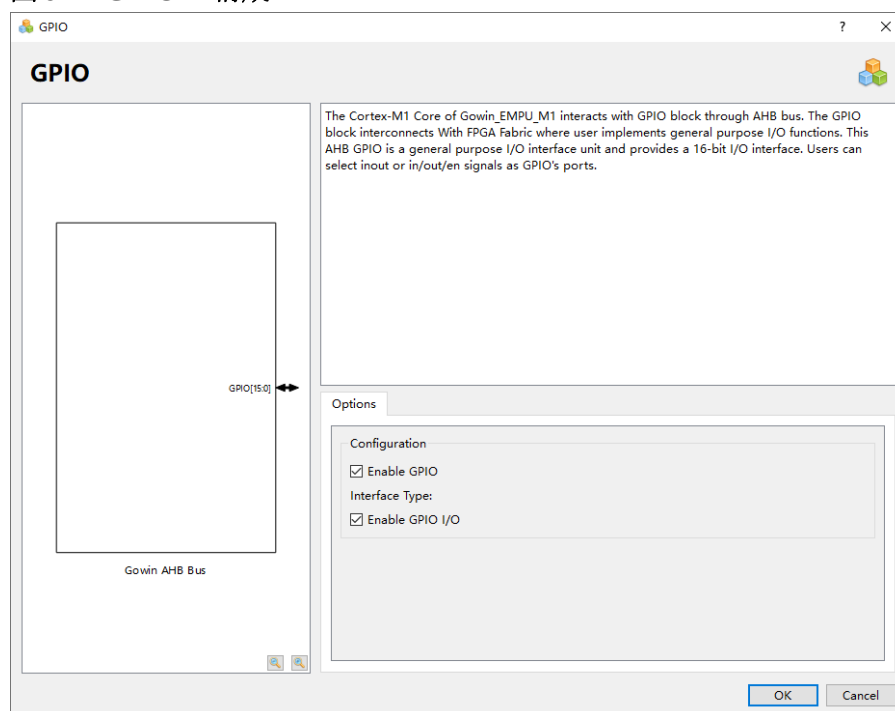
構成オプション	説明
Enable RTC	RTC を有効にします。デフォルトではオフです。
Enable TRNG	TRNG を有効にします。デフォルトではオフです。
Enable DualTimer	DualTimer を有効にします。デフォルトではオフです。
Enable I ² C	I ² C Master を有効にします。デフォルトではオフです。
Enable I ² C I/O	I ² C Master 入出力を有効にします。デフォルトではオンです。
Enable SPI	SPI Master を有効にします。デフォルトではオフです。
Enable SD-Card	SD-Card を有効にします。デフォルトではオフです。
Enable APB Master [1]	APB Master [1]を有効にします。デフォルトではオフです。
Enable APB Master [2]	APB Master [2]を有効にします。デフォルトではオフです。
Enable APB Master [3]	APB Master [3]を有効にします。デフォルトではオフです。
Enable APB Master [4]	APB Master [4]を有効にします。デフォルトではオフです。
Enable APB Master [5]	APB Master [5]を有効にします。デフォルトではオフです。
Enable APB Master [6]	APB Master [6]を有効にします。デフォルトではオフです。
Enable APB Master [7]	APB Master [7]を有効にします。デフォルトではオフです。
Enable APB Master [8]	APB Master [8]を有効にします。デフォルトではオフです。
Enable APB Master [9]	APB Master [9]を有効にします。デフォルトではオフです。
Enable APB Master [10]	APB Master [10]を有効にします。デフォルトではオフです。
Enable APB Master [11]	APB Master [11]を有効にします。デフォルトではオフです。
Enable APB Master [12]	APB Master [12]を有効にします。デフォルトではオフです。
Enable APB Master [13]	APB Master [13]を有効にします。デフォルトではオフです。
Enable APB Master [14]	APB Master [14]を有効にします。デフォルトではオフです。
Enable APB Master [15]	APB Master [15]を有効にします。デフォルトではオフです。
Enable APB Master [16]	APB Master [16]を有効にします。デフォルトではオフです。

GPIO の構成

GPIO をダブルクリックして構成します(図 3-11)。

- Enable GPIO をチェックすると、Gowin_EMPU_M1 は GPIO をサポートするようになります。デフォルトではオフです。
- Enable GPIO をチェックした場合、GPIO のタイプを構成できます。
- Enable GPIO I/O をチェックすると、GPIO は INOUT タイプをサポートするようになります。そうでない場合、IN、OUT、EN タイプをサポートします。デフォルトではチェックされています。

図 3-11 GPIO の構成

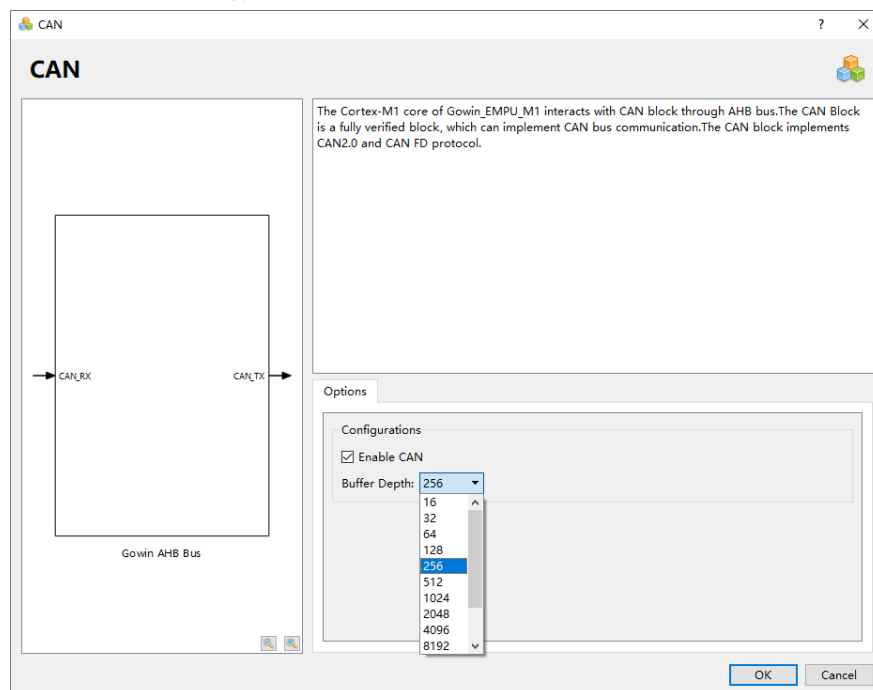


CAN の構成

CAN をダブルクリックして構成します(図 3-12)。

- Enable CAN をチェックすると、Gowin_EMPU_M1 は CAN をサポートするようになります。デフォルトではオフです。
- Enable CAN をチェックした場合、Buffer Depth を構成できます。
- Buffer Depth を選択して設定します。デフォルト値は 256 です。

図 3-12 CAN の構成

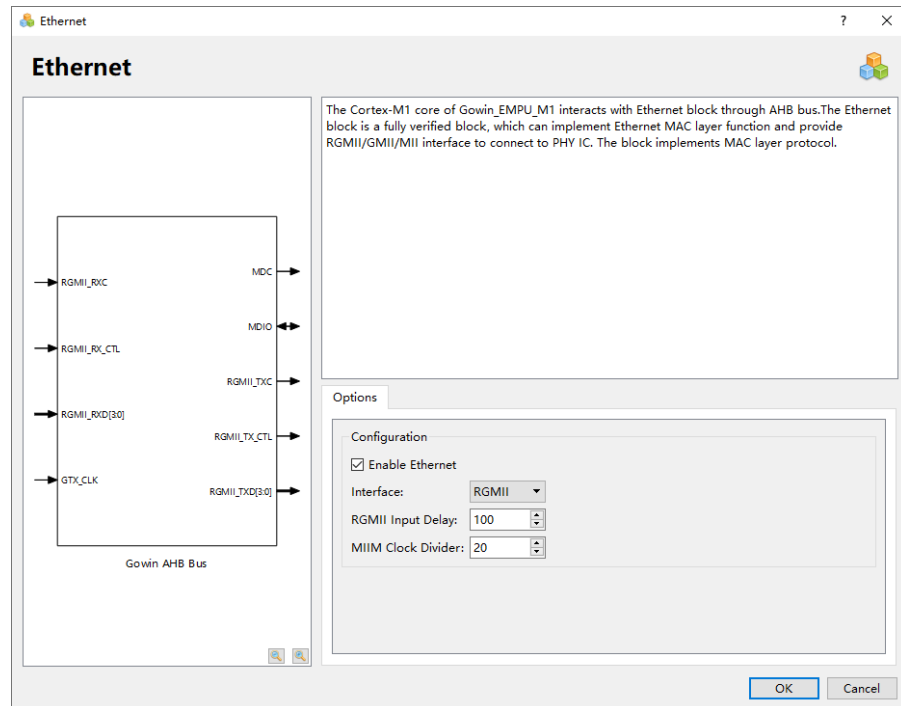


Ethernet の構成

Ethernet をダブルクリックして構成します(図 3-13)。

- Enable Ethernet をチェックすると、Gowin_EMPU_M1 は Ethernet をサポートするようになります。デフォルトではオフです。
 - Enable Ethernet をチェックした場合、Interface、RGMII Input Delay、MIIM Clock Divider を構成できます。
 - Interface オプションでは、RGMII、GMII、MII、または GMII/MII が選択できます。デフォルトは RGMII です。
 - RGMII を Interface として選択した場合、RGMII Input Delay を構成できます。デフォルト値は 100 です。
 - MIIM Clock Divider オプションでは、MIIM Clock Divider を構成できます。デフォルト値は 20 です。
 - RGMII または GMII を Interface として選択した場合、ポート GTX_CLK には 125MHz のクロック入力が必要になります。
 - Gowin_EMPU_M1 Ethernet は、「lwIP」および「uIP」 TCP/IP プロトコルスタックをサポートしています。そのリファレンス・デザインについては、…
- ¥ref_design¥MCU_RefDesign¥MDK_RefDesign¥cm1_tcpip を参照してください。

図 3-13 Ethernet の構成

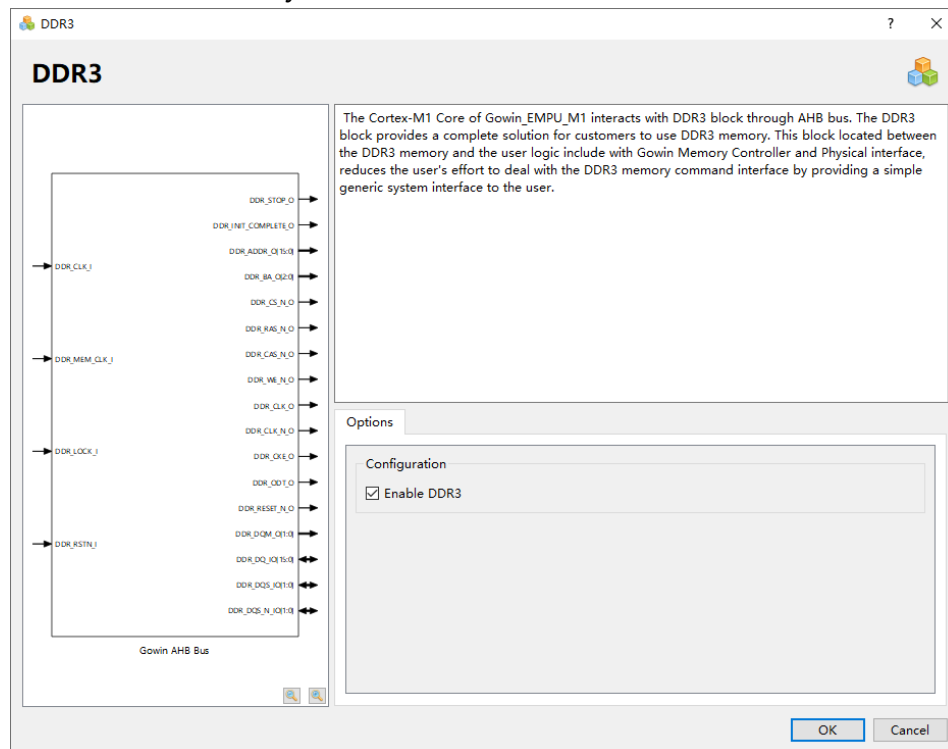


DDR3 Memory の構成

DDR3 Memory をダブルクリックして DDR3 Memory を構成します(図 3-14)。

- Enable DDR3 をチェックすると、Gowin_EMPU_M1 は DDR3 Memory をサポートするようになります。デフォルトではオフです。
- ポート DDR_MEM_CLK_I(入力メモリ・インターフェース・クロック) には、200MHz のクロック入力推奨されます。
- ポート DDR_CLK_I(リファレンス・クロック)には、50MHz のクロック入力推奨されます。

図 3-14 DDR3 Memory の構成



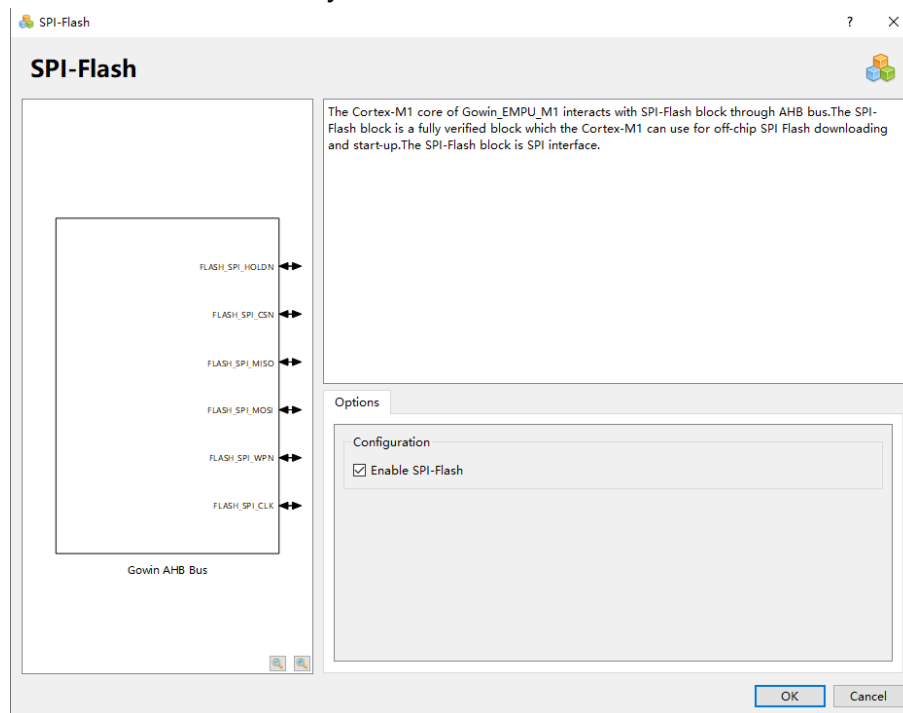
SPI-Flash Memory の構成

SPI-Flash Memory はダウンロード機能と、Memory の読み出し/書き込み/消去機能をサポートします。

SPI-Flash Memory をダブルクリックして SPI-Flash Memory を構成します(図 3-15)。

- Enable SPI-Flash をチェックすると、Gowin_EMPU_M1 は SPI-Flash Memory をサポートするようになります。デフォルトではオフです。
- オフチップ SPI-Flash Memory によるダウンロード&ブートを使用する場合、Enable SPI-Flash をチェックしなければなりません。

図 3-15 SPI-Flash Memory の構成



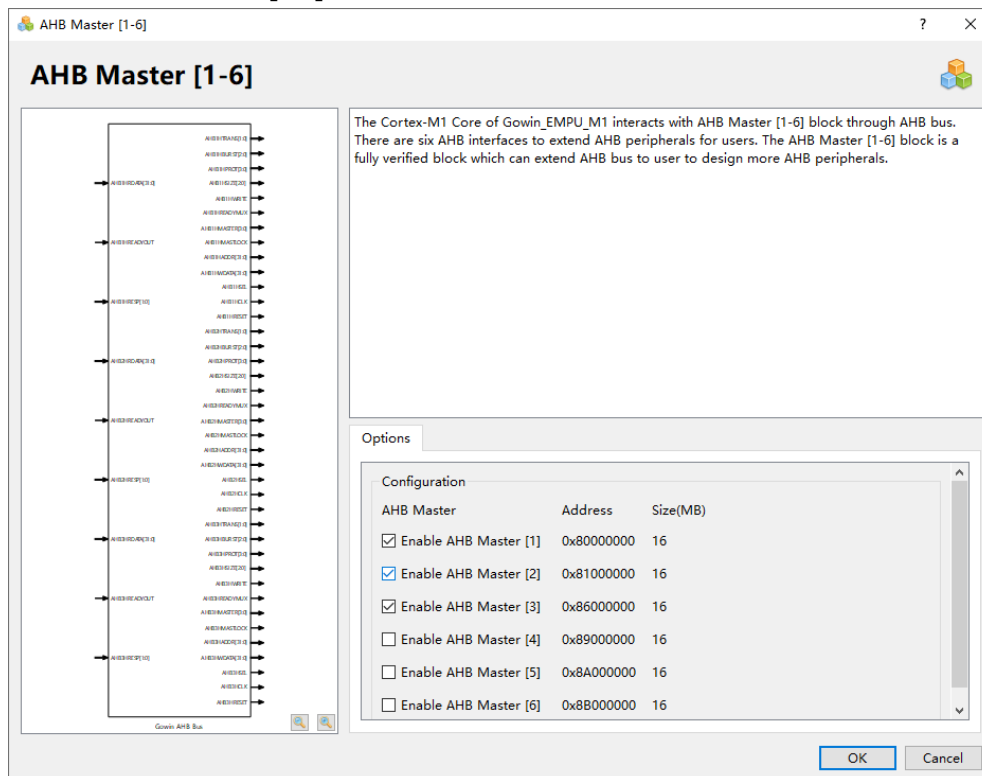
AHB Master [1-6]の構成

AHB Master [1-6]をダブルクリックして構成します(図 3-16)。

- Enable AHB Master [1]をチェックすると、Gowin_EMPU_M1 は AHB Master [1]用 AHB バス拡張インターフェースをサポートようになります。ユーザーはこのインターフェースを介して AHB 周辺機器を接続できます。デフォルトではオフです。
- Enable AHB Master [2]をチェックすると、Gowin_EMPU_M1 は AHB Master [2]用 AHB バス拡張インターフェースをサポートようになります。ユーザーはこのインターフェースを介して AHB 周辺機器を接続できます。デフォルトではオフです。
- Enable AHB Master [3]をチェックすると、Gowin_EMPU_M1 は AHB Master [3]用 AHB バス拡張インターフェースをサポートようになります。ユーザーはこのインターフェースを介して AHB 周辺機器を接続できます。デフォルトではオフです。
- Enable AHB Master [4]をチェックすると、Gowin_EMPU_M1 は AHB Master [4]用 AHB バス拡張インターフェースをサポートようになります。ユーザーはこのインターフェースを介して AHB 周辺機器を接続できます。デフォルトではオフです。
- Enable AHB Master [5]をチェックすると、Gowin_EMPU_M1 は AHB Master [5]用 AHB バス拡張インターフェースをサポートようになります。ユーザーはこのインターフェースを介して AHB 周辺機器を接続できます。デフォルトではオフです。

- **Enable AHB Master [6]**をチェックすると、Gowin_EMPU_M1 は AHB Master [6]用 AHB バス拡張インターフェースをサポートするようになります。ユーザーはこのインターフェースを介して AHB 周辺機器を接続できます。デフォルトではオフです。

図 3-16 AHB Master [1-6]の構成



AHB Master [1-6]の AHB バス拡張インターフェースの開始アドレスとアドレス空間を表 3-3 に示します。

表 3-3 AHB Master [1-6]のアドレス

AHB インターフェース	開始アドレス	Size (MB)
AHB Master [1]	0x80000000	16
AHB Master [2]	0x81000000	16
AHB Master [3]	0x86000000	16
AHB Master [4]	0x89000000	16
AHB Master [5]	0x8A000000	16
AHB Master [6]	0x8B000000	16

ユーザーがこの AHB 拡張インターフェースで拡張する AHB 外部デバイスが外部割り込み信号をサポートするようにしたい場合は、次の 2 つの方法を参照してください。

- **Enable External Interrupts** をチェックして 4 つの拡張外部割り込み信号を有効にします。

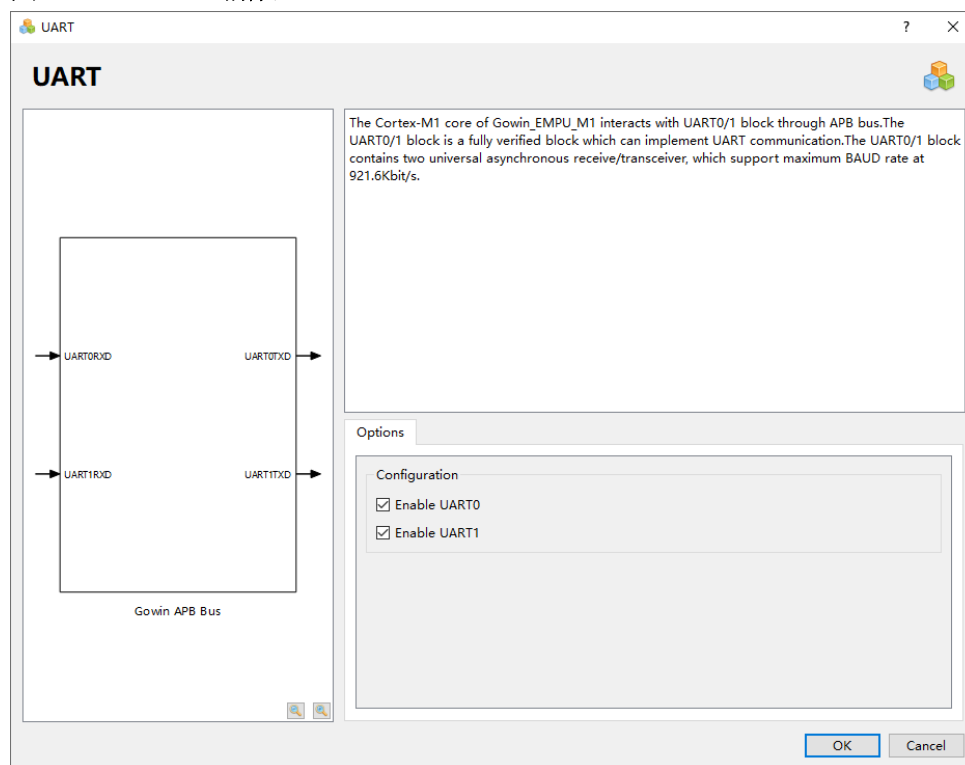
- 上記の 4 つの外部割り込み信号でまだ不十分な場合は、**Enable GPIO** をチェックして **GPIO[15:0]** で外部割り込み信号をエミュレートすることができます。

UART の構成

UART0 または UART1 をダブルクリックして構成します(図 3-17)。

- **Enable UART0** をチェックすると、**Gowin_EMPU_M1** は **UART0** をサポートするようになります。デフォルトではオフです。
- **Enable UART1** をチェックすると、**Gowin_EMPU_M1** は **UART1** をサポートするようになります。デフォルトではオフです。

図 3-17 UART の構成

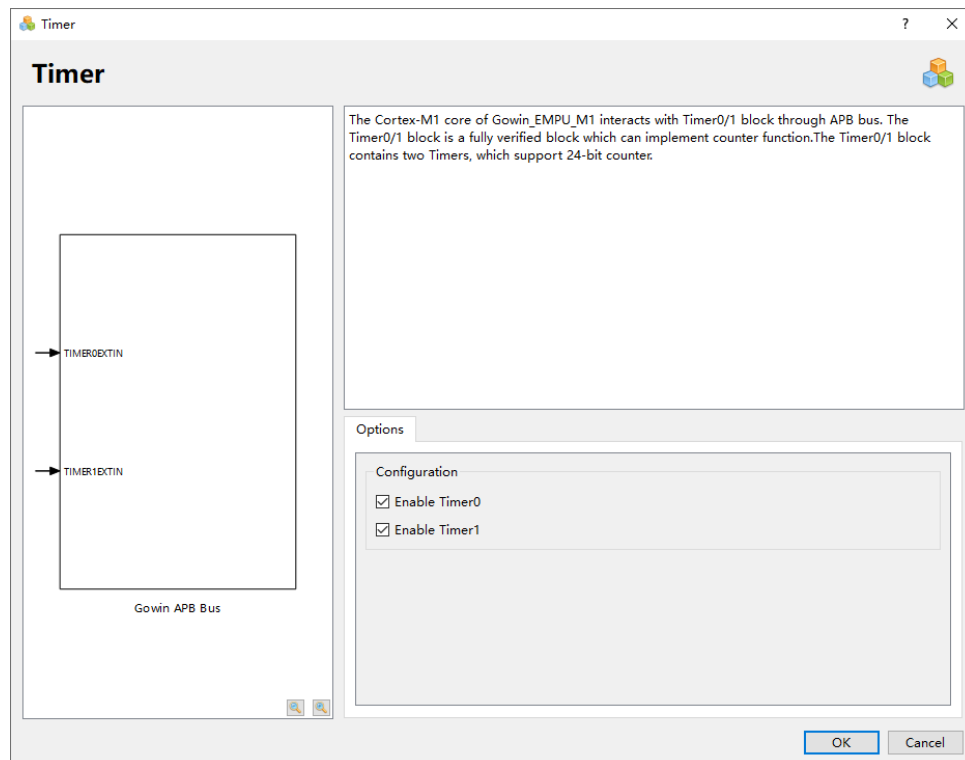


Timer の構成

Timer0 または Timer1 をダブルクリックして構成します(図 3-18)。

- **Enable Timer0** をチェックすると、**Gowin_EMPU_M1** は **Timer0** をサポートするようになります。デフォルトではオフです。
- **Enable Timer1** をチェックすると、**Gowin_EMPU_M1** は **Timer1** をサポートするようになります。デフォルトではオフです。

図 3-18 Timer の構成

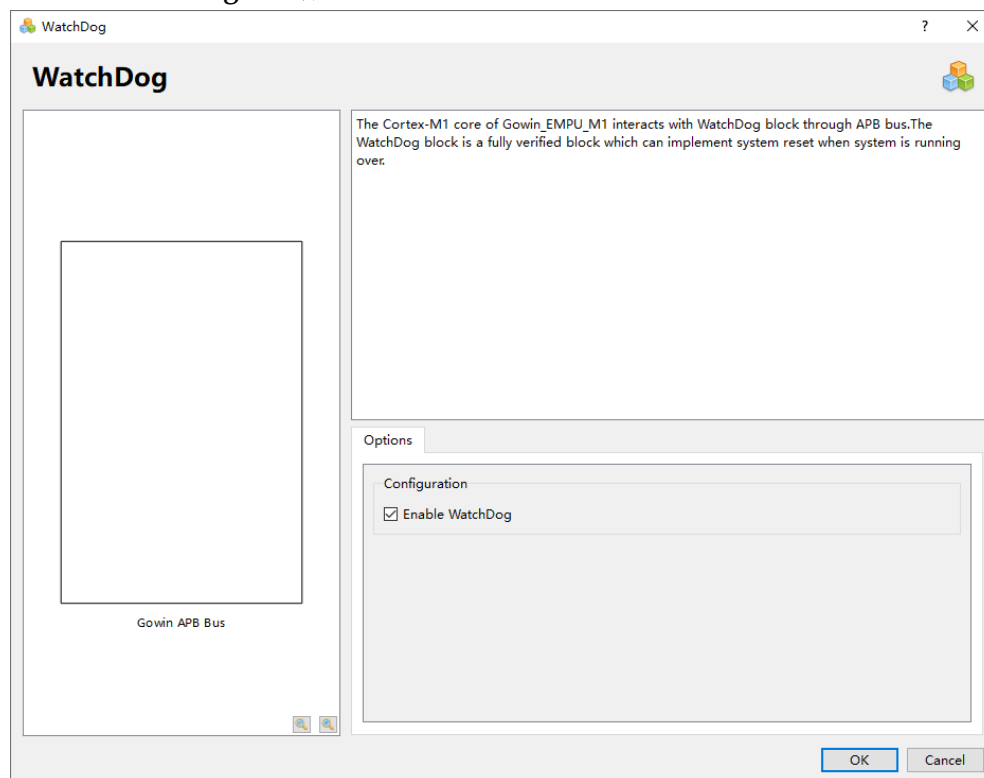


WatchDog の構成

WatchDog をダブルクリックして構成します(図 3-19)。

Enable WatchDog をチェックすると、Gowin_EMPU_M1 は WatchDog をサポートするようになります。デフォルトではオフです。

図 3-19 WatchDog の構成



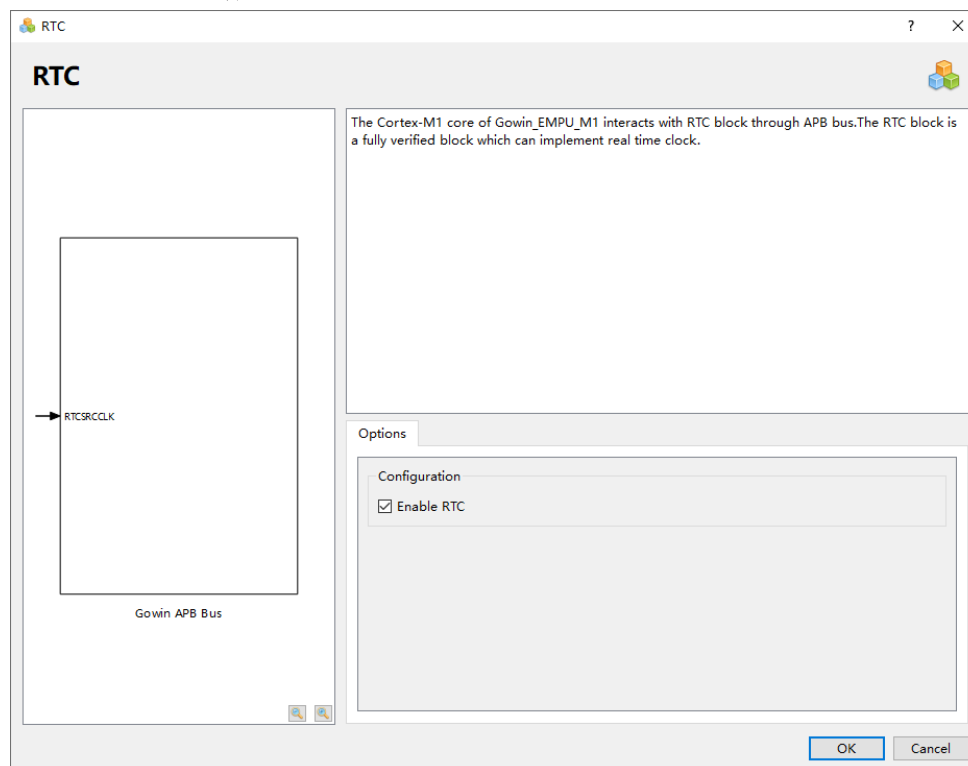
RTC の構成

RTC をダブルクリックして構成します(図 3-20)。

Enable RTC をチェックすると、Gowin_EMPU_M1 は RTC をサポートするようになります。デフォルトではオフです。

ポート RTCSRCCLK からの 3.072MHz のクロック入力、RTC 内部で 1Hz に分周されます。

図 3-20 RTC の構成

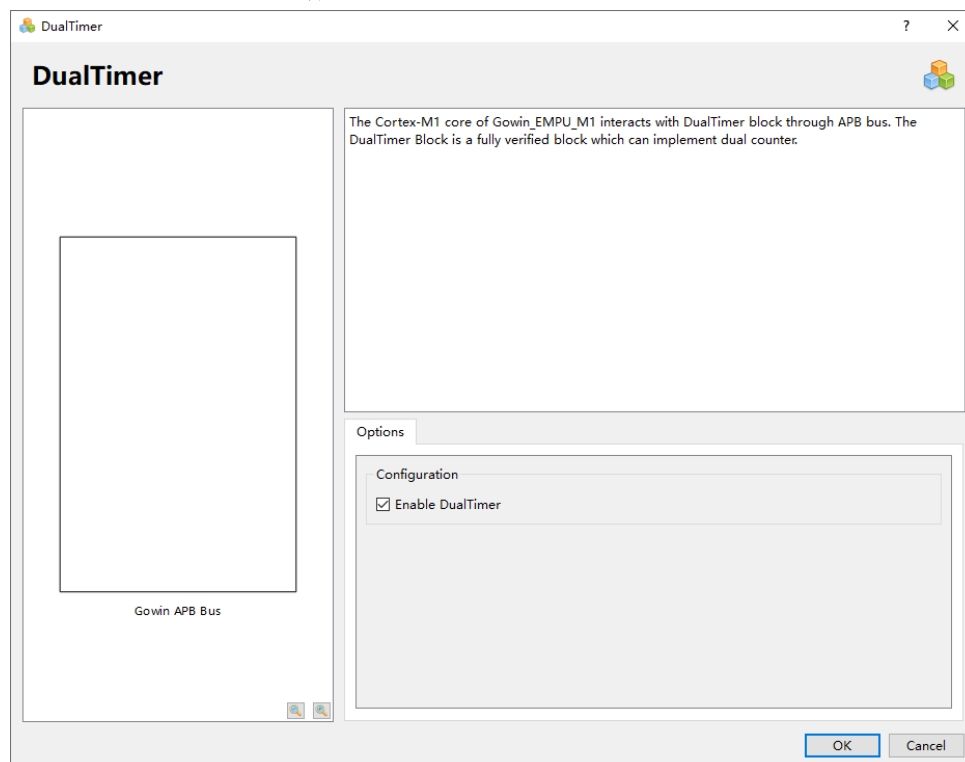


DualTimer の構成

DualTimer をダブルクリックして構成します(図 3-21)。

Enable DualTimer をチェックすると、Gowin_EMPU_M1 は DualTimer をサポートするようになります。デフォルトではオフです。

図 3-21 DualTimer の構成

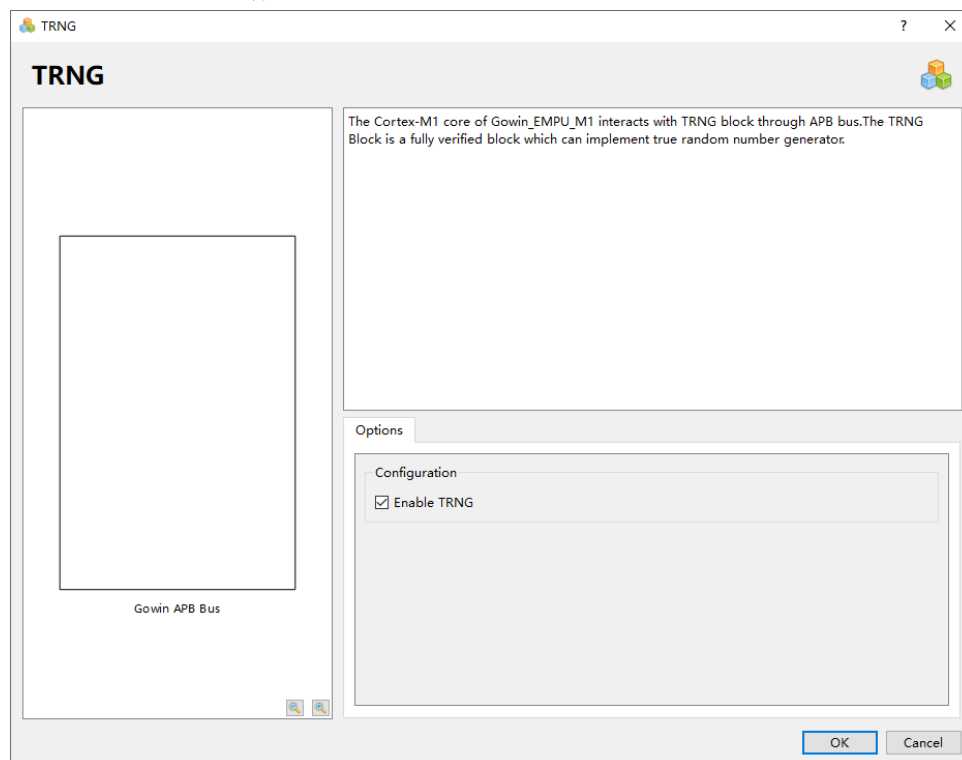


TRNG の構成

TRNG をダブルクリックして構成します(図 3-22)。

Enable TRNG をチェックすると、Gowin_EMPU_M1 は TRNG をサポートするようになります。デフォルトではオフです。

図 3-22 TRNG の構成

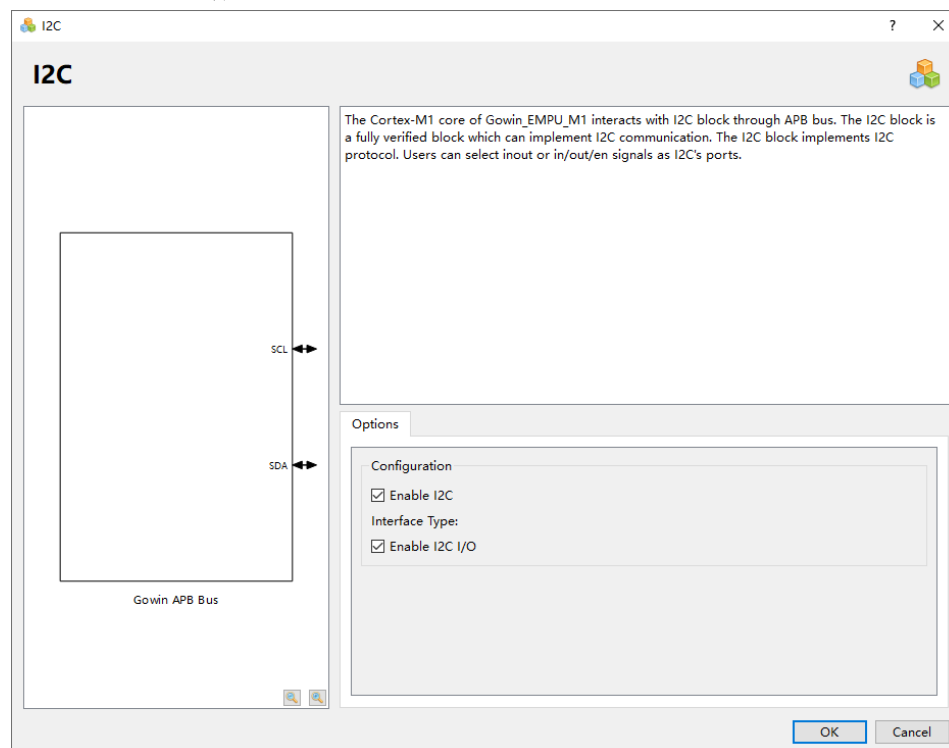


I²C の構成

I²C をダブルクリックして I²C Master を構成します(図 3-23)。

- Enable I²C をチェックすると、Gowin_EMPU_M1 は I²C Master をサポートするようになります。デフォルトではオフです。
- Enable I²C を選択した場合は、I²C Master のポートタイプを構成できます。
- Enable I²C I/O をチェックすると、I²C Master は INOUT タイプをサポートするようになります。そうでない場合、IN、OUT、EN タイプをサポートします。デフォルトではチェックされています。

図 3-23 I2C の構成

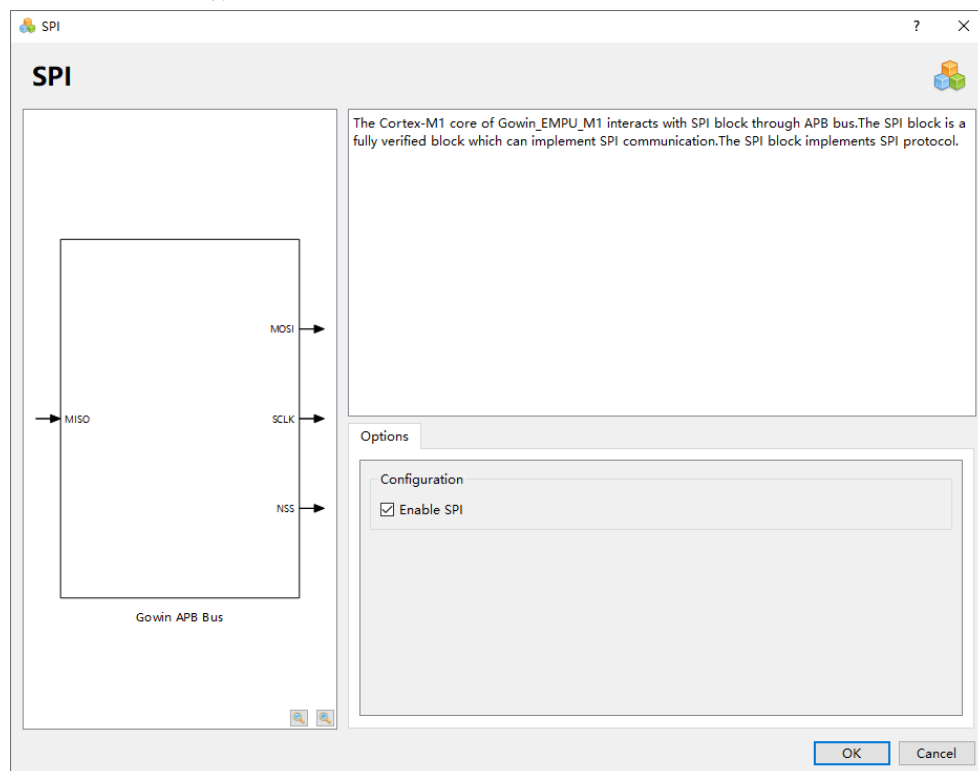


SPI の構成

SPI をダブルクリックして **SPI Master** を構成します(図 3-24)。

Enable SPI をチェックすると、**Gowin_EMPU_M1** は **SPI Master** をサポートするようになります。デフォルトではオフです。

図 3-24 SPI の構成



SD-Card の構成

SD-Card をダブルクリックして構成します(図 3-25)。

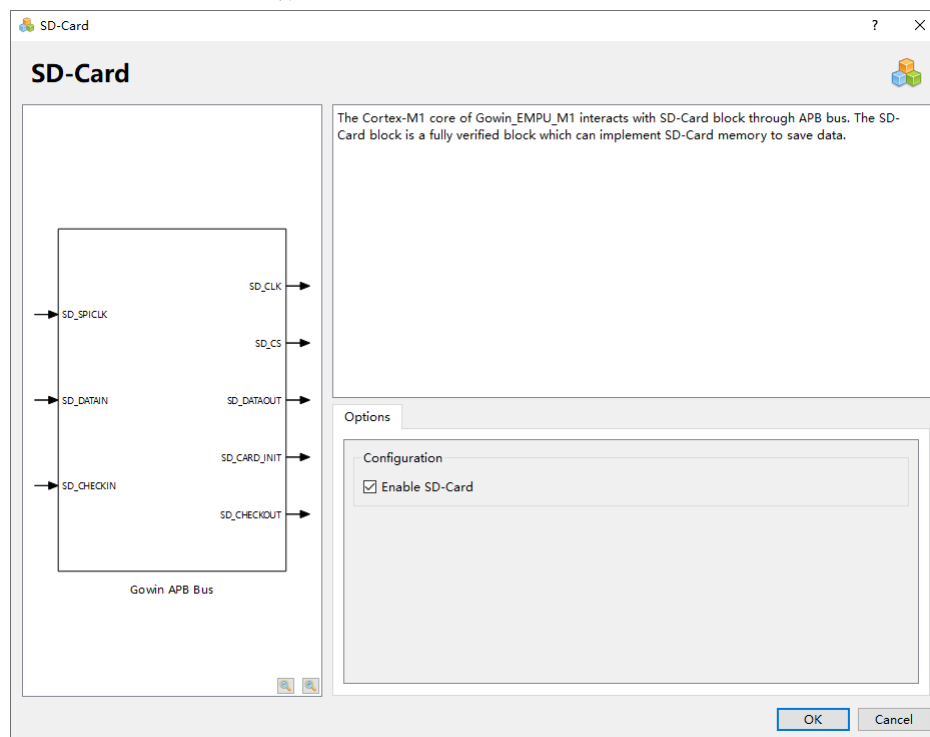
- Enable SD-Card をチェックすると、Gowin_EMPU_M1 は SD-Card をサポートするようになります。デフォルトではオフです。
- ポート SD_SPICLK には 30MHz のクロック入力が必要です。
- FAT16 ファイルシステムを採用する 4GB 以内の SD-Card のみがサポートされます。

ソリューション...¥solution¥SD_Host_v2 を参照してください。このソリューションは FAT32 ファイルシステムを採用する 32GB 以内の SD-Card をサポートし、SD Host コントローラを介して SD-Card を制御します。

ソリューション...¥solution¥SD_SPI_IF_v1 を参照してください。このソリューションは FAT32 ファイルシステムを採用する 32GB 以内の SD-Card をサポートし、SPI Master インターフェースを介して SD-Card を制御します。

すべての SD-Card は、初めて使用する前にフォーマットする必要があります。ことに注意してください。

図 3-25 SD-Card の構成



APB Master [1-16]の構成

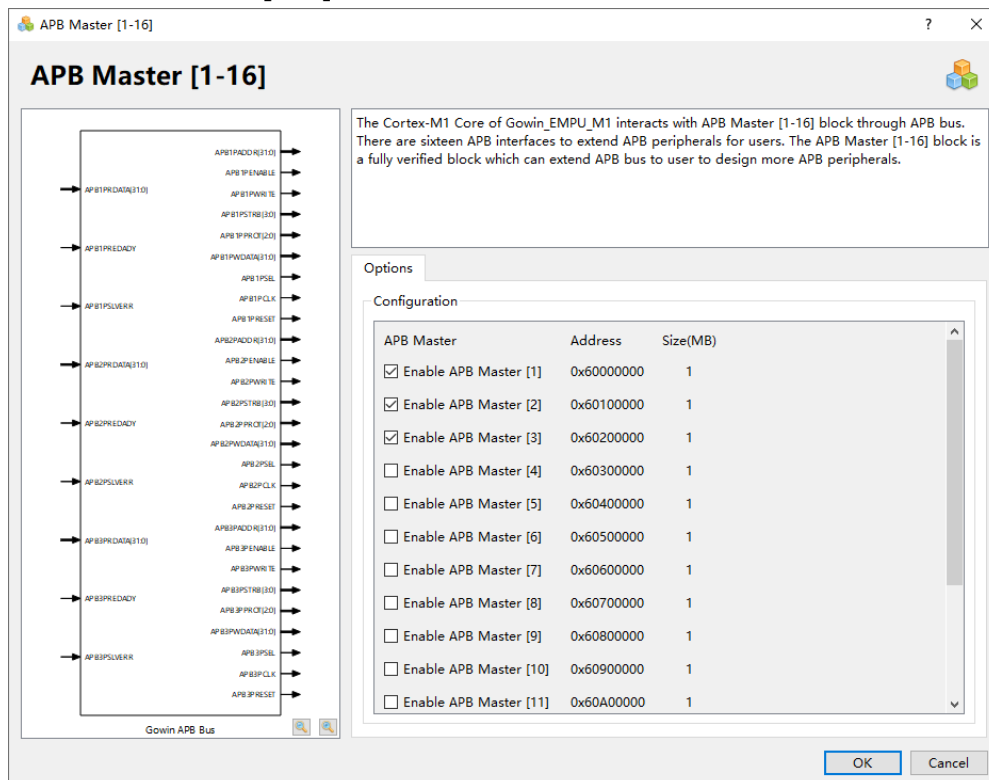
APB Master[1-16]をダブルクリックして構成します(図 3-26)。

- Enable APB Master [1]をチェックすると、Gowin_EMPU_M1 は APB Master [1]用 APB バス拡張インターフェースをサポートするようになります。ユーザーはこのインターフェースを介して APB 周辺機器を接続できます。デフォルトではオフです。
- Enable APB Master [2]をチェックすると、Gowin_EMPU_M1 は APB Master [2]用 APB バス拡張インターフェースをサポートするようになります。ユーザーはこのインターフェースを介して APB 周辺機器を接続できます。デフォルトではオフです。
- Enable APB Master [3]をチェックすると、Gowin_EMPU_M1 は APB Master [3]用 APB バス拡張インターフェースをサポートするようになります。ユーザーはこのインターフェースを介して APB 周辺機器を接続できます。デフォルトではオフです。
- Enable APB Master [4]をチェックすると、Gowin_EMPU_M1 は APB Master [4]用 APB バス拡張インターフェースをサポートするようになります。ユーザーはこのインターフェースを介して APB 周辺機器を接続できます。デフォルトではオフです。
- Enable APB Master [5]をチェックすると、Gowin_EMPU_M1 は APB Master [5]用 APB バス拡張インターフェースをサポートするようになります。ユーザーはこのインターフェースを介して APB 周辺機器を接続できます。デフォルトではオフです。

- **Enable APB Master [6]**をチェックすると、**Gowin_EMPU_M1** は **APB Master [6]**用 **APB** バス拡張インターフェースをサポートするようになります。ユーザーはこのインターフェースを介して **APB** 周辺機器を接続できます。デフォルトではオフです。
- **Enable APB Master [7]**をチェックすると、**Gowin_EMPU_M1** は **APB Master [7]**用 **APB** バス拡張インターフェースをサポートするようになります。ユーザーはこのインターフェースを介して **APB** 周辺機器を接続できます。デフォルトではオフです。
- **Enable APB Master [8]**をチェックすると、**Gowin_EMPU_M1** は **APB Master [8]**用 **APB** バス拡張インターフェースをサポートするようになります。ユーザーはこのインターフェースを介して **APB** 周辺機器を接続できます。デフォルトではオフです。
- **Enable APB Master [9]**をチェックすると、**Gowin_EMPU_M1** は **APB Master [9]**用 **APB** バス拡張インターフェースをサポートするようになります。ユーザーはこのインターフェースを介して **APB** 周辺機器を接続できます。デフォルトではオフです。
- **Enable APB Master [10]**をチェックすると、**Gowin_EMPU_M1** は **APB Master [10]**用 **APB** バス拡張インターフェースをサポートするようになります。ユーザーはこのインターフェースを介して **APB** 周辺機器を接続できます。デフォルトではオフです。
- **Enable APB Master [11]**をチェックすると、**Gowin_EMPU_M1** は **APB Master [11]**用 **APB** バス拡張インターフェースをサポートするようになります。ユーザーはこのインターフェースを介して **APB** 周辺機器を接続できます。デフォルトではオフです。
- **Enable APB Master [12]**をチェックすると、**Gowin_EMPU_M1** は **APB Master [12]**用 **APB** バス拡張インターフェースをサポートするようになります。ユーザーはこのインターフェースを介して **APB** 周辺機器を接続できます。デフォルトではオフです。
- **Enable APB Master [13]**をチェックすると、**Gowin_EMPU_M1** は **APB Master [13]**用 **APB** バス拡張インターフェースをサポートするようになります。ユーザーはこのインターフェースを介して **APB** 周辺機器を接続できます。デフォルトではオフです。
- **Enable APB Master [14]**をチェックすると、**Gowin_EMPU_M1** は **APB Master [14]**用 **APB** バス拡張インターフェースをサポートするようになります。ユーザーはこのインターフェースを介して **APB** 周辺機器を接続できます。デフォルトではオフです。
- **Enable APB Master [15]**をチェックすると、**Gowin_EMPU_M1** は **APB Master [15]**用 **APB** バス拡張インターフェースをサポートするようになります。ユーザーはこのインターフェースを介して **APB** 周辺機器を接続できます。デフォルトではオフです。

- Enable APB Master [16]をチェックすると、Gowin_EMPU_M1 は APB Master [16]用 APB バス拡張インターフェースをサポートするようになります。ユーザーはこのインターフェースを介して APB 周辺機器を接続できます。デフォルトではオフです。

図 3-26 APB Master [1-16]の構成



APB Master [1-16]の APB バス拡張インターフェースの開始アドレスとアドレス空間を表 3-4 に示します。

表 3-4 APB Master [1-16]のアドレス

APB バスインターフェース	開始アドレス	Size (MB)
APB Master [1]	0x60000000	1
APB Master [2]	0x60100000	1
APB Master [3]	0x60200000	1
APB Master [4]	0x60300000	1
APB Master [5]	0x60400000	1
APB Master [6]	0x60500000	1
APB Master [7]	0x60600000	1
APB Master [8]	0x60700000	1
APB Master [9]	0x60800000	1
APB Master [10]	0x60900000	1
APB Master [11]	0x60A00000	1
APB Master [12]	0x60B00000	1

APB バスインターフェース	開始アドレス	Size (MB)
APB Master [13]	0x60C00000	1
APB Master [14]	0x60D00000	1
APB Master [15]	0x60E00000	1
APB Master [16]	0x60F00000	1

ユーザーがこの APB 拡張インターフェースで拡張する APB 外部デバイスが外部割り込み信号をサポートするようにしたい場合は、次の 2 つの方法を参照してください。

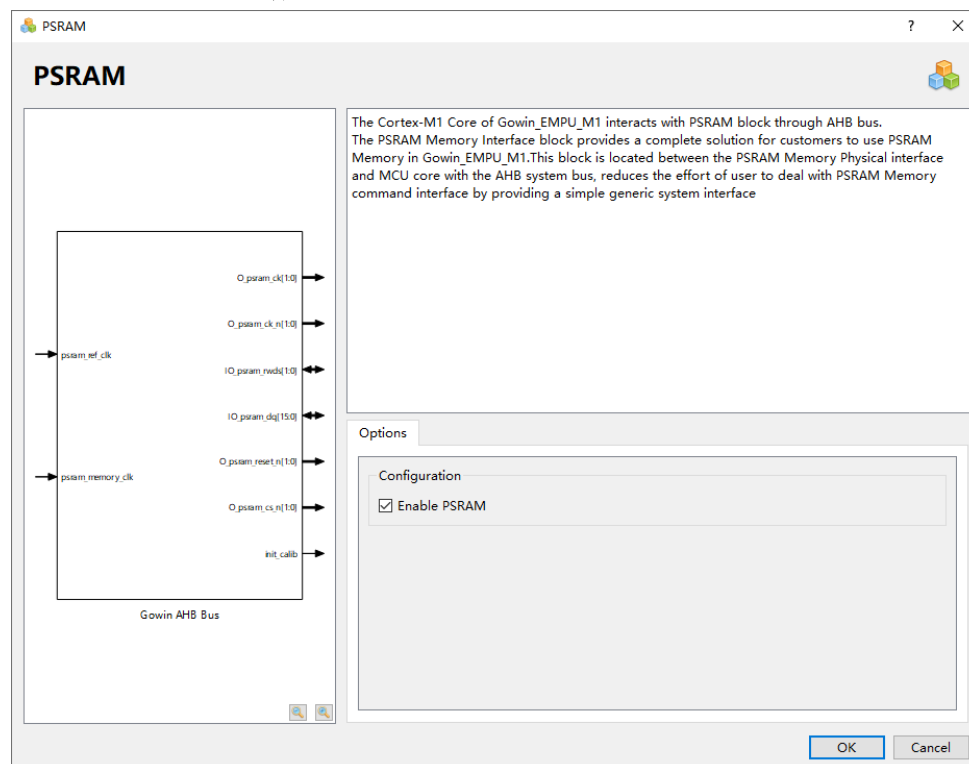
- **Enable External Interrupts** をチェックして 4 つの拡張外部割り込み信号を有効にします。
- 上記の 4 つの外部割り込み信号でまだ不十分な場合は、**Enable GPIO** をチェックして **GPIO[15:0]** で外部割り込み信号をエミュレートすることができます。

PSRAM の構成

PSRAM をダブルクリックして構成します(図 3-27)。

- **Enable PSRAM** をチェックすると、**Gowin_EMPU_M1** は PSRAM をサポートするようになります。デフォルトではオフです。
- **Gowin_EMPU_M1 PSRAM** をサポートするデバイス：
 - GW2AR-18(C バージョン) QFN88P
 - GW2AR-18(C バージョン) QFN88PF
 - GW2AR-18(C バージョン) eLQFP144P
 - GW2AR-18(C バージョン) eLQFP144PF
 - GW2ANR-18(C バージョン) QFN88

図 3-27 PSRAM の構成



3.3 ユーザーデザイン

- Gowin_EMPU_M1 の構成が完了すると、Gowin_EMPU_M1 ハードウェア設計が生成されます。
- Gowin_EMPU_M1 Top Module をインスタンス化します。
- ユーザーデザインをインポートして Gowin_EMPU_M1 Top Module とユーザーデザインを接続させて完全な RTL 設計を作成します。

3.4 制約

ユーザーRTL 設計が完了したら、使用する開発ボードと出力が必要な IO に基づいて物理制約ファイルを生成します。

タイミング要件に基づいてタイミング制約ファイルを生成します。

物理制約の生成方法については、『Gowin 物理制約ユーザーガイド ([SUG935](#))』および『Arora V 物理制約ユーザーガイド ([SUG1018](#))』を参照してください。

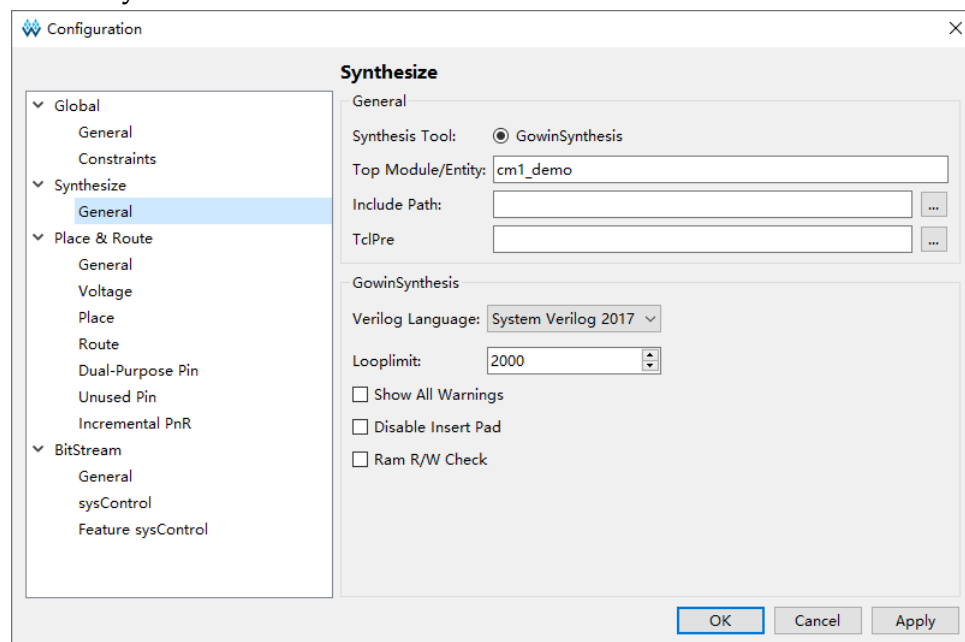
3.5 構成

3.5.1 Synthesize の構成

「Synthesize > General」オプションを構成します(図 3-28)。

- Top Module/Entity で実際のトップ・モジュール名を入力します。
- Include Path で実際のインクルードパスを入力します。
- Verilog Language を選択します。例えば、System Verilog 2017。

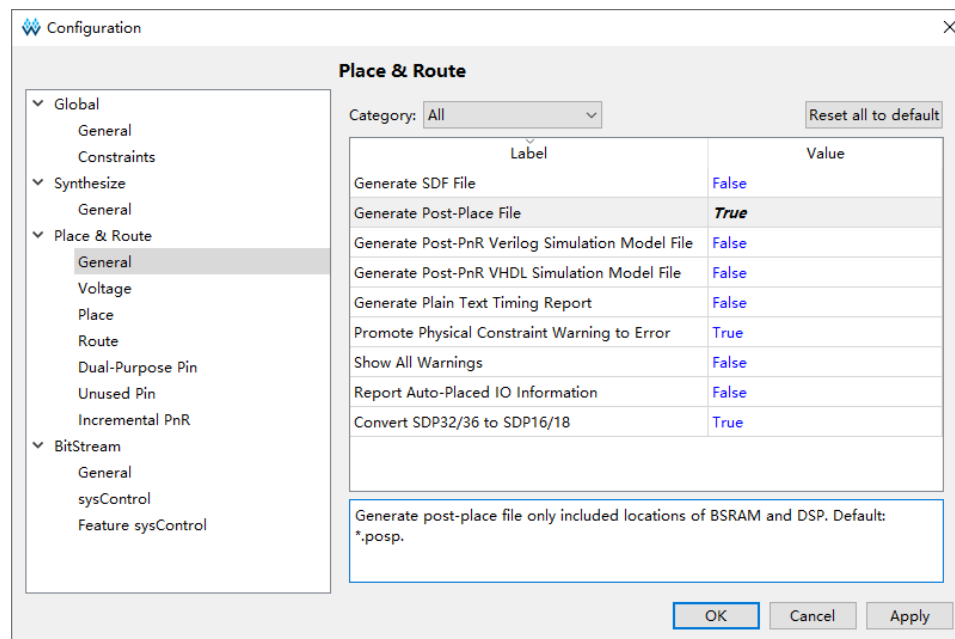
図 3-28 Synthesize の構成



3.5.2 Post-Place File の構成

Gowin_EMPU_M1 ソフトウェア設計とハードウェア設計のマージされたファイルをダウンロードするという方法を採用する場合、図 3-29 に示すよう **Place & Route > General > Generate Post-Place File** を構成して **Post-Place File** を生成する必要があります。

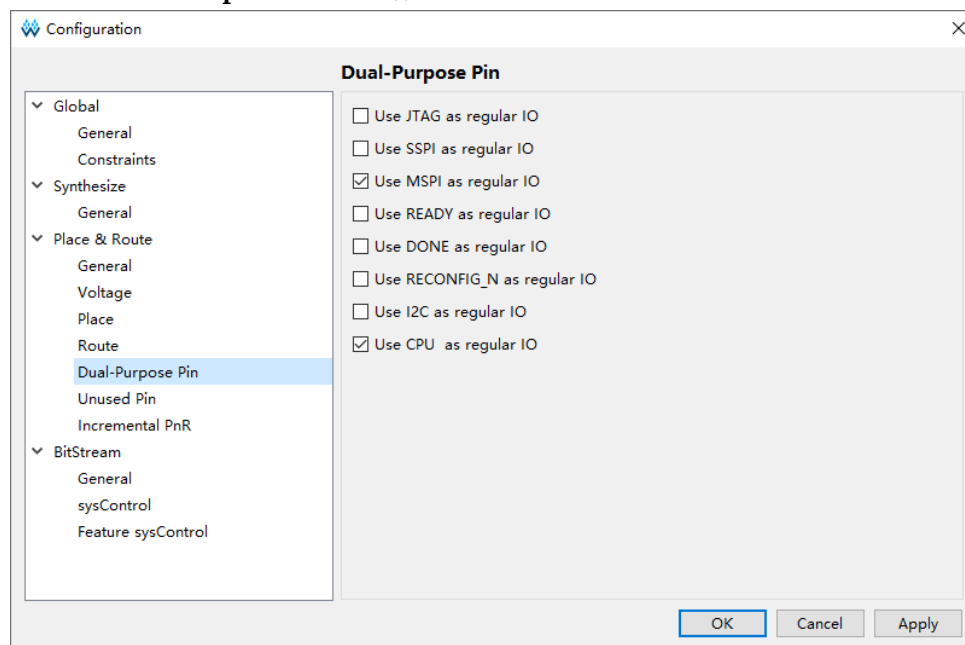
図 3-29 Post-Place File の構成



3.5.3 Dual-Purpose Pin の構成

オフチップ SPI-Flash で Gowin_EMPU_M1 の設計をダウンロード・ブートするという方法を採用する場合、「**Place & Route > Dual-Purpose Pin**」オプションで **MSPI** 関連ピンおよび **CPU** 関連ピンを通常の IO として多重化する必要があります(図 3-30)。それ以外の場合、これらのピンの多重化は不要です。

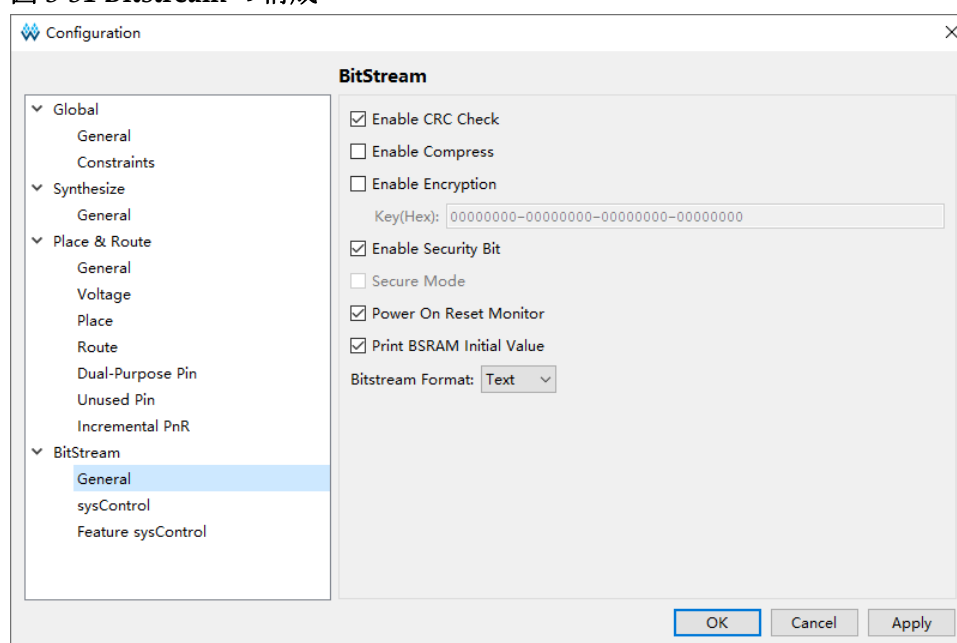
図 3-30 Dual-Purpose Pin の構成



3.5.4 Bitstream の構成

「Bitstream > General」オプションを構成し、「Print BSRAM Initial Value」を有効にします(図 3-31)。

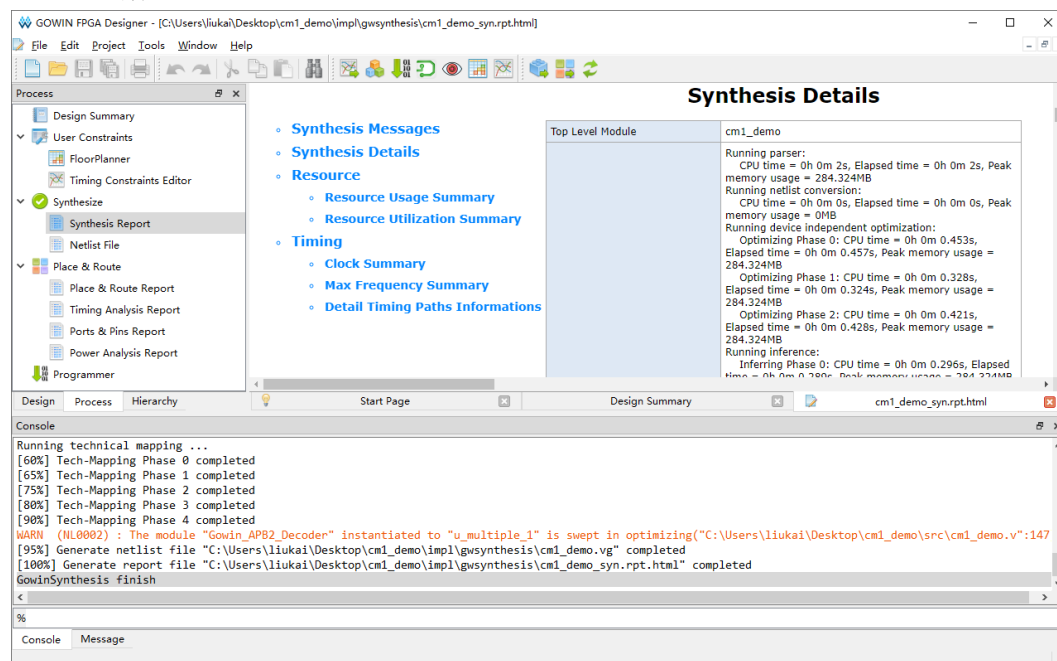
図 3-31 Bitstream の構成



3.6 合成

Gowin ソフトウェアの合成ツール **GowinSynthesis** でユーザーデザインの合成を実行します(図 3-).

図 3-32 合成

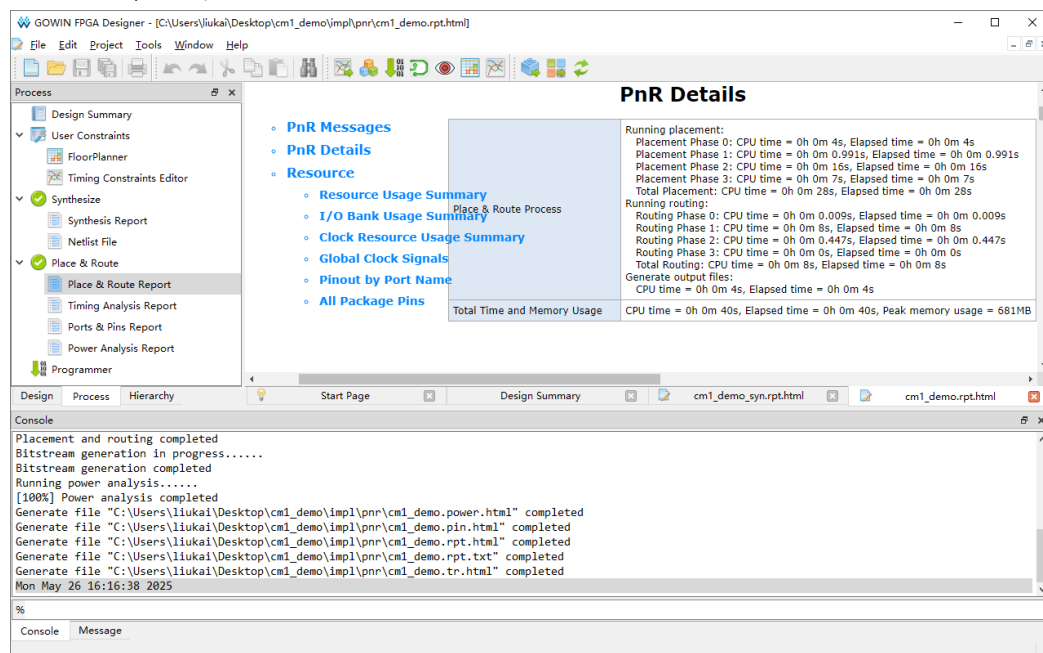


合成ツールの使用方法については、『Gowin ソフトウェア ユーザーガイド([SUG100](#))』を参照してください。

3.7 配置配線

Gowin ソフトウェアの配置配線ツール Place & Route を実行して配置配線を行い、ビットストリームファイルを生成します(図 3-33)。

図 3-33 配置配線



配置配線ツールの使用方法については、『Gowin ソフトウェア ユーザーガイド([SUG100](#))』を参照してください。

3.8 ダウンロード

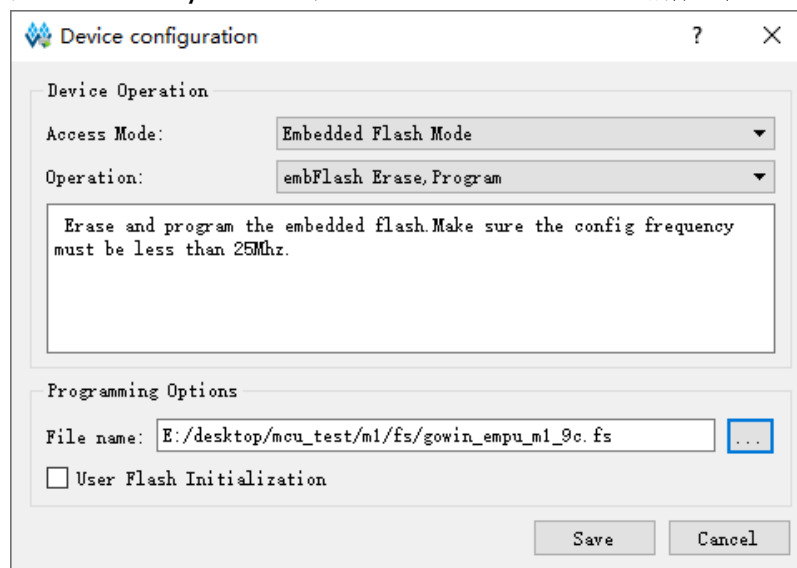
ダウンロードツールである **Programmer** を使用してビットストリームファイルをダウンロードします。

Gowin ソフトウェアの画面またはインストールパスで **Programmer** を開いた後、メニューバーで「**Edit > Configure Device**」またはツールバーで「**Configure Device**」をクリックして、「**Device configuration**」ダイアログボックスを開きます。

デバイスが **GW1N/R-9** で「**ITCM Select**」が「**Internal Instruction Memory**」の場合、ダウンロード・オプションの構成は図 3-34 に示すとおりです。

- 「**Access Mode**」のドロップダウン・リストから「**Embedded Flash Mode**」を選択します。
- 「**Operation**」のドロップダウン・リストから「**embFlash Erase, Program**」または「**embFlash Erase, Program, Verify**」を選択します。
- 「**Programming Options > File name**」で、ダウンロードする必要のあるビットストリームファイルをインポートします。
- 最後に「**Save**」をクリックします。

図 3-34 GW1N/R-9 のダウンロード・オプションの構成 (Embedded Flash Mode)

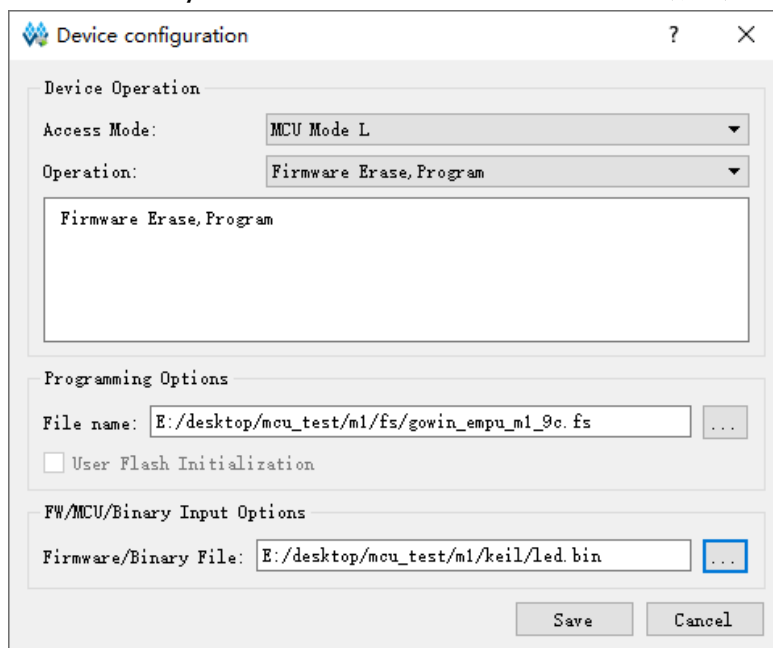


デバイスが **GW1N/R-9** で、「**ITCM Select**」が「**External Instruction Memory**」であり、オンチップ **UserFlash** を命令メモリとして選択した場合、ダウンロード・オプションの構成は図 3-35 に示すとおりです。

- 「**Access Mode**」のドロップダウン・リストから「**MCU Model L**」を選択します。
- 「**Operation**」のドロップダウン・リストから「**Firmware Erase, Program**」または「**Firmware Erase, Program, Verify**」を選択します。

- 「Programming Options > File name」で、ダウンロードする必要のあるビットストリームファイルをインポートします。
- 「FW/MCU/Binary Input Options > Firmware/Binary File」でソフトウェア設計の実行ファイルを選択します。
- 最後に「Save」をクリックします。

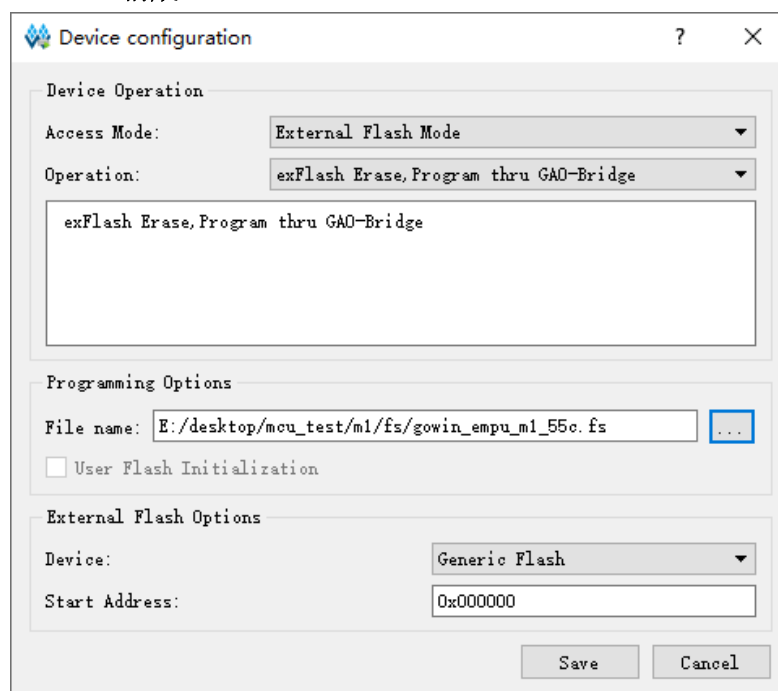
図 3-35 GW1N/R-9 のダウンロード・オプションの構成 (MCU Mode L)



デバイスが GW2AN-9X/18X、GW2A/R/NR-18、GW2A/N-55 の場合、ダウンロード・オプションの構成は図 3-36 に示すとおりです。

- 「Access Mode」のドロップダウン・リストから「External Flash Mode」を選択します。
- Operation のドロップダウン・リストから「exFlash Erase, Program thru GAO-Bridge」または「exFlash Erase, Program, Verify thru GAO-Bridge」を選択します。
- 「Programming Options > File name」で、ダウンロードする必要のあるビットストリームファイルをインポートします。
- 「External Flash Options > Device」オプションで「Generic Flash」を選択します。
- 「External Flash Options > Start Address」は「0x000000」に構成します。
- 最後に「Save」をクリックします。

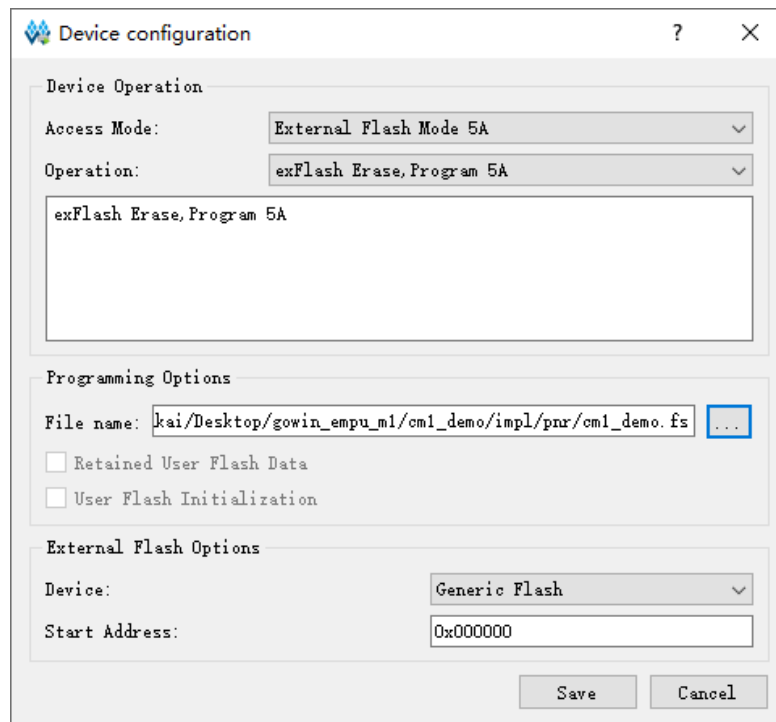
図 3-36 GW2AN-9X/18X、GW2A/R/NR-18、GW2A/N-55 のダウンロード・オプションの構成



Arora V デバイスの場合、ダウンロード・オプションの構成は図 3-37 に示すとおりです。

- 「Access Mode」のドロップダウン・リストから「External Flash Mode 5A」を選択します。
- 「Operation」のドロップダウン・リストから「exFlash Erase, Program 5A」または「exFlash Erase, Program, Verify 5A」を選択します。
- 「Programming Options > File name」で、ダウンロードする必要があるビットストリームファイルをインポートします。
- 「External Flash Options > Device」オプションで「Generic Flash」を選択します。
- 「External Flash Options > Start Address」は「0x000000」に構成します。
- 最後に「Save」をクリックします。

図 3-37 Arora V の External Flash Mode の構成



Device configuration が完了したら、Programmer のツールバー上の Program/Configure 「」を選択して、ハードウェア設計のビットストリームファイルをダウンロードします (GW1N/R-9 デバイスの MCU Mode L の場合は、ソフトウェア設計の実行ファイルも同時にダウンロードされます)。

Programmer の使用方法については、『Gowin Programmer ユーザーガイド([SUG502](#))』を参照してください。

4 リファレンス・デザイン

Gowin_EMPU_M1 の[ハードウェア・リファレンス・デザイン](#)：

- ...
¥ref_design¥FPGA_RefDesign¥DK_START_DDR2_GW5A25_V1.0¥gowin_empu_m1¥cm1_ethernet_demo
- ...
¥ref_design¥FPGA_RefDesign¥DK_START_GW1N9_V2.1¥cm1_demo
- ...
¥ref_design¥FPGA_RefDesign¥DK_START_GW2A18_V2.0¥gowin_empu_m1¥cm1_demo
- ...
¥ref_design¥FPGA_RefDesign¥DK_START_GW2A55_V1.3¥gowin_empu_m1¥cm1_can_demo、cm1_ddr3_demo、cm1_demo、cm1_ethernet_demo、cm1_sdcard_demo
- ...
¥ref_design¥FPGA_RefDesign¥DK_START_GW2AR18_V1.1¥gowin_empu_m1¥cm1_psram_demo
- ...
¥ref_design¥FPGA_RefDesign¥DK_START_GW5A25_V2.0¥gowin_empu_m1¥cm1_ddr3_demo、cm1_demo、cm1_nodbg_demo
- ...
¥ref_design¥FPGA_RefDesign¥DK_START_GW5AST138_V1.0¥gowin_empu_m1¥cm1_ddr3_demo、cm1_demo
- ...
¥ref_design¥FPGA_RefDesign¥Tang_MEGA_138K_Pro_Dock¥gowin_empu_m1¥cm1_ethernet_demo、cm1_sd_demo
- ...
¥ref_design¥FPGA_RefDesign¥DK_DP_GW5AT60_V1.0¥gowin_empu_m1¥cm1_ddr3_demo、cm1_demo

次のソリューションの[リファレンス・デザイン](#)を提供します：

- ...
¥solution¥Embedded_Memory¥ref_design¥FPGA_RefDesign¥gowin_empu_m1
- ...
¥solution¥External_Memory¥ref_design¥FPGA_RefDesign¥gowin_empu_m1
- ...
¥solution¥SD_Host_v2¥ref_design¥FPGA_RefDesign¥DK_START_GW2A18_V2.0¥apb_sd_host
- ...
¥solution¥SD_SPI_IF_v1¥ref_design¥FPGA_RefDesign¥DK_START_GW2A55_V1.3¥gowin_empu_m1

