



DK-START-GW1NR9 V1.1

# ユーザーガイド

DBUG361-1.2J, 2019-12-19

## 著作権について (2019)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

### 免責事項

「GOWINSEMI®」、「LittleBee®」、「Arora®」、及び GOWINSEMI のロゴは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、[www.gowinsemi.com.cn](http://www.gowinsemi.com.cn) において記載されているそれぞれの権利者に帰属しています。当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI 取引条件) に規定されている内容を除き、(明示的か又は黙示的に拘わらず) いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。本文書における全ての情報は、予備的情報として取り扱われなければなりません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ (不具合情報) については、当社に問い合わせる必要があります。

## バージョン履歴

日付	バージョン	説明
2019/03/19	1.0J	初版。
2019/11/29	1.1J	MIPI 入力を削除。
2019/12/19	1.2J	開発ボードのバージョン情報を改善。

# 目次

目次.....	i
図一覧.....	iii
表一覧.....	iv
<b>1 本マニュアルについて .....</b>	<b>1</b>
1.1 マニュアル内容 .....	1
1.2 サポートされるデバイス .....	1
1.3 関連ドキュメント .....	1
1.4 用語、略語.....	2
1.5 テクニカル・サポートとフィードバック .....	3
<b>2 開発ボードの紹介.....</b>	<b>4</b>
2.1 概要.....	4
2.2 開発ボードキット .....	5
2.3 PCB コンポーネント .....	6
2.4 システムアーキテクチャ .....	7
2.5 特徴.....	8
2.6 仕様.....	9
<b>3 開発ボードの回路.....</b>	<b>10</b>
3.1 FPGA モジュール.....	10
3.1.1 概要.....	10
3.1.2 I/O BANK の説明 .....	11
3.2 ダウンロード .....	13
3.2.1 概要.....	13
3.2.2 USB ダウンロード回路 .....	13
3.2.3 ダウンロード手順.....	13
3.2.4 ピンの配置.....	13
3.3 電源.....	14
3.3.1 概要.....	14

3.3.2 電力システムの配置 .....	15
3.3.3 電源ピンの配置 .....	15
3.4 クロックとリセット .....	16
3.4.1 概要.....	16
3.4.2 クロックおよびリセット回路.....	16
3.4.3 ピンの配置.....	16
3.5 LED.....	17
3.5.1 概要.....	17
3.5.2 LED 回路 .....	17
3.5.3 ピンの配置.....	17
3.6 スイッチ .....	18
3.6.1 概要.....	18
3.6.2 スイッチ回路.....	18
3.6.3 ピンの配置.....	18
3.7 キースイッチ .....	18
3.7.1 概要.....	19
3.7.2 キースイッチ回路.....	19
3.7.3 ピンの配置.....	19
3.8 GPIO.....	20
3.8.1 概要.....	20
3.8.2 GPIO 回路 .....	20
3.8.3 ピンの配置.....	21
3.9 MIPI/LVDS .....	23
3.9.1 概要.....	23
3.9.2 MIPI/LVDS 回路.....	23
3.9.3 ピンの配置.....	24
<b>4 開発ボードの使用上の注意 .....</b>	<b>28</b>
<b>5 Gowin YunYuan ソフトウェア .....</b>	<b>29</b>

## 図一覧

図 2-1 DK-START-GW1NR9 V1.1 開発ボード.....	4
図 2-2 開発ボードキット.....	5
図 2-3 PCB コンポーネント.....	6
図 2-4 システムアーキテクチャ.....	7
図 3-1 GW1NR シリーズ FPGA 製品の I/O BANK の全体説明図.....	11
図 3-2 GW1NR-9 デバイス LQ144 パッケージのピン配置図（トップビュー）.....	12
図 3-3 FPGA の USB を介したダウンロードの接続図.....	13
図 3-4 電力システムの配置図.....	15
図 3-5 クロックおよびリセット回路.....	16
図 3-6 LED 回路.....	17
図 3-7 スイッチ回路.....	18
図 3-8 キースイッチ回路.....	19
図 3-9 GPIO 回路.....	20
図 3-10 MIPI/LVDS 回路.....	23

## 表一覧

表 1-1 用語、略語.....	2
表 2-1 開発ボードの仕様.....	9
表 3-1 GW1NR-9 シリーズ FPGA 製品のリソース一覧.....	10
表 3-2 FPGA I/O の配置.....	12
表 3-3 FPGA のダウンロードピンの配置.....	13
表 3-4 FPGA の電源ピンの配置.....	15
表 3-5 FPGA のクロックおよびリセットピンの配置.....	16
表 3-6 LED ピンの配置.....	17
表 3-7 スイッチ回路のピン配置.....	18
表 3-8 キースイッチ回路のピン配置.....	19
表 3-9 J14 GPIO のピンの配置.....	21
表 3-10 J13 GPIO のピンの配置.....	21
表 3-11 J15 FPGA のピンの配置 (IDES16 : 1 をサポート).....	24
表 3-12 J17 FPGA のピンの配置.....	24
表 3-13 J16 FPGA のピンの配置 (OSER16 : 1 をサポート).....	25
表 3-14 J18 FPGA のピンの配置 (OSER16 : 1 をサポート).....	26

# 1 本マニュアルについて

## 1.1 マニュアル内容

DK-START-GW1NR9 V1.1 ユーザーガイドは、4つのセクションに分かれています。

1. 開発ボードの機能とハードウェアリソースの概要。
2. 開発ボード上のハードウェア回路の各部分の機能、およびピンの配置の説明。
3. 開発ボードの使用上の注意事項。
4. FPGA 開発ソフトウェアの使用。

## 1.2 サポートされるデバイス

本ユーザーガイドに記載される情報は、GW1NR シリーズ FPGA 製品に適用されます：GW1NR-9。

## 1.3 関連ドキュメント

GOWIN セミコンダクターウェブサイト [www.gowinsemi.com/ja](http://www.gowinsemi.com/ja) から、以下の関連ドキュメントがダウンロード、参考できます：

1. GW1NR シリーズ FPGA 製品データシート(DS117)
2. GW1NR シリーズ FPGA 製品パッケージ及びピンアウトユーザーガイド (UG119)
3. GW1NR-9 デバイス Pinout (UG801)
4. Gowin FPGA 製品プログラミング・コンフィギュレーションユーザーガイド (UG290)
5. Gowin YunYuan ソフトウェアユーザーガイド (SUG100)



## 1.4 用語、略語

表 1-1 では、本ユーザーガイドに使用されている関連用語、略語及び関連解釈を列挙しています。

表 1-1 用語、略語

用語、略語	正式名称	意味
FPGA	Field Programmable Gate Array	フィールドプログラマブルゲートアレイ
SIP	System in Package	システムインパッケージ
SDRAM	Synchronous Dynamic RAM	シンクロナス DRAM
PSRAM	擬似 SRAM	擬似 SRAM
CFU	Configurable Function Unit	コンフィギュラブル機能ユニット
CLS	Configurable Logic Slice	コンフィギュラブル・ロジックスライス
CRU	Configurable Routing Unit	コンフィギュラブル・ルーティング・ユニット
LUT4	4-input Look-up Tables	4 入力ルックアップテーブル
LUT5	5-input Look-up Tables	5 入力ルックアップテーブル
LUT6	6-input Look-up Tables	6 入力ルックアップテーブル
LUT7	7-input Look-up Tables	7 入力ルックアップテーブル
LUT8	8-input Look-up Tables	8 入力ルックアップテーブル
REG	Register	レジスタ
ALU	Arithmetic Logic Unit	演算ロジックユニット
IOB	Input/Output Block	入出力ブロック
S-SRAM	Shadow SRAM	分散式 SRAM
B-SRAM	Block SRAM	ブロック SRAM
SP	Single Port	シングルポート
SDP	Semi Dual Port	セミ・デュアルポート
DP	Dual Port	デュアルポート
DSP	Digital Signal Processing	デジタル信号処理
DQCE	Dynamic Quadrant Clock Enable	ダイナミック・クオドラントクロックイネーブル
DCS	Dynamic Clock Selector	ダイナミック・クロックセレクタ
PLL	Phase-locked Loop	位相ロックループ
DLL	Delay-locked Loop	遅延ロックループ
LQ144	LQFP144	LQFP144 パッケージ

## 1.5 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

Web サイト : [www.gowinsemi.com/ja](http://www.gowinsemi.com/ja)

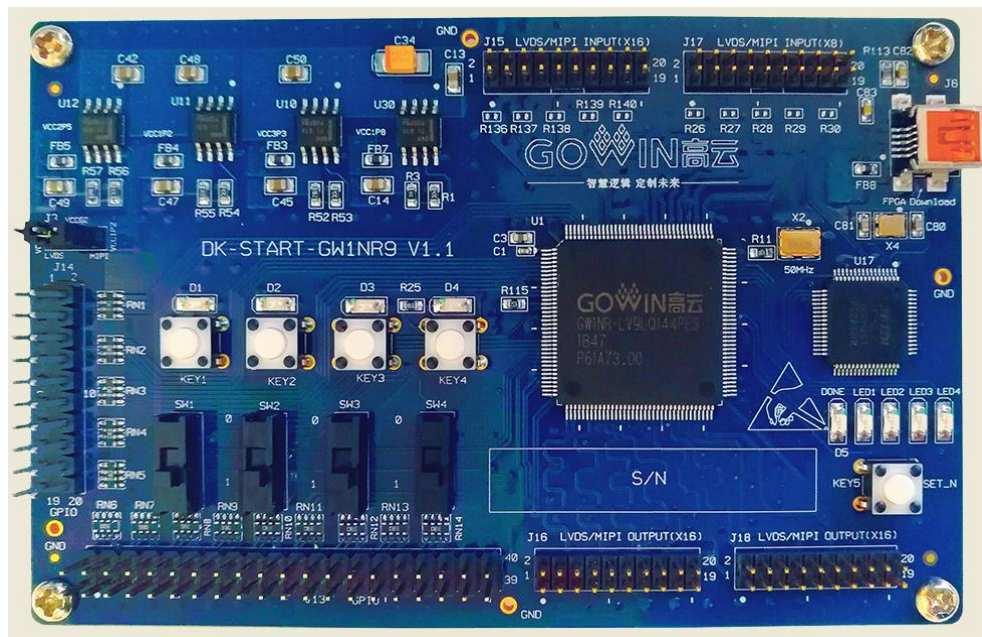
E-mail : [support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel : +86 755 8262 0391

# 2 開発ボードの紹介

## 2.1 概要

図 2-1 DK-START-GW1NR9 V1.1 開発ボード



この開発ボードは、64M ビット PSRAM、ユーザーフラッシュメモリなどのリソースを備えた GOWIN GW1NR-9 FPGA デバイスを使用しています。GOWIN セミコンダクター LittleBee® ファミリーの第一世代製品である GW1NR シリーズ FPGA 製品は、システムインパッケージチップで、GW1N に比べて大容量の PSRAM チップを統合しています。さらに、低消費電力、インスタントオン、低コスト、不揮発性、高安全性、豊富なパッケージタイプ、使い易さ等の特徴を備えています。

開発ボードには、MIPI/LVDS インターフェース、GPIO インターフェース、スライドスイッチ、キースイッチ、LED、クロック、リセットなど、ユーザーが利用可能な豊富な外部インターフェースとリソースがあります。

## 2.2 開発ボードキット

開発ボードキットには以下が含まれます。

- DK-START-GW1NR9 V1.1 開発ボード
- USB データケーブル
- クイックスタート

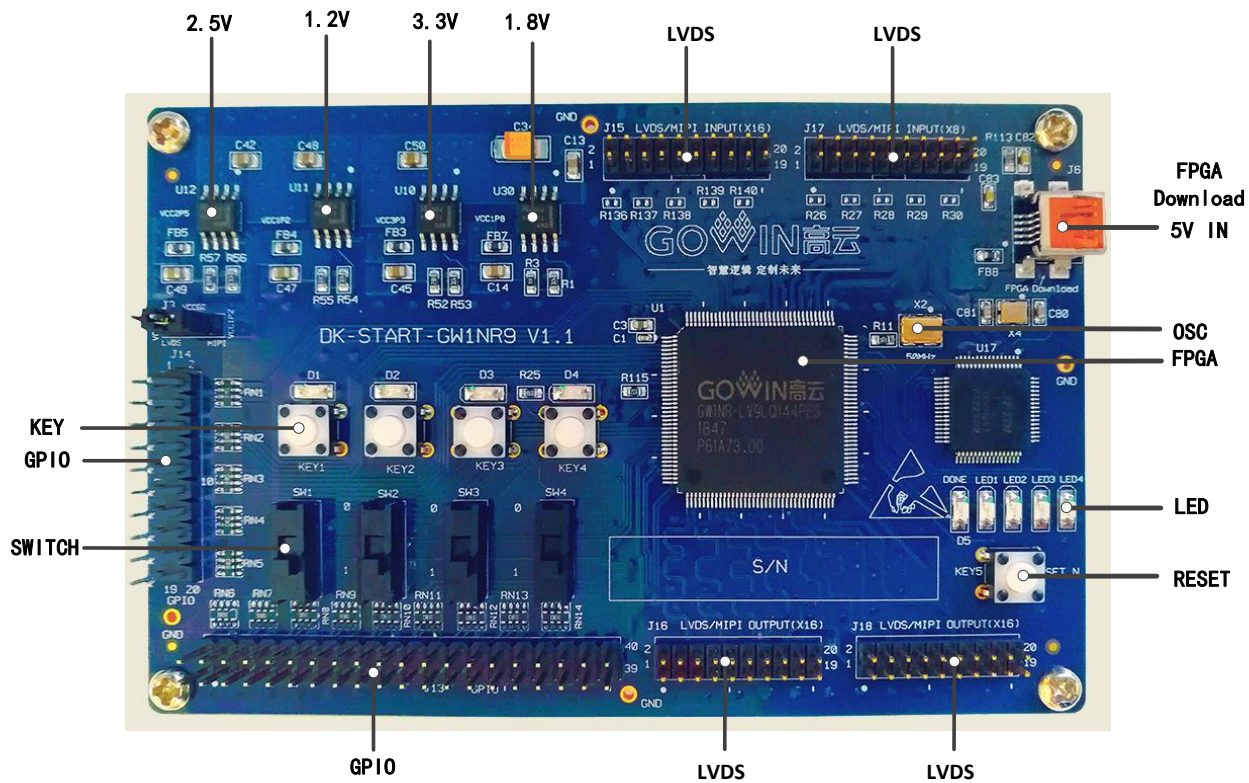
図 2-2 開発ボードキット



- ① DK-START-GW1NR9 V1.1開発ボード
- ② USBデータケーブル
- ③ クイックスタート

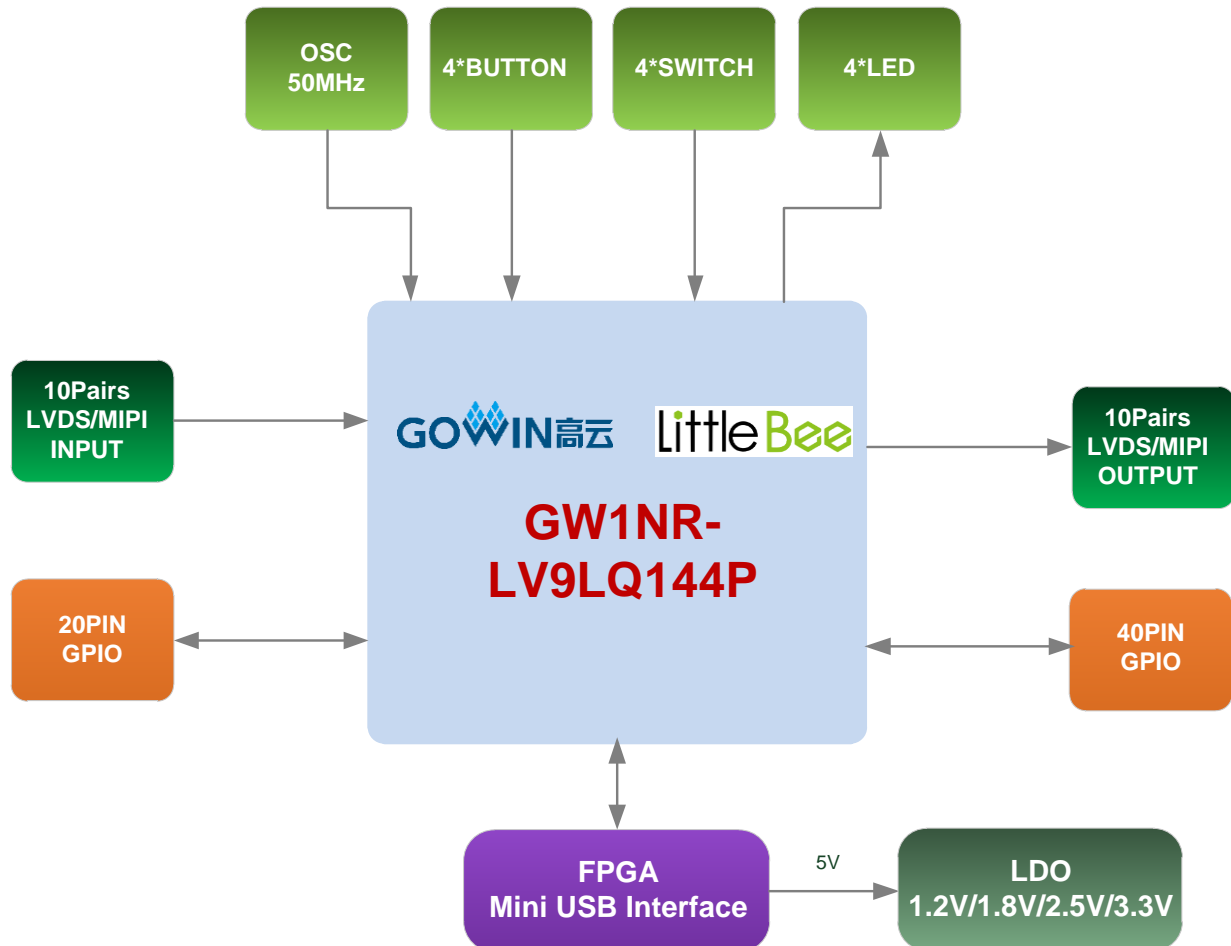
## 2.3 PCB コンポーネント

図 2-3 PCB コンポーネント



## 2.4 システムアーキテクチャ

図 2-4 システムアーキテクチャ



## 2.5 特徴

開発ボードの構造と特性は次のとおりです。

### 1. FPGA

- LQFP144 パッケージ
- 120 個のユーザー I/O
- パワーオフしてもデータが失われない組み込みフラッシュ
- 豊富な LUT4 リソース
- マルチモード、大容量の B-SRAM

### 2. FPGA コンフィギュレーションモード

- JTAG
- AUTO BOOT

### 3. クロックリソース

50MHz のクロック水晶発振器

### 4. ボタンとスライドスイッチ

- 1 つのリセットボタン
- 4 つのキースイッチ
- 4 つのスライドスイッチ

### 5. LED

- 1 つの電源インジケータ (緑色)
- 1 つの DONE インジケータ (緑色)
- 4 つの LED (緑色)

### 6. メモリ

- 1Mbit の組み込み Flash
- 64Mbit の組み込み PSRAM

### 7. MIPI/LVDS

10 ペアの LVDS 差動入力、10 ペアの MIPI/LVDS 差動出力

### 8. GPIO

55 個の拡張 I/O リソース

### 9. LDO 電源

3.3V、2.5V、1.8V、1.2V の電力を供給

## 2.6 仕様

表 2-1 開発ボードの仕様

番号	項目	機能の説明	技術的条件	備考
1	FPGA	コアチップ	-	-
2	ダウンロード	USB インターフェースをサポート；JTAG、AUTOBOOT をサポート	ボード上に USB-JTAG モジュールを統合	-
3	電源	LDO 回路を介した 3.3V、2.5V、および 1.2V 出力	<ul style="list-style-type: none"> <li>● 入力電力：5V</li> <li>● 5V-3.3V 回路が FPGA、ダウンロード回路、その他の回路に電力を供給。</li> <li>● 5V-2.5V 回路が FPGA に電力を供給。</li> <li>● 5V-1.2V 回路が FPGA に電力を供給。</li> </ul>	-
4	スライドスイッチ	テストに利用可能	4 個	-
5	キースイッチ	テストに利用可能	4 個	-
6	リセットボタン	FPGA にリセットを提供	1 個	-
7	LED	テスト指示、DONE 指示、電源指示	<ul style="list-style-type: none"> <li>● 4 つのテストインジケータ、緑色</li> <li>● 1 つの DONE インジケータ、緑色</li> <li>● 1 つの電源インジケータ、緑色</li> </ul>	-
8	水晶発振器	FPGA に 50MHz のクロックを提供	パッケージ 5032	-
9	メモリ	豊富な Flash および PRAM リソースを提供	<ul style="list-style-type: none"> <li>● 1Mbit の組み込み Flash</li> <li>● 64Mbit の組み込み PSRAM</li> </ul>	-
10	GPIO	拡張・テストするのに便利な I/O	36 個	-
11	MIPI/LVDS	テスト用の MIPI/LVDS	10 ペアの入力、10 ペアの出力	-
12	保護	USB インターフェース：ESD 保護。電源インターフェース：逆電流および過電流保護。	<ul style="list-style-type: none"> <li>● USB インターフェース：ESD 保護：±15kV の非接触放電、±8kV の接触放電。</li> <li>● 電源コンセントの正と負のアノード間にショットキーダイオードを接続。</li> <li>● 2A の自己回復ヒューズを電源インレットに接続。</li> </ul>	-
13	電圧	-	入力電圧 5V	-
14	湿度	-	95%	-
15	温度	-	動作範囲：-20° ~70°	-



# 3 開発ボードの回路

## 3.1 FPGA モジュール

### 3.1.1 概要

GW1NR シリーズ FPGA 製品のリソースを表 3-1 に示します。

表 3-1 GW1NR-9 シリーズ FPGA 製品のリソース一覧

デバイス	GW1NR-9
ロジックユニット(LUT4)	8,640
フリップフロップ(FF)	6,480
分散式 SRAM S-SRAM(bits)	17,280
ブロック SRAM B-SRAM(bits)	468K
ブロック SRAM の数 B-SRAM(個)	26
ユーザーフラッシュ(bits)	608K
PSRAM(bits)	64M
乗算器(18 x 18 Multiplier)	20
位相ロックループ(PLLs+DLLs)	2+4
I/O Bank 総数	4
最大ユーザー I/O <sup>1</sup>	120
コア電圧 (LV バージョン)	1.2V

**注記：**

詳細については、『[GW1NR シリーズ FPGA 製品データシート\(DS117\)](#)』を参照してください。

### 3.1.2 I/O BANK の説明

GW1NR シリーズ FPGA 製品には 4 つの I/O BANK があり、図 3-1 は GW1NR シリーズ FPGA 製品の I/O BANK の全体説明図です。

図 3-1 GW1NR シリーズ FPGA 製品の I/O BANK の全体説明図

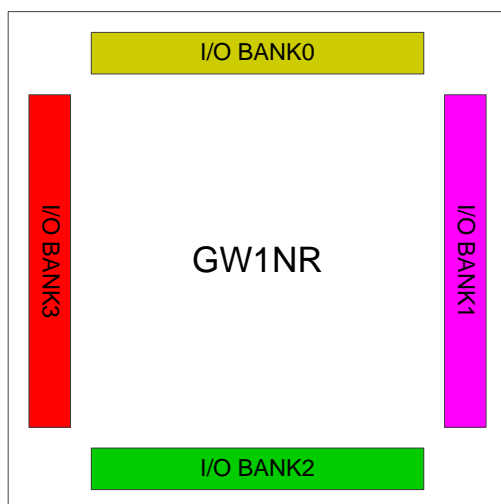


図 3-2 GW1NR-9 デバイス LQ144 パッケージのピン配置図（トップビュー）



表 3-2 FPGA I/O の配置

I/O BANK の番号	接続されるモジュール
I/O BANK0	<ul style="list-style-type: none"> <li>● ダウンロードモード選択ピン</li> <li>● LVDS 差動入力</li> <li>● GPIO</li> </ul>
I/O BANK1	<ul style="list-style-type: none"> <li>● GPIO</li> <li>● 50MHz クロック入力</li> <li>● LED</li> <li>● スライドスイッチ</li> <li>● キースイッチ</li> <li>● リセット</li> </ul>
I/O BANK2	<ul style="list-style-type: none"> <li>● MIPI/LVDS 差動出力</li> <li>● GPIO</li> </ul>
I/O BANK3	<ul style="list-style-type: none"> <li>● GPIO</li> <li>● JTAG ダウンロード</li> </ul>

## 3.2 ダウンロード

### 3.2.1 概要

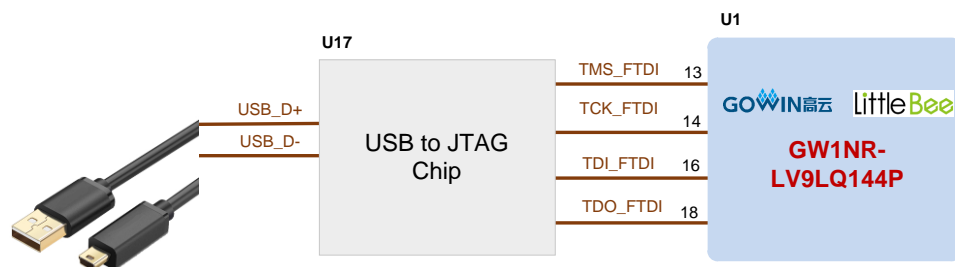
開発ボードは **USB** ダウンロードインターフェースを提供しています。ダウンロードの際は、必要に応じてオンチップ **SRAM**、オンチップ **Flash** にダウンロードできます。

注記：

- **SRAM** にダウンロードする場合、パワーオフするとデータストリームファイルが失われるため、再パワーオンする後にデータストリームファイルを再度ダウンロードする必要があります。
- **Flash** にダウンロードする場合、パワーオフしても、データストリームファイルが失われることはありません。

### 3.2.2 USB ダウンロード回路

図 3-3 FPGA の **USB** を介したダウンロードの接続図



### 3.2.3 ダウンロード手順

**USB** ダウンロードケーブルを開発ボードの **USB** インターフェース (**J6**) に挿入し、**Programmer** で **SRAM mode** または **Embedded flash mode** を選択してビットストリームファイルを **SRAM** または **Flash** にダウンロードします。

### 3.2.4 ピンの配置

表 3-3 FPGA のダウンロードピンの配置

信号名	FPGA のピン番号	BANK	説明	I/O レベル
TMS_FTDI	13	3	JTAG 信号	1.8V
TCK_FTDI	14	3	JTAG 信号	1.8V
TDI_FTDI	16	3	JTAG 信号	1.8V
TDO_FTDI	18	3	JTAG 信号	1.8V

信号名	FPGA のピン番号	BANK	説明	I/O レベル
MODE0	144	0	モード選択ピン	2.5V
MODE1	143	0	モード選択ピン	2.5V
RECONFIG_N	20	3	RECONFIG_N	1.8V
DONE	21	3	DONE 指示	1.8V
READY	22	3	READY	1.8V

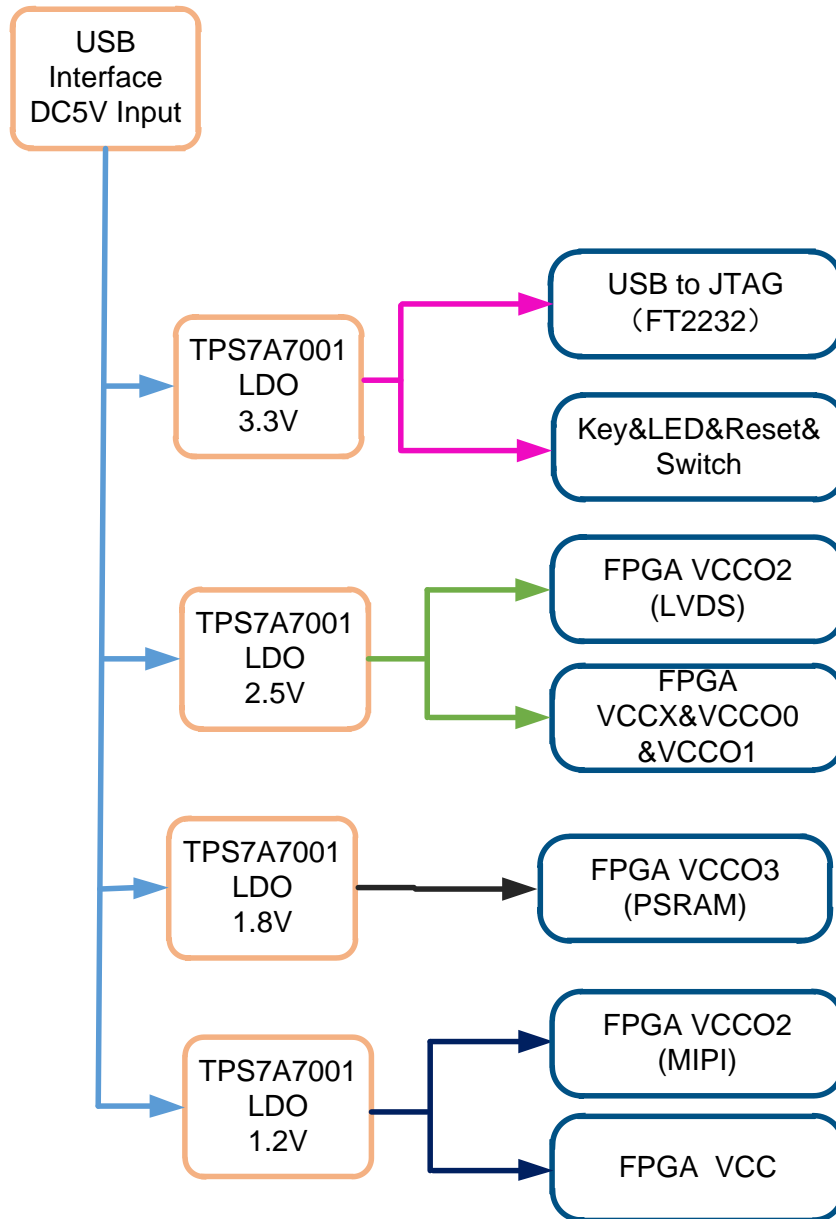
## 3.3 電源

### 3.3.1 概要

USB インターフェースを介して入力される電源 DC5V は、TI の LDO 電源チップを採用し、5V-3.3V、5V-2.5V、5V-1.8V、5V-1.2V の変換を実現します。

### 3.3.2 電力システムの配置

図 3-4 電力システムの配置図



### 3.3.3 電源ピンの配置

表 3-4 FPGA の電源ピンの配置

信号名	FPGA のピン番号	BANK	説明	I/O レベル
VCCO0	109、127	0	I/O Bank 電圧	2.5V
VCCO1	91、103	1	I/O Bank 電圧	2.5V

信号名	FPGA のピン番号	BANK	説明	I/O レベル
VCCO2	37、55	2	I/O Bank 電圧	2.5V/1.2V
VCCO3	9、19	3	I/O Bank 電圧	1.8V
VCCX	31、77	-	補助電圧	2.5V
VCC	1、36、73、108	-	コア電圧	1.2V
VSS	2、17、33、35、53、74、89、105、107	-	GND	-

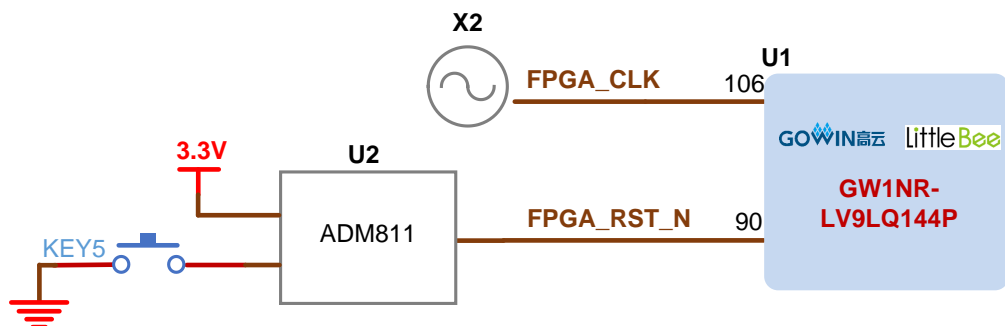
## 3.4 クロックとリセット

### 3.4.1 概要

開発ボードには、PLL 入力ピンに接続され、FPGA の内部 PLL のクロック入力として使用できる 50MHz の水晶発振器があります。ユーザーが必要とするクロックを PLL 通倍及び分周を通じて出力できます。

### 3.4.2 クロックおよびリセット回路

図 3-5 クロックおよびリセット回路



### 3.4.3 ピンの配置

表 3-5 FPGA のクロックおよびリセットピンの配置

信号名	FPGA のピン番号	BANK	説明	I/O レベル
FPGA_CLK	106	1	50MHz のアクティブクリスタル入力	2.5V
FPGA_RST_N	90	1	リセット信号、アクティブロー	2.5V

## 3.5 LED

### 3.5.1 概要

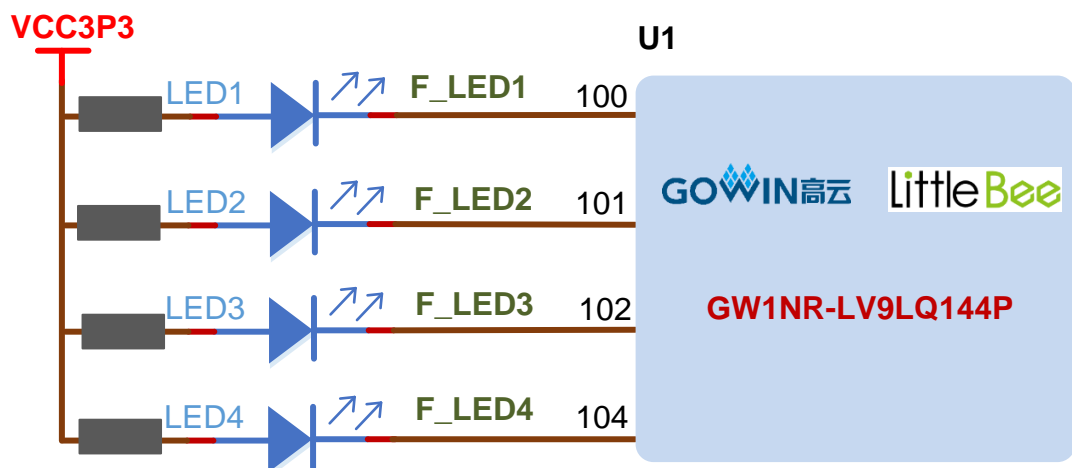
開発ボードにはステータスを表示できる4つの緑色のLEDライトがあります。同時に、電源とFPGAのロードを観測するために、それぞれ1つのLEDライトが予約されています。

LEDライトは次の方法でテストできます。

- FPGAの対応するピンの出力信号がロジックLowの場合、LEDが点灯します。
- 出力信号がHighの場合、LEDがオフになります。

### 3.5.2 LED回路

図 3-6 LED 回路



### 3.5.3 ピンの配置

表 3-6 LED ピンの配置

信号名	FPGA のピン番号	BANK	説明	I/O レベル
F_LED1	100	1	LED1	2.5V
F_LED2	101	1	LED2	2.5V
F_LED3	102	1	LED3	2.5V
F_LED4	104	1	LED 4	2.5V



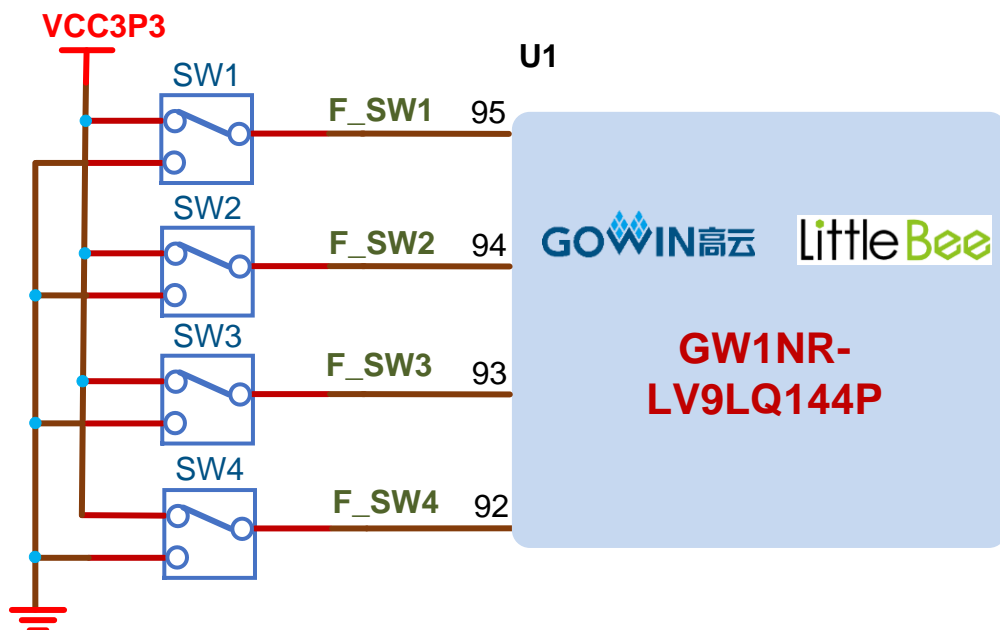
## 3.6 スイッチ

### 3.6.1 概要

開発ボードには、テスト中に入力を制御するために使用できる 4 つのスライドスイッチがあります。

### 3.6.2 スイッチ回路

図 3-7 スイッチ回路



### 3.6.3 ピンの配置

表 3-7 スイッチ回路のピン配置

信号名	FPGA のピン番号	BANK	説明	I/O レベル
F_SW1	95	1	スライドスイッチ 1	2.5V
F_SW2	94	1	スライドスイッチ 2	2.5V
F_SW3	93	1	スライドスイッチ 3	2.5V
F_SW4	92	1	スライドスイッチ 2	2.5V

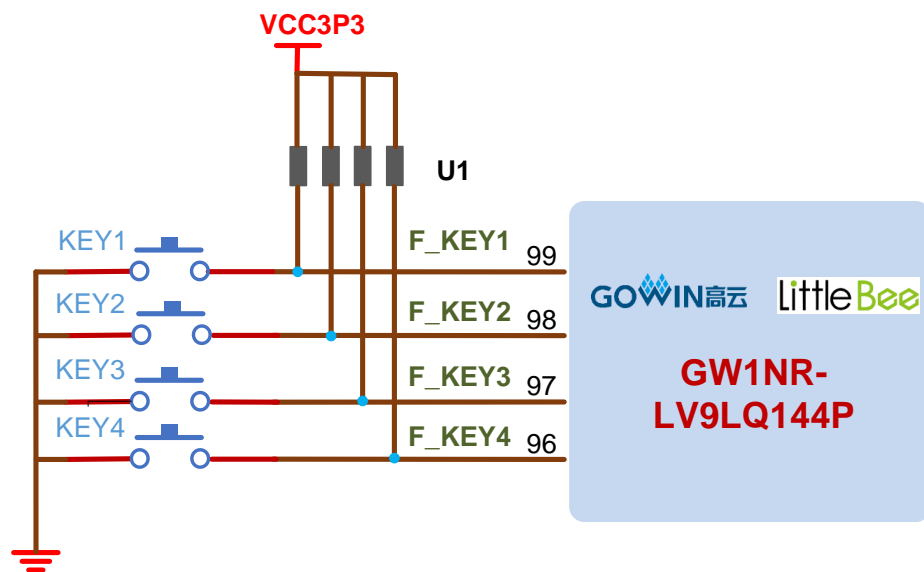
## 3.7 キースイッチ

### 3.7.1 概要

開発ボードには入力を制御するために使用できる 4 つのキースイッチがあります。ユーザーは手動制御して、対応する FPGA ピンにローレベルを入力できます。

### 3.7.2 キースイッチ回路

図 3-8 キースイッチ回路



### 3.7.3 ピンの配置

表 3-8 キースイッチ回路のピン配置

信号名	FPGA のピン番号	BANK	説明	I/O レベル
F_KEY1	99	1	KEY1	2.5V
F_KEY2	98	1	KEY2	2.5V
F_KEY3	97	1	KEY3	2.5V
F_KEY4	96	1	KEY4	2.5V

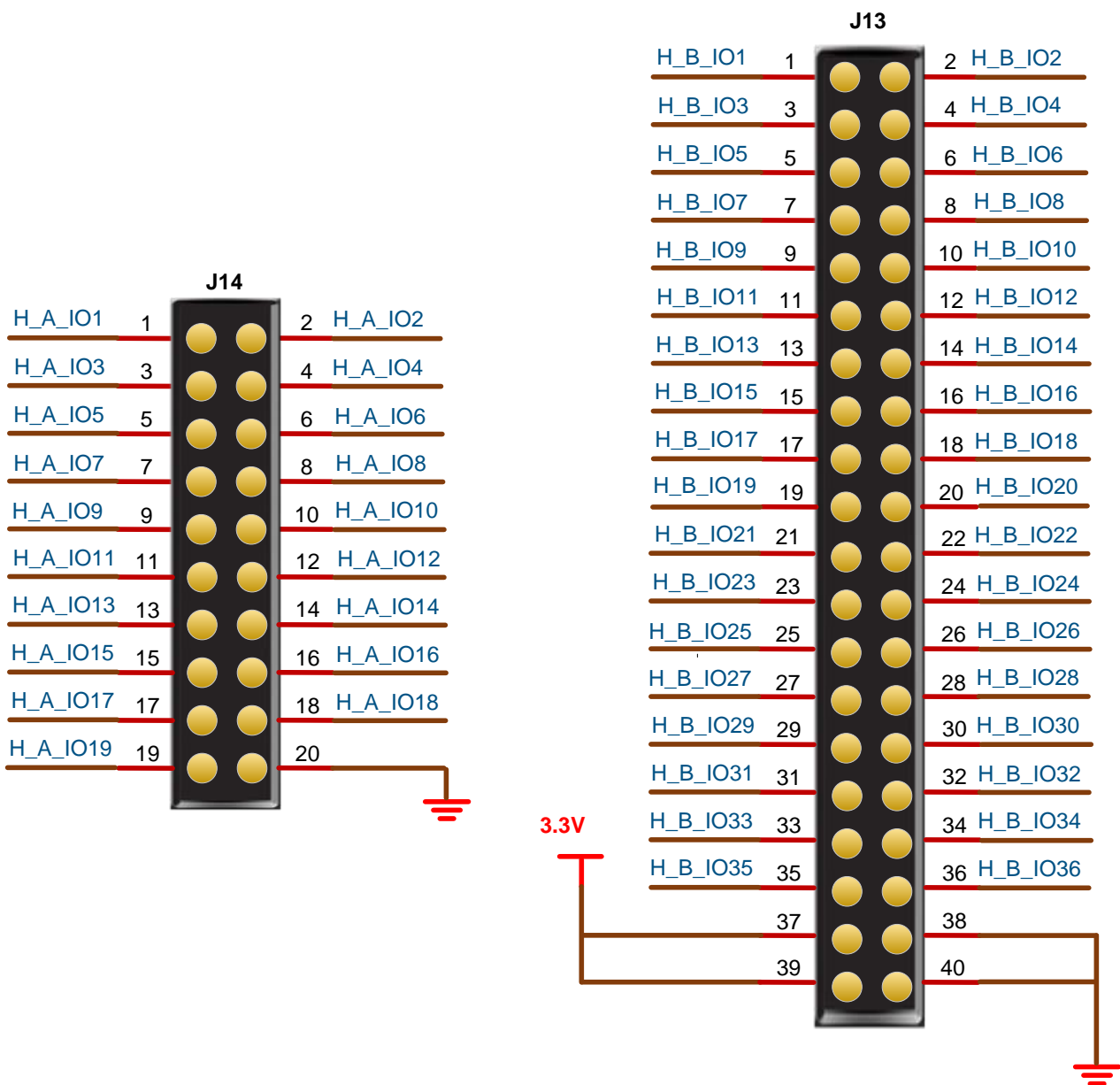
## 3.8 GPIO

### 3.8.1 概要

機能拡張とテストのために、1つの 2.54mm ピッチ DC3-20P ソケットおよび1つの 2.54mm ピッチ DC3-40P ソケットが開発ボードに予約されています。

### 3.8.2 GPIO 回路

図 3-9 GPIO 回路



### 3.8.3 ピンの配置

表 3-9 J14 GPIO のピンの配置

信号名	FPGA のピン番号	ソケットのピン番号	BANK	説明	I/O レベル
H_A_IO1	139	1	3	汎用 I/O	1.8V
H_A_IO2	140	2	3	汎用 I/O	1.8V
H_A_IO3	141	3	3	汎用 I/O	1.8V
H_A_IO4	142	4	3	汎用 I/O	1.8V
H_A_IO5	3	5	3	汎用 I/O	1.8V
H_A_IO6	4	6	3	汎用 I/O	1.8V
H_A_IO7	5	7	3	汎用 I/O	1.8V
H_A_IO8	6	8	3	汎用 I/O	1.8V
H_A_IO9	8	9	3	汎用 I/O	1.8V
H_A_IO10	10	10	3	汎用 I/O	1.8V
H_A_IO11	11	11	3	汎用 I/O	1.8V
H_A_IO12	12	12	3	汎用 I/O	1.8V
H_A_IO13	15	13	3	汎用 I/O	1.8V
H_A_IO14	23	14	3	汎用 I/O	1.8V
H_A_IO15	24	15	3	汎用 I/O	1.8V
H_A_IO16	25	16	3	汎用 I/O	1.8V
H_A_IO17	26	17	3	汎用 I/O	1.8V
H_A_IO18	27	18	3	汎用 I/O	1.8V
H_A_IO19	28	19	3	汎用 I/O	1.8V
GND	-	20	-	GND	-

表 3-10 J13 GPIO のピンの配置

信号名	FPGA のピン番号	ソケットのピン番号	BANK	説明	I/O レベル
H_B_IO1	132	1	0	汎用 I/O	2.5V
H_B_IO2	131	2	0	汎用 I/O	2.5V
H_B_IO3	130	3	0	汎用 I/O	2.5V
H_B_IO4	129	4	0	汎用 I/O	2.5V
H_B_IO5	128	5	0	汎用 I/O	2.5V
H_B_IO6	126	6	0	汎用 I/O	2.5V

信号名	FPGA のピン番号	ソケットのピン番号	BANK	説明	I/O レベル
H_B_IO7	88	7	1	汎用 I/O	2.5V
H_B_IO8	87	8	1	汎用 I/O	2.5V
H_B_IO9	86	9	1	汎用 I/O	2.5V
H_B_IO10	85	10	1	汎用 I/O	2.5V
H_B_IO11	84	11	1	汎用 I/O	2.5V
H_B_IO12	83	12	1	汎用 I/O	2.5V
H_B_IO13	82	13	1	汎用 I/O	2.5V
H_B_IO14	81	14	1	汎用 I/O	2.5V
H_B_IO15	80	15	1	汎用 I/O	2.5V
H_B_IO16	79	16	1	汎用 I/O	2.5V
H_B_IO17	68	17	2	汎用 I/O	VCCO2
H_B_IO18	69	18	2	汎用 I/O	VCCO2
H_B_IO19	76	19	2	汎用 I/O	VCCO2
H_B_IO20	78	20	2	汎用 I/O	VCCO2
H_B_IO21	44	21	2	汎用 I/O	VCCO2
H_B_IO22	45	22	2	汎用 I/O	VCCO2
H_B_IO23	48	23	2	汎用 I/O	VCCO2
H_B_IO24	49	24	2	汎用 I/O	VCCO2
H_B_IO25	65	25	2	汎用 I/O	VCCO2
H_B_IO26	64	26	2	汎用 I/O	VCCO2
H_B_IO27	61	27	2	汎用 I/O	VCCO2
H_B_IO28	60	28	2	汎用 I/O	VCCO2
H_B_IO29	57	29	2	汎用 I/O	VCCO2
H_B_IO30	56	30	2	汎用 I/O	VCCO2
H_B_IO31	54	31	2	汎用 I/O	VCCO2
H_B_IO32	52	32	2	汎用 I/O	VCCO2
H_B_IO33	32	33	2	汎用 I/O	VCCO2
H_B_IO34	34	34	2	汎用 I/O	VCCO2
H_B_IO35	40	35	2	汎用 I/O	VCCO2
H_B_IO36	41	36	2	汎用 I/O	VCCO2
VCC3P3	-	37	-	3.3V	-
GND	-	38	-	GND	-
VCC3P3	-	39	-	3.3V	-
GND	-	40	-	GND	-

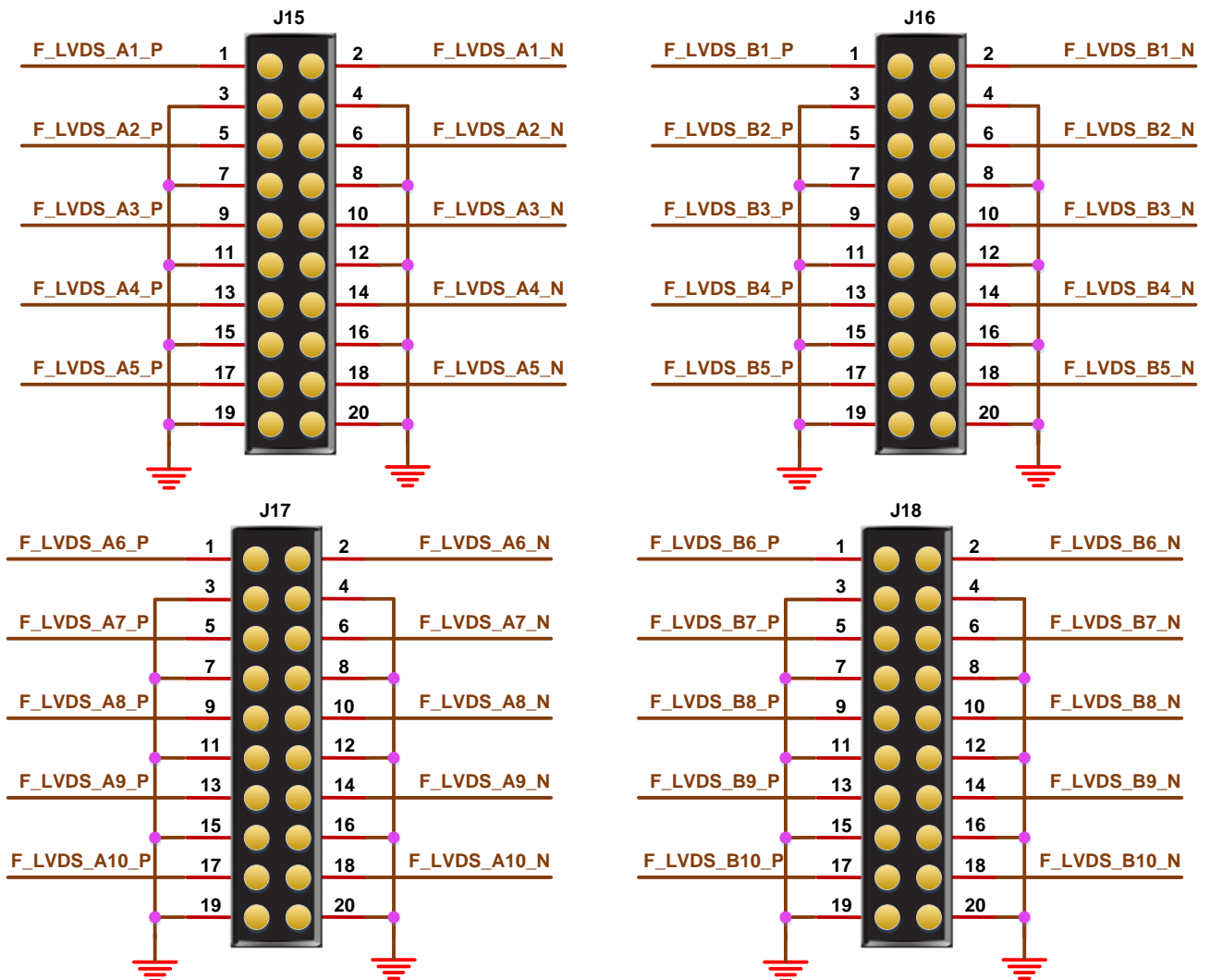
## 3.9 MIPI/LVDS

### 3.9.1 概要

MIPI/LVDS 入出力性能のテストと高速データ通信のために、4 つの 20 mm ピッチ DC3-20P ソケットが開発ボードに予約されています。最大 10 ペアの差動入力および 10 ペアの差動出力をサポートします。

### 3.9.2 MIPI/LVDS 回路

図 3-10 MIPI/LVDS 回路



### 3.9.3 ピンの配置

表 3-11 J15 FPGA のピンの配置 (IDES16 : 1 をサポート)

信号名	FPGA のピン番号	ソケットのピン番号	BANK	説明	I/O レベル
F_LVDS_A1_P	136	1	0	差動入力チャンネル 1+	2.5V(LVDS)
F_LVDS_A1_N	135	2	0	差動入力チャンネル 1-	2.5V(LVDS)
GND	-	3	-	-	-
GND	-	4	-	-	-
F_LVDS_A2_P	134	5	0	差動入力チャンネル 2+	2.5V(LVDS)
F_LVDS_A2_N	133	6	0	差動入力チャンネル 2-	2.5V(LVDS)
GND	-	7	-	-	-
GND	-	8	-	-	-
F_LVDS_A3_P	125	9	0	差動入力チャンネル 3+	2.5V(LVDS)
F_LVDS_A3_N	124	10	0	差動入力チャンネル 3-	2.5V(LVDS)
GND	-	11	-	-	-
GND	-	12	-	-	-
F_LVDS_A4_P	123	13	0	差動入力チャンネル 4+	2.5V(LVDS)
F_LVDS_A4_N	122	14	0	差動入力チャンネル 4-	2.5V(LVDS)
GND	-	15	-	-	-
GND	-	16	-	-	-
F_LVDS_A5_P	115	17	1	差動入力チャンネル 5+	2.5V(LVDS)
F_LVDS_A5_N	114	18	1	差動入力チャンネル 5-	2.5V(LVDS)
GND	-	19	-	-	-
GND	-	20	-	-	-

表 3-12 J17 FPGA のピンの配置

信号名	FPGA のピン番号	ソケットのピン番号	BANK	説明	I/O レベル
-----	------------	-----------	------	----	---------

信号名	FPGA のピン番号	ソケットのピン番号	BANK	説明	I/O レベル
F_LVDS_A6_P	121	1	0	差動入力チャンネル 6+	2.5V(LVDS)
F_LVDS_A6_N	120	2	0	差動入力チャンネル 6-	2.5V(LVDS)
GND	-	3	-	-	-
GND	-	4	-	-	-
F_LVDS_A7_P	119	5	0	差動入力チャンネル 7+	2.5V(LVDS)
F_LVDS_A7_N	118	6	0	差動入力チャンネル 7-	2.5V(LVDS)
GND	-	7	-	-	-
GND	-	8	-	-	-
F_LVDS_A8_P	117	9	1	差動入力チャンネル 8+	2.5V(LVDS)
F_LVDS_A8_N	116	10	1	差動入力チャンネル 8-	2.5V(LVDS)
GND	-	11	-	-	-
GND	-	12	-	-	-
F_LVDS_A9_P	113	13	1	差動入力チャンネル 9+	2.5V(LVDS)
F_LVDS_A9_N	112	14	1	差動入力チャンネル 9-	2.5V(LVDS)
GND	-	15	-	-	-
GND	-	16	-	-	-
F_LVDS_A10_P	111	17	1	差動入力チャンネル 10+	2.5V(LVDS)
F_LVDS_A10_N	110	18	1	差動入力チャンネル 10-	2.5V(LVDS)
GND	-	19	-	-	-
GND	-	20	-	-	-

表 3-13 J16 FPGA のピンの配置 (OSER16 : 1 をサポート)

信号名	FPGA のピン番号	ソケットのピン番号	BANK	説明	I/O レベル
F_LVDS_B1_P	29	1	2	差動出力チャンネル 1+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_B1_N	30	2	2	差動出力チャンネル 1-	2.5V(LVDS)/



信号名	FPGA のピン番号	ソケットのピン番号	BANK	説明	I/O レベル
				ネル 1-	1.2V(MIPI)
GND	-	3	-	-	-
GND	-	4	-	-	-
F_LVDS_B2_P	38	5	2	差動出力チャンネル 2+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_B2_N	39	6	2	差動出力チャンネル 2-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	7	-	-	
GND	-	8	-	-	
F_LVDS_B3_P	42	9	2	差動出力チャンネル 3+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_B3_N	43	10	2	差動出力チャンネル 3-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	11	-	-	
GND	-	12	-	-	
F_LVDS_B4_P	46	13	2	差動出力チャンネル 4+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_B4_N	47	14	2	差動出力チャンネル 4-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	15	-	-	
GND	-	16	-	-	
F_LVDS_B5_P	50	17	2	差動出力チャンネル 5+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_B5_N	51	18	2	差動出力チャンネル 5-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	19	-	-	
GND	-	20	-	-	

表 3-14 J18 FPGA のピンの配置 (OSER16 : 1 をサポート)

信号名	FPGA のピン番号	ソケットのピン番号	BANK	説明	I/O レベル
F_LVDS_B6_P	58	1	2	差動出力チャンネル 6+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_B6_N	59	2	2	差動出力チャンネル 6-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	3	-	-	-
GND	-	4	-	-	-

信号名	FPGA のピン番号	ソケットのピン番号	BANK	説明	I/O レベル
F_LVDS_B7_P	62	5	2	差動出力チャンネル 7+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_B7_N	63	6	2	差動出力チャンネル 7-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	7	-	-	
GND	-	8	-	-	
F_LVDS_B8_P	66	9	2	差動出力チャンネル 8+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_B8_N	67	10	2	差動出力チャンネル 8-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	11	-	-	
GND	-	12	-	-	
F_LVDS_B9_P	70	13	2	差動出力チャンネル 9+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_B9_N	71	14	2	差動出力チャンネル 9-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	15	-	-	
GND	-	16	-	-	
F_LVDS_B10_P	72	17	2	差動出力チャンネル 10+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_B10_N	75	18	2	差動出力チャンネル 10-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	19	-	-	
GND	-	20	-	-	

# 4 開発ボードの使用上の注意

## 開発ボードの使用上の注意：

1. 開発ボードを使用するときは、取り扱いに注意を払い、かつ静電気保護してください。
2. Bank2 の出力差動ペアを LVDS 出力として使用する場合、VCCO2 Bank 電圧を 2.5V に調整する必要があります; Bank2 の出力差動ペアを MIPI 出力として使用する場合、VCCO2 Bank 電圧を 1.2V に調整する必要があります。
3. DK-START-GWS1NR9 V1.1 開発ボードは、MIPI 入力をサポートしていません。

# 5 Gowin YunYuan ソフトウェア

詳細については、『Gowin YunYuan ソフトウェアユーザーガイド (SUG100)』を参照してください。

