

DK_START_GW5A-LV25LQ144_V1.0 開発ボ ード

ユーザーガイド

著作権について(2026)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN 及び **Gowin** は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、**GOWINSEMI Terms and Conditions of Sale**(GOWINSEMI 取引条件)に規定されている内容を除き、(明示的か又は黙示的に拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2026/02/13	1.0J	初版。
2026/03/27	1.0.1J	「図 3-4 LVDS インターフェースの接続図」と「表 3-4 LVDS-TX インターフェース (J23) のピンの割り当て」を更新。
2026/04/24	1.0.2J	● 「図 3-9 DIP スイッチの接続図」に、DIP スイッチの方向に関する注記を追加。 ● 「表 3-4 LVDS-TX インターフェース (J23) のピンの割り当て」、「表 3-5 LVDS_RX インターフェース (J21) のピンの割り当て」、「表 3-6 LVDS-TX インターフェース (J28) のピンの割り当て」、「表 3-7 LVDS_RX インターフェース (J26) のピンの割り当て」：一部の信号の説明を修正。

目次

目次	i
図一覧	iii
表一覧	iv
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	1
1.4 テクニカル・サポートとフィードバック	2
2 開発ボードの紹介	3
2.1 概要	3
2.2 開発ボードキット	4
2.3 PCB のコンポーネント	5
2.4 ブロック図	5
2.5 特徴	6
3 開発ボードの回路	7
3.1 FPGA	7
3.2 電源	7
3.2.1 概要	7
3.2.2 電源の割り当て	8
3.3 ダウンロード・モジュール	8
3.3.1 概要	8
3.3.2 ピンの割り当て	9
3.4 クロック	9
3.4.1 概要	9
3.4.2 ピンの割り当て	10

3.5 LVDS インターフェース(FPC).....	10
3.5.1 概要.....	10
3.5.2 ピンの割り当て.....	11
3.6 LVDS インターフェース (PH)	14
3.6.1 概要.....	14
3.6.2 ピンの割り当て.....	14
3.7 GPIO.....	16
3.7.1 概要.....	16
3.7.2 ピンの割り当て.....	17
3.8 LED & キー & DIP スイッチ.....	18
3.8.1 概要.....	18
3.8.2 ピンの割り当て.....	20

図一覧

図 2-1 DK_START_GW5A-LV25LQ144_V1.0 開発ボード	3
図 2-2 開発ボードキット	4
図 2-3 PCB のコンポーネント	5
図 2-4 ブロック図	5
図 3-1 電源の割り当ての説明図	8
図 3-2 ダウンロード・インターフェースの接続図.....	9
図 3-3 クロックの接続図	10
図 3-4 LVDS インターフェースの接続図.....	11
図 3-5 LVDS インターフェースの接続図.....	14
図 3-6 GPIO の回路図	17
図 3-7 LED の接続図	19
図 3-8 キーの接続図.....	19
図 3-9 DIP スイッチの接続図	20

表一覧

表 1-1 用語、略語	2
表 3-1 JTAG のピンの割り当て	9
表 3-2 Flash SPI インターフェースのピンの割り当て	9
表 3-3 クロック・ピンの割り当て	10
表 3-4 LVDS-TX インターフェース (J23) のピンの割り当て	11
表 3-5 LVDS_RX インターフェース (J21) のピンの割り当て	12
表 3-6 LVDS-TX インターフェース (J28) のピンの割り当て	14
表 3-7 LVDS_RX インターフェース (J26) のピンの割り当て	15
表 3-8 GPIO のピンの割り当て	17
表 3-9 ピンの割り当て	20

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、3つの部分で構成されています。

- 開発ボードの機能の概要。
- 開発ボードの構造およびそのハードウェアリソースの説明。
- 開発ボード上のハードウェア回路の機能およびピンの割り当ての説明。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW5A シリーズ FPGA 製品データシート([DS1103](#))
- GW5A-25 デバイス Pinout([UG985](#))
- GW5A シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG1101](#))
- GW5A シリーズ FPGA 製品回路図ユーザーガイド([UG987](#))
- Arora V 25K FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド([UG714](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
GPIO	Gowin Programmable I/O	Gowin プログラマブル 汎用 IO
JTAG	Joint Test Action Group	ジョイント・テスト・アクション・グループ
LDO	Low Dropout Regulator	低ドロップアウト・レギュレータ
LVDS	Low-Voltage Differential Signaling	低電圧差動信号

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 開発ボードの紹介

2.1 概要

図 2-1 DK_START_GW5A-LV25LQ144_V1.0 開発ボード



DK_START_GW5A-LV25LQ144_V1.0 開発ボードには、LVDS や GPIO などのインターフェイスが予約されており、信号制御、データ転送、ソフトウェアの学習とデバッグなど、さまざまなアプリケーションに対応しています。

この開発ボードに搭載されている GW5A-LV25LQ144 FPGA の内部リソースについては、『GW5A シリーズ FPGA 製品データシート

([DS1103](#))』を参照してください。

2.2 開発ボードキット

開発ボードキットには次のものが含まれています。

1. DK_START_GW5A-LV25LQ144_V1.0 開発ボード
2. 12V 入力 TYPE-C インターフェース電源アダプター（入力：AC 100-240V $\sim$ 50 / 60Hz 0.6A、出力：DC12V 2A）
3. TYPE-A to TYPE-C ケーブル

図 2-2 開発ボードキット

1



2



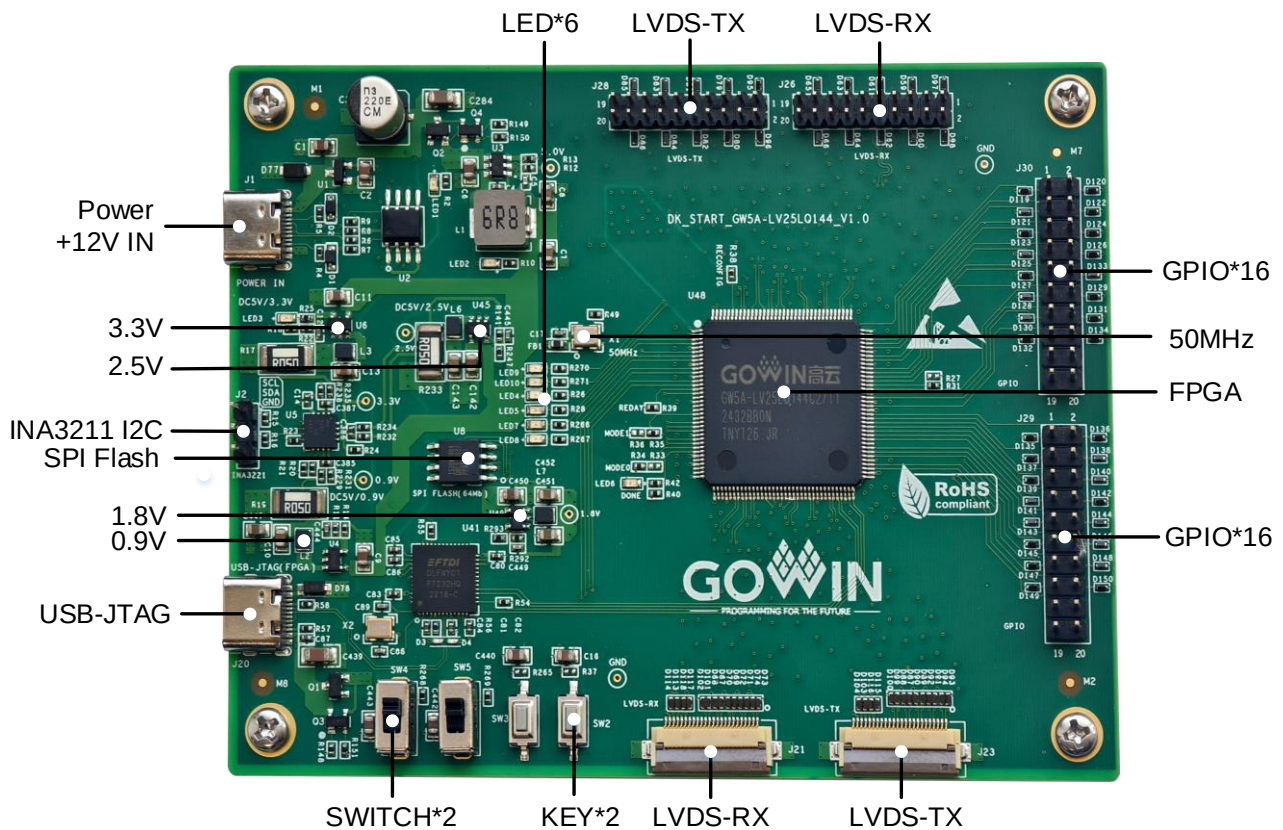
3



- ① DK_START_GW5A-LV25LQ144_V1.0
開発ボード
- ② 12V入力TYPE-Cインターフェース電
源アダプタ
- ③ TYPE-A to TYPE-Cケーブル

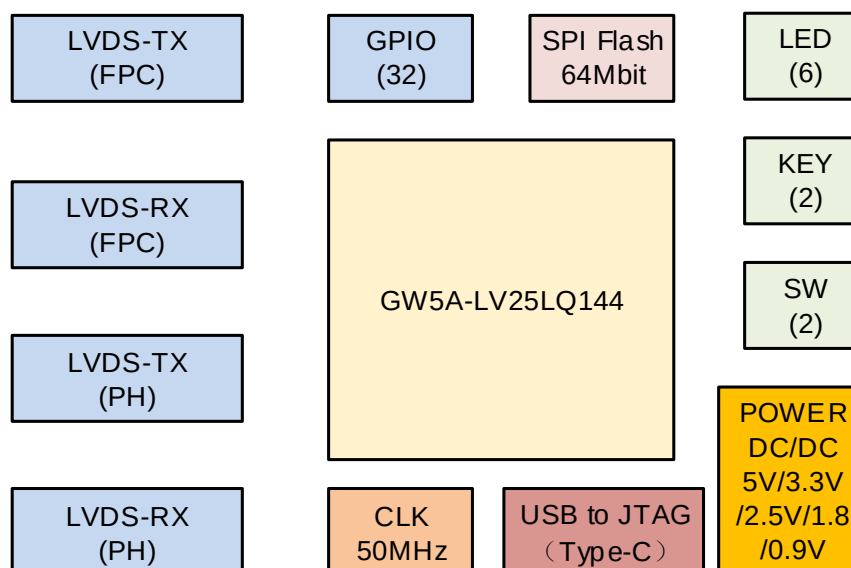
2.3 PCB のコンポーネント

図 2-3 PCB のコンポーネント



2.4 ブロック図

図 2-4 ブロック図



2.5 特徴

開発ボードの主な特徴は次のとおりです。

- **FPGA デバイス**
 - メイン IC として **Arora V** ファミリーの **GW5A-LV25LQ144** を使用
- **ダウンロードと起動**
 - **Type-C** インターフェースによるダウンロードに使用されるボード上の統合 **USB** ダウンロード回路
 - オフチップ **SPI Flash** による起動
 - 読み込み後、**DONE** ライトが点灯
- **電源供給モード**
 - 外部の **DC 12V/2A** 電源。**Type-C** インターフェース
 - 電源投入後、**POWER** が点灯
 - 開発ボードは、**0.9V**、**1.8V**、**2.5V**、**3.3V**、および **5V** の電源を生成
- **システムクロック**
 - **50MHz** のクロック
- **メモリ**
 - **64Mbit Quad SPI Flash Memory**
- **LVDS インターフェース**
 - **LVDS_TX** : 2 つのチャネル (それぞれ **4 data + 1 clk** を含む)
 - **LVDS_RX** : 2 つのチャネル (それぞれ **4 data + 1 clk** を含む)
- **キー & LED & DIP スイッチ**
 - 2 つのキー
 - 6 つの **LED**
 - 2 つの **DIP** スイッチ
- **GPIO インターフェース**
 - 32 個の **GPIO**

3 開発ボードの回路

3.1 FPGA

概要

GW5A シリーズ FPGA 製品の詳細については、『GW5A シリーズ FPGA 製品データシート([DS1103](#))』を参照してください。

I/O BANK の説明

詳しくは、『GW5A シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG1101](#))』を参照してください。

3.2 電源

3.2.1 概要

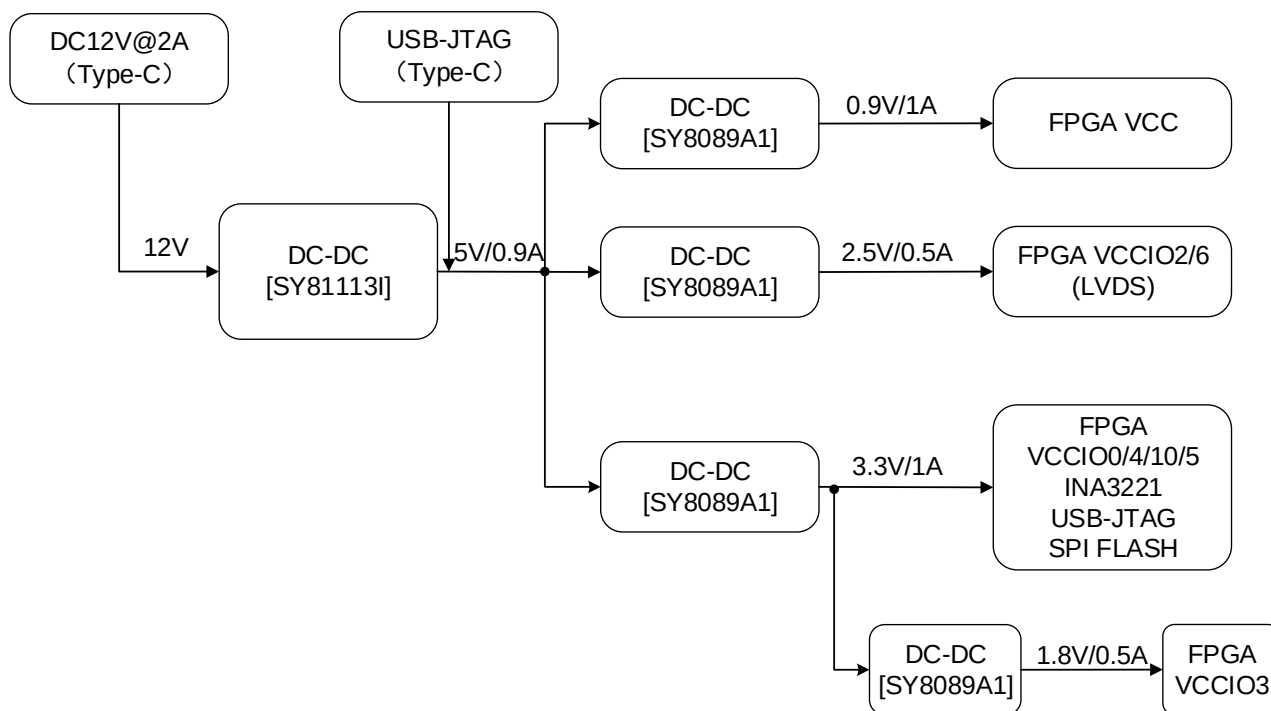
この開発ボードには、12V の電源アダプターが必要です。

電源アダプターの入力 : AC 100-240V~50/60MHz 0.6A、出力 : DC 12V 2A。

ボード上の電源 IC は、入力される 12V を、0.9V、1.8V、2.5V、3.3V、および 5V の電源に変換します。

3.2.2 電源の割り当て

図 3-1 電源の割り当ての説明図



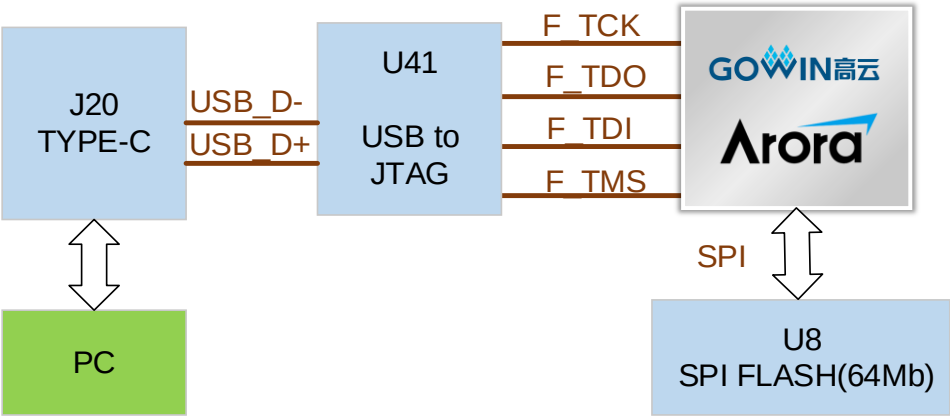
3.3 ダウンロード・モジュール

3.3.1 概要

開発ボードには、Type-C ダウンロードインターフェース (J20) と USB-JTAG チップ (U41、モデル FTDI232) が搭載されています。このインターフェースを介して、プログラムを外部 SPI Flash (U8、容量は 64Mbit) または FPGA 内部 SRAM に書き込むことができます。

その接続図を図 3-2 に示します。

図 3-2 ダウンロード・インターフェースの接続図



3.3.2 ピンの割り当て

表 3-1 JTAG のピンの割り当て

信号名	FPGA(U48)のピンの番号	BANK	I/O 電圧レベル	説明
F_TCK	71	10	3.3V	JTAG 信号
F_TDO	69	10	3.3V	
F_TDI	72	10	3.3V	
F_TMS	68	10	3.3V	

表 3-2 Flash SPI インターフェースのピンの割り当て

信号名	FPGA(U48)のピンの番号	BANK	I/O 電圧レベル	説明
QSPI_CS_N	16	4	3.3V	SPI Flash と FPGA 間のインターフェース信号
QSPI_CLK	28	4	3.3V	
QSPI_IO0	27	4	3.3V	
QSPI_IO1	25	4	3.3V	
QSPI_IO2	23	4	3.3V	
QSPI_IO3	24	4	3.3V	

3.4 クロック

3.4.1 概要

開発ボードは、FPGA の専用 PLL ピンに接続される 50MHz シングル

エンド・クロック・ソースを提供しています。

クロック・ピンの割り当てを表 3-3 に示します。

図 3-3 クロックの接続図



3.4.2 ピンの割り当て

表 3-3 クロック・ピンの割り当て

信号名	FPGA(U48)のピンの番号	BANK	I/O 電圧レベル	説明
F_CLK_50M	6	5	3.3V	クロック周波数：50MHz

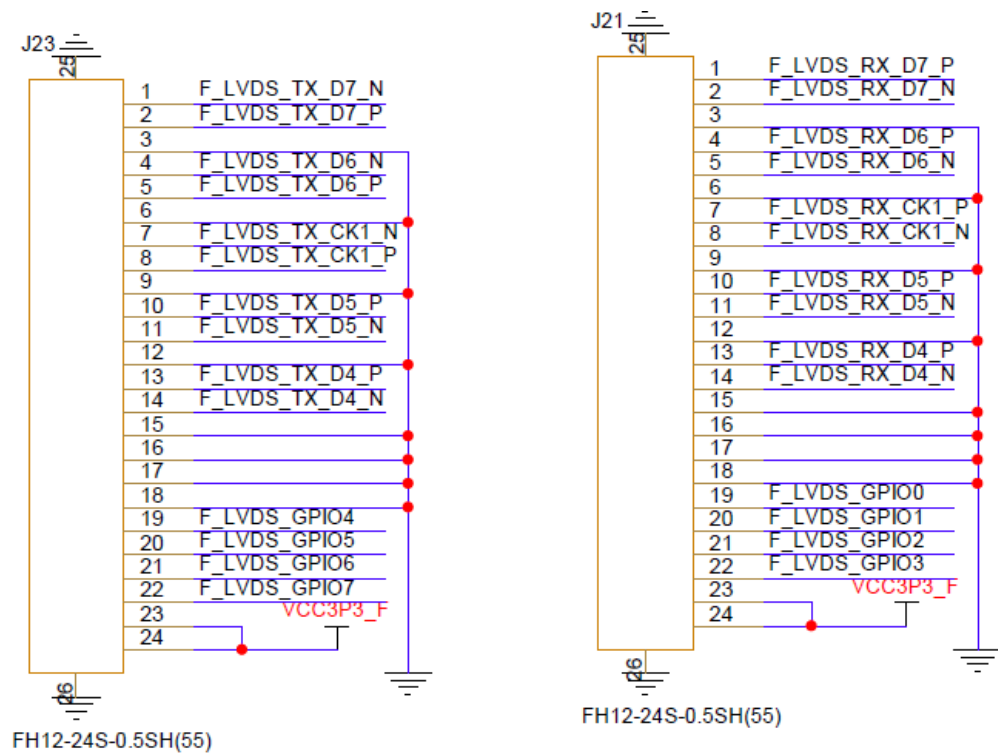
3.5 LVDS インターフェース(FPC)

3.5.1 概要

DK_START_GW5A-LV25LQ144_V1.0 開発ボードには、FPC インターフェース形式の LVDS インターフェースが搭載されています。

- J23 は、4 data + 1 clk を含む LVDS-TX インターフェースです。
- J21 は、4 data + 1 clk を含む LVDS-RX インターフェースです。

図 3-4 LVDS インターフェースの接続図



3.5.2 ピンの割り当て

表 3-4 LVDS-TX インターフェース (J23) のピンの割り当て

J23 のピンの番号	信号名	FPGA(U48) のピンの番号	BANK	I/O 電圧レベル	説明
1	F_LVDS_TX_D7_N	67	2	2.5V	LVDS データ
2	F_LVDS_TX_D7_P	66	2	2.5V	LVDS データ
3	GND	-	-	-	GND
4	F_LVDS_TX_D6_N	65	2	2.5V	LVDS データ
5	F_LVDS_TX_D6_P	64	2	2.5V	LVDS データ
6	GND	-	-	-	GND
7	F_LVDS_TX_CK1_N	62	2	2.5V	LVDS クロック

J23 のピン の番号	信号名	FPGA(U48) の ピン の番号	BANK	I/O 電圧 レベル	説明
8	F_LVDS_TX_CK1_P	61	2	2.5V	LVDS クロ ック
9	GND	-	-	-	GND
10	F_LVDS_TX_D5_P	60	2	2.5V	LVDS デー タ
11	F_LVDS_TX_D5_N	59	2	2.5V	LVDS デー タ
12	GND	-	-	-	GND
13	F_LVDS_TX_D4_P	58	2	2.5V	LVDS デー タ
14	F_LVDS_TX_D4_N	57	2	2.5V	LVDS デー タ
15	GND	-	-	-	GND
16	GND	-	-	-	GND
17	GND	-	-	-	GND
18	GND	-	-	-	GND
19	F_LVDS_GPIO4	56	2		GPIO
20	F_LVDS_GPIO5	54	2		GPIO
21	F_LVDS_GPIO6	52	2		GPIO
22	F_LVDS_GPIO7	50	2		GPIO
23	3.3V	-	-	-	3.3V
24	3.3V	-	-	-	3.3V
25	GND	-	-	-	GND
26	GND	-	-	-	GND

表 3-5 LVDS_RX インターフェース (J21) のピンの割り当て

J21 のピン の番号	信号名	FPGA(U48) の ピン の番号	BANK	I/O 電圧 レベル	説明
1	F_LVDS_RX_D7_P	49	2	2.5V	LVDS デー タ
2	F_LVDS_RX_D7_N	48	2	2.5V	LVDS デー タ

J21 のピン の番号	信号名	FPGA(U48) の ピン の番号	BANK	I/O 電圧 レベル	説明
3	GND	-	-	-	GND
4	F_LVDS_RX_D6_P	47	2	2.5V	LVDS デー タ
5	F_LVDS_RX_D6_N	46	2	2.5V	LVDS デー タ
6	GND	-	-	-	GND
7	F_LVDS_RX_CK1_P	41	2	2.5V	LVDS クロ ック
8	F_LVDS_RX_CK1_N	39	2	2.5V	LVDS クロ ック
9	GND	-	-	-	GND
10	F_LVDS_RX_D5_P	45	2	2.5V	LVDS デー タ
11	F_LVDS_RX_D5_N	44	2	2.5V	LVDS デー タ
12	GND	-	-	-	GND
13	F_LVDS_RX_D4_P	43	2	2.5V	LVDS デー タ
14	F_LVDS_RX_D4_N	42	2	2.5V	LVDS デー タ
15	GND	-	-	-	GND
16	GND	-	-	-	GND
17	GND	-	-	-	GND
18	GND	-	-	-	GND
19	F_LVDS_GPIO0	122	6		GPIO
20	F_LVDS_GPIO1	123	6		GPIO
21	F_LVDS_GPIO2	124	6		GPIO
22	F_LVDS_GPIO3	125	6		GPIO
23	3.3V	-	-	-	3.3V
24	3.3V	-	-	-	3.3V
25	GND	-	-	-	GND

J21 のピン の番号	信号名	FPGA(U48) のピン の番号	BANK	I/O 電圧 レベル	説明
26	GND	-	-	-	GND

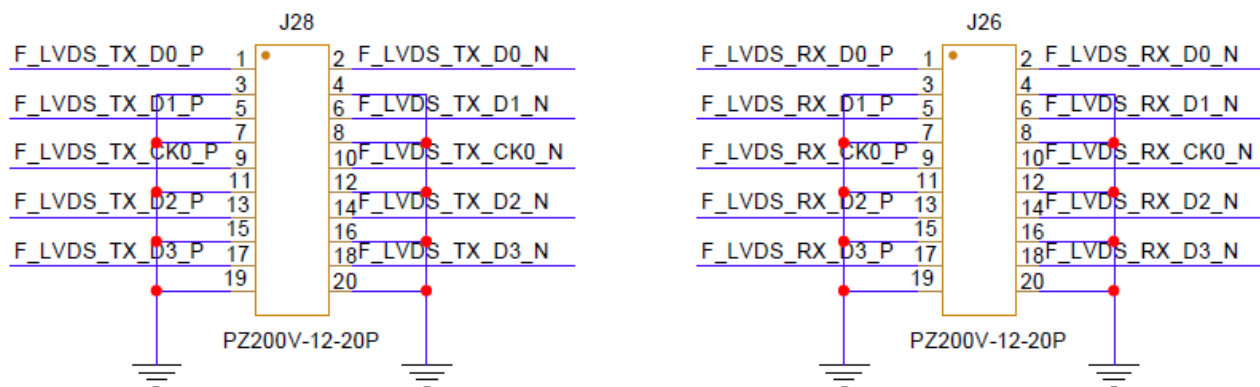
3.6 LVDS インターフェース (PH)

3.6.1 概要

DK_START_GW5A-LV25LQ144_V1.0 開発ボードには、PH(2.0mm ピッチのピンヘッダー)インターフェース形式の LVDS インターフェースが搭載されています。

- J28 は、4 data + 1 clk を含む LVDS-TX インターフェースです。
- J26 は、4 data + 1 clk を含む LVDS-RX インターフェースです。

図 3-5 LVDS インターフェースの接続図



3.6.2 ピンの割り当て

表 3-6 LVDS-TX インターフェース (J28) のピンの割り当て

J28 のピン の番号	信号名	FPGA(U48) のピン の番号	BANK	I/O 電圧 レベル	説明
1	F_LVDS_TX_D0_P	126	6	2.5V	LVDS データ
2	F_LVDS_TX_D0_N	128	6	2.5V	LVDS データ
3	GND	-	-	-	GND
4	GND	-	-	-	GND
5	F_LVDS_TX_D1_P	129	6	2.5V	LVDS データ

J28 のピン の番号	信号名	FPGA(U48) の ピン の番号	BANK	I/O 電圧 レベル	説明
					タ
6	F_LVDS_TX_D1_N	130	6	2.5V	LVDS デー タ
7	GND	-	-	-	GND
8	GND	-	-	-	GND
9	F_LVDS_TX_CK0_P	131	6	2.5V	LVDS クロ ック
10	F_LVDS_TX_CK0_N	134	6	2.5V	LVDS クロ ック
11	GND	-	-	-	GND
12	GND	-	-	-	GND
13	F_LVDS_TX_D2_P	133	6	2.5V	LVDS デー タ
14	F_LVDS_TX_D2_N	135	6	2.5V	LVDS デー タ
15	GND	-	-	-	GND
16	GND	-	-	-	GND
17	F_LVDS_TX_D3_P	136	6	2.5V	LVDS デー タ
18	F_LVDS_TX_D3_N	137	6	2.5V	LVDS デー タ
19	GND	-	-	-	GND
20	GND	-	-	-	GND

表 3-7 LVDS_RX インターフェース (J26) のピンの割り当て

J26 のピン の番号	信号名	FPGA(U48) の ピン の番号	BANK	I/O 電圧 レベル	説明
1	F_LVDS_RX_D0_P	112	6	2.5V	LVDS デー タ
2	F_LVDS_RX_D0_N	110	6	2.5V	LVDS デー タ
3	GND	-	-	-	GND

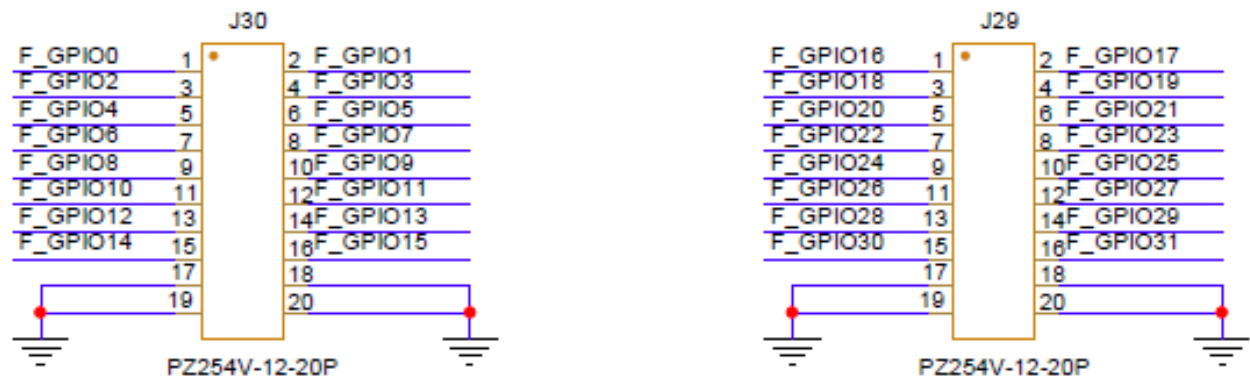
J26 のピン の番号	信号名	FPGA(U48) の ピン の番号	BANK	I/O 電圧 レベル	説明
4	GND	-	-	-	GND
5	F_LVDS_RX_D1_P	116	6	2.5V	LVDS デー タ
6	F_LVDS_RX_D1_N	115	6	2.5V	LVDS デー タ
7	GND	-	-	-	GND
8	GND	-	-	-	GND
9	F_LVDS_RX_CK0_P	114	6	2.5V	LVDS クロ ック
10	F_LVDS_RX_CK0_N	113	6	2.5V	LVDS クロ ック
11	GND	-	-	-	GND
12	GND	-	-	-	GND
13	F_LVDS_RX_D2_P	118	6	2.5V	LVDS デー タ
14	F_LVDS_RX_D2_N	119	6	2.5V	LVDS デー タ
15	GND	-	-	-	GND
16	GND	-	-	-	GND
17	F_LVDS_RX_D3_P	120	6	2.5V	LVDS デー タ
18	F_LVDS_RX_D3_N	121	6	2.5V	LVDS デー タ
19	GND	-	-	-	GND
20	GND	-	-	-	GND

3.7 GPIO

3.7.1 概要

DK_START_GW5A-LV25LQ144_V1.0 開発ボードは、2.54mm ピッチのピンヘッダーで 32 本の GPIO を提供しています。

図 3-6 GPIO の回路図



3.7.2 ピンの割り当て

表 3-8 GPIO のピンの割り当て

信号名	FPGA(U48)のピンの番号	BANK	I/O 電圧レベル
F_GPIO0	140	5	3.3V
F_GPIO1	106	7	3.3V
F_GPIO2	105	7	3.3V
F_GPIO3	104	7	3.3V
F_GPIO4	102	7	3.3V
F_GPIO5	101	7	3.3V
F_GPIO6	99	7	3.3V
F_GPIO7	98	7	3.3V
F_GPIO8	97	7	3.3V
F_GPIO9	96	7	3.3V
F_GPIO10	94	0	3.3V
F_GPIO11	93	0	3.3V
F_GPIO12	92	0	3.3V
F_GPIO13	90	0	3.3V
F_GPIO14	19	4	3.3V
F_GPIO15	20	4	3.3V
F_GPIO16	22	4	3.3V
F_GPIO17	88	0	3.3V

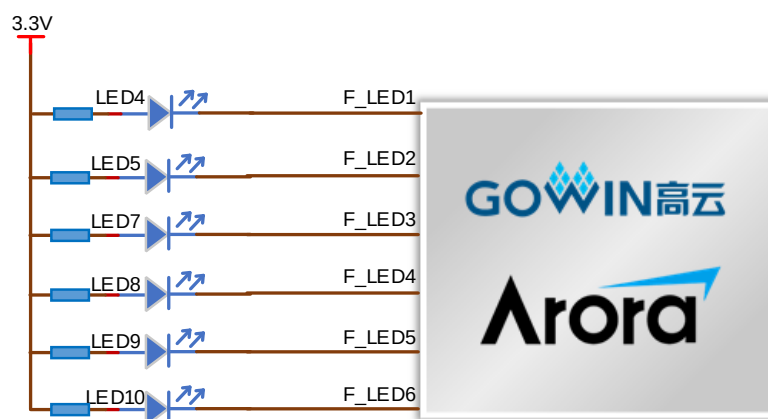
信号名	FPGA(U48)のピンの番号	BANK	I/O 電圧レベル
F_GPIO18	87	0	3.3V
F_GPIO19	86	0	3.3V
F_GPIO20	85	0	3.3V
F_GPIO21	84	0	3.3V
F_GPIO22	83	1	3.3V
F_GPIO23	82	1	3.3V
F_GPIO24	80	1	3.3V
F_GPIO25	79	1	3.3V
F_GPIO26	78	1	3.3V
F_GPIO27	32	3	1.8V
F_GPIO28	76	1	3.3V
F_GPIO29	75	1	3.3V
F_GPIO30	34	3	1.8V
F_GPIO31	35	3	1.8V

3.8 LED & キー & DIP スイッチ

3.8.1 概要

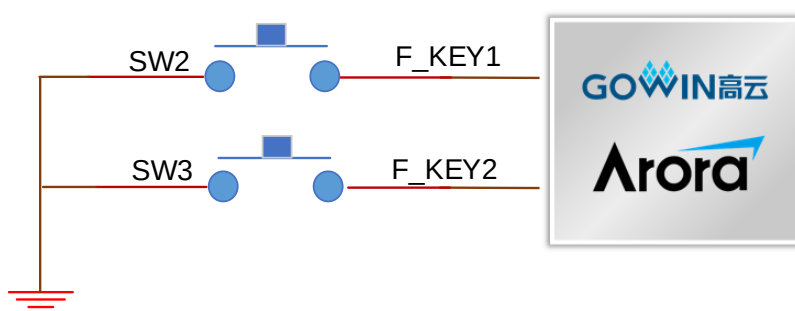
DK_START_GW5A-LV25LQ144_V1.0 開発ボード上の 6 つの LED は、FPGA Bank5 の IO に接続されており、その点灯・消灯はプログラムにより制御することができます。ユーザーLED に接続された IO の電圧が Low の場合ユーザーLED は点灯し、接続された IO の電圧が High の場合ユーザーLED は消灯します。その接続図を図 3-7 に示します。

図 3-7 LED の接続図



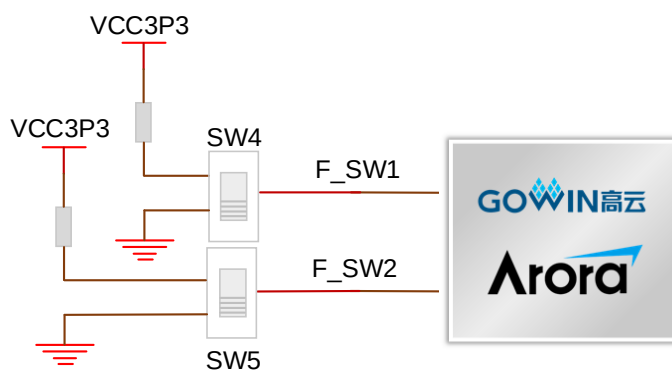
開発ボードには、FPGA の Bank4 の通常の IO に接続される 2 つのキーがあります。キーが押されると FPGA の対応する IO 入力電圧は Low になります。その接続図を図 3-8 に示します。

図 3-8 キーの接続図



開発ボードには、FPGA の Bank4 の通常の IO に接続される 2 つの DIP スイッチがあります。その接続図は次のとおりです。

図 3-9 DIP スイッチの接続図



注記：

開発ボードの端に近い側の DIP スイッチのピンは、グランド(GND)に接続されています。

3.8.2 ピンの割り当て

表 3-9 ピンの割り当て

信号名	FPGA(U48)のピンの番号	BANK	I/O 電圧レベル	説明
F_LED1	3	5	3.3V	LED
F_LED2	4	5	3.3V	LED
F_LED3	7	5	3.3V	LED
F_LED4	8	5	3.3V	LED
F_LED5	143	5	3.3V	LED
F_LED6	144	5	3.3V	LED
F_KEY1	10	4	3.3V	キー
F_KEY2	11	4	3.3V	キー
F_SW1	13	4	3.3V	DIP スイッチ
F_SW2	14	4	3.3V	DIP スイッチ

