

# DK\_USB\_GW5AT-LV60UG225\_V1.1 開発ボ ード

## ユーザーガイド

## 著作権について(2026)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

**GOWIN** 及び **Gowin** は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

## 免責事項

当社は、**GOWINSEMI Terms and Conditions of Sale**(GOWINSEMI 取引条件)に規定されている内容を除き、(明示的か又は黙示的に拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

| 日付         | バージョン  | 説明                         |
|------------|--------|----------------------------|
| 2025/08/29 | 1.0J   | 初版。                        |
| 2026/03/13 | 1.0.1J | 「2.1 概要」における DDR3 の説明を最適化。 |

# 目次

|                              |          |
|------------------------------|----------|
| 目次 .....                     | i        |
| 図一覧 .....                    | iii      |
| 表一覧 .....                    | iv       |
| <b>1 本マニュアルについて .....</b>    | <b>1</b> |
| 1.1 マニュアルの内容 .....           | 1        |
| 1.2 関連ドキュメント .....           | 1        |
| 1.3 用語、略語 .....              | 1        |
| 1.4 テクニカル・サポートとフィードバック ..... | 2        |
| <b>2 開発ボードの紹介 .....</b>      | <b>3</b> |
| 2.1 概要 .....                 | 3        |
| 2.2 開発ボードキット .....           | 4        |
| 2.3 PCB のコンポーネント .....       | 5        |
| 2.4 ブロック図 .....              | 6        |
| 2.5 特徴 .....                 | 6        |
| <b>3 開発ボードの回路 .....</b>      | <b>8</b> |
| 3.1 FPGA .....               | 8        |
| 3.1.1 概要 .....               | 8        |
| 3.1.2 I/O Bank の説明 .....     | 8        |
| 3.2 電源 .....                 | 8        |
| 3.2.1 概要 .....               | 8        |
| 3.2.2 電源の割り当て .....          | 9        |
| 3.3 ダウンロード・モジュール .....       | 10       |
| 3.3.1 概要 .....               | 10       |
| 3.3.2 ピンの割り当て .....          | 10       |
| 3.4 クロック .....               | 10       |

|                            |    |
|----------------------------|----|
| 3.4.1 概要 .....             | 10 |
| 3.4.2 ピンの割り当て .....        | 11 |
| 3.5 DDR3 モジュール .....       | 11 |
| 3.5.1 概要 .....             | 11 |
| 3.5.2 ピンの割り当て .....        | 12 |
| 3.6 HDMI-RX インターフェース ..... | 14 |
| 3.6.1 概要 .....             | 14 |
| 3.6.2 ピンの割り当て .....        | 15 |
| 3.7 MIPI インターフェース .....    | 16 |
| 3.7.1 概要 .....             | 16 |
| 3.7.2 ピンの割り当て .....        | 16 |
| 3.8 I2C インターフェース .....     | 20 |
| 3.8.1 概要 .....             | 20 |
| 3.8.2 ピンの割り当て .....        | 20 |
| 3.9 キーとインジケータ .....        | 21 |
| 3.9.1 概要 .....             | 21 |
| 3.9.2 ピンの割り当て .....        | 22 |
| 3.10 Type-C インターフェース ..... | 22 |
| 3.10.1 概要 .....            | 22 |
| 3.10.2 ピンの割り当て .....       | 23 |
| 3.11 SDI インターフェース .....    | 24 |
| 3.11.1 概要 .....            | 24 |
| 3.11.2 ピンの割り当て .....       | 25 |

## 図一覧

|                                               |    |
|-----------------------------------------------|----|
| 図 2-1 DK_USB_GW5AT-LV60UG225_V1.1 開発ボード ..... | 3  |
| 図 2-2 開発ボードキット .....                          | 4  |
| 図 2-3 PCB のコンポーネント .....                      | 5  |
| 図 2-4 ブロック図 .....                             | 6  |
| 図 3-1 電源の割り当ての説明図 .....                       | 9  |
| 図 3-2 ダウンロード・インターフェースの接続図.....                | 10 |
| 図 3-3 クロックの接続図 .....                          | 11 |
| 図 3-4 DDR3 のハードウェア接続図 .....                   | 12 |
| 図 3-5 HDMI-RX インターフェースの接続図 .....              | 15 |
| 図 3-6 MIPI CPHY&DPHY ハードコア・インターフェースの接続図 ..... | 16 |
| 図 3-7 I2C インターフェースの接続図 .....                  | 20 |
| 図 3-8 キーの接続図.....                             | 21 |
| 図 3-9 LED の接続図.....                           | 21 |
| 図 3-10 Type-C インターフェースの接続図 .....              | 23 |
| 図 3-11 SDI インターフェースの接続図 .....                 | 25 |

## 表一覧

|                                                   |    |
|---------------------------------------------------|----|
| 表 1-1 用語、略語 .....                                 | 1  |
| 表 3-1 JTAG のピンの割り当て .....                         | 10 |
| 表 3-2 クロック・ピンの割り当て .....                          | 11 |
| 表 3-3 DDR3 メモリの詳細 .....                           | 12 |
| 表 3-4 DDR3 モジュールのピンの割り当て .....                    | 12 |
| 表 3-5 DP-RX インターフェースのピンの割り当て .....                | 15 |
| 表 3-6 MIPI CPHY&DPHY ハードコア・インターフェースのピンの割り当て ..... | 16 |
| 表 3-7 I2C インターフェース J21 のピンの割り当て .....             | 20 |
| 表 3-8 キーモジュールのピンの割り当て .....                       | 22 |
| 表 3-9 LED のピンの割り当て .....                          | 22 |
| 表 3-10 Type-C インターフェースのピンの割り当て .....              | 23 |
| 表 3-11 SDI インターフェースのピンの割り当て .....                 | 25 |

# 1 本マニュアルについて

## 1.1 マニュアルの内容

本マニュアルは、3つの部分で構成されています。

- 開発ボードの機能の概要。
- 開発ボードの構造およびそのハードウェアリソースの説明。
- 開発ボード上のハードウェア回路の機能およびピンの割り当ての説明。

## 1.2 関連ドキュメント

[ホームページ](#)から、以下の関連ドキュメントがダウンロード、参考できます：

- GW5AT シリーズ FPGA 製品データシート([DS981](#))
- GW5AT-60 デバイス Pinout([UG1222](#))
- GW5AT シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG983](#))
- Arora V 60K FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド([UG718](#))

## 1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

| 用語、略語 | 正式名称                          | 意味          |
|-------|-------------------------------|-------------|
| DDR   | Double Data Rate              | ダブル・データ・レート |
| FPGA  | Field Programmable Gate Array | フィールド・プログラ  |

| 用語、略語 | 正式名称                                | 意味                            |
|-------|-------------------------------------|-------------------------------|
|       |                                     | マブル・ゲート・アレイ                   |
| GPIO  | Gowin Programmable I/O              | Gowin プログラマブル<br>汎用 IO        |
| I2C   | Inter-Integrated Circuit            | 2 線式シリアルバス                    |
| JTAG  | Joint Test Action Group             | ジョイント・テスト・ア<br>クション・グループ      |
| LDO   | Low Dropout Regulator               | 低ドロップアウト・レ<br>ギュレータ           |
| MIPI  | Mobile Industry Processor Interface | モバイル産業用プロセ<br>ッサーインターフェー<br>ス |
| SDI   | Serial digital interface            | シリアル・デジタル・イ<br>ンターフェース        |

## 1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

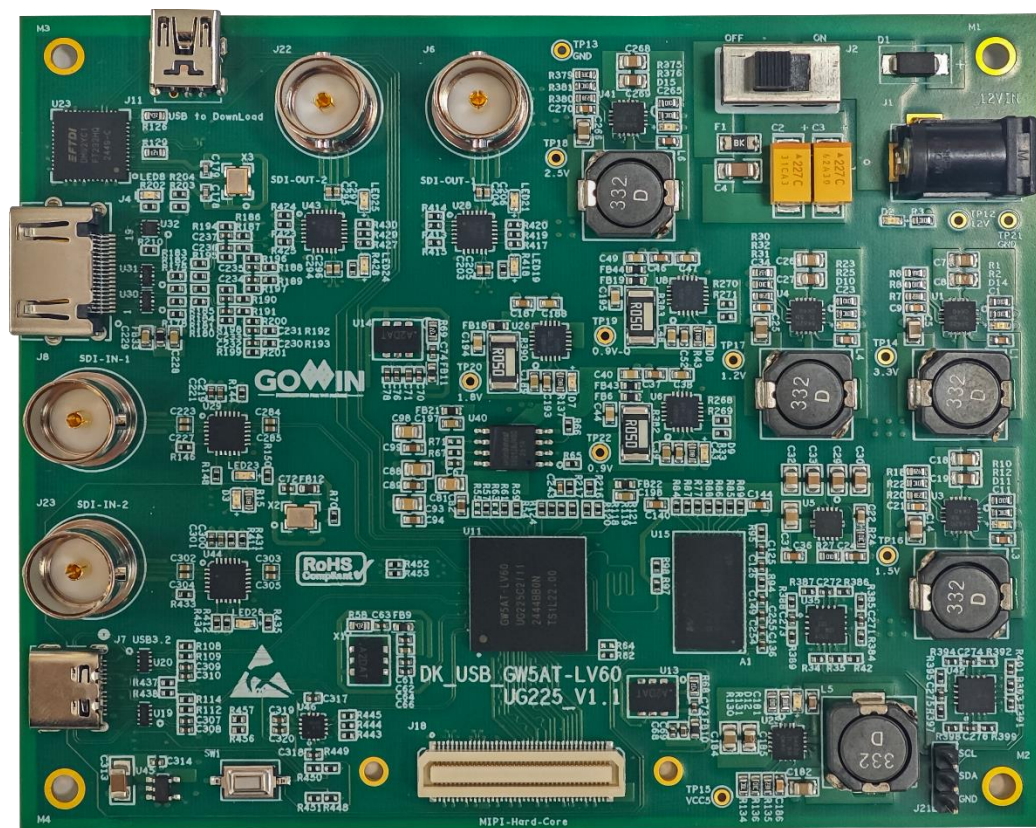
ホームページ : [www.gowinsemi.com/ja](http://www.gowinsemi.com/ja)

E-mail : [support@gowinsemi.com](mailto:support@gowinsemi.com)

# 2 開発ボードの紹介

## 2.1 概要

図 2-1 DK\_USB\_GW5AT-LV60UG225\_V1.1 開発ボード



GOWIN セミコンダクターGW5AT シリーズ FPGA 製品は、豊富なりソースおよび向上したパフォーマンスを提供します。このシリーズの FPGA は、AI コンピューティング対応の新アーキテクチャの高性能 DSP リソース、高速 LVDS インターフェース、豊富なブロック SRAM リソース、独自の研究開発による DDR3 ソリューション、数プロトコル対応の SerDes、およびさまざまなパッケージ・オプションを提供しており、低消費電力、高性能、設計の互換性を重視した各種アプリケーションに最適

です。

DK\_USB\_GW5AT-LV60UG225\_V1.1 開発ボードは、DDR3 高速データ・ストレージ、SDI 高速通信、および MIPI 高速通信に適しています。さらに、SDI-IN インターフェース、SDI-OUT インターフェース、MIPI CPHY インターフェース、MIPI DPHY インターフェース、HDMI インターフェース、Type-C インターフェースなどを統合しており、FPGA の MIPI C/D-PHY、USB3.0、3G/6G SDI 機能評価、ハードウェア信頼性検証、ソフトウェアの学習とデバッグなど、さまざまなアプリケーションに対応しています。

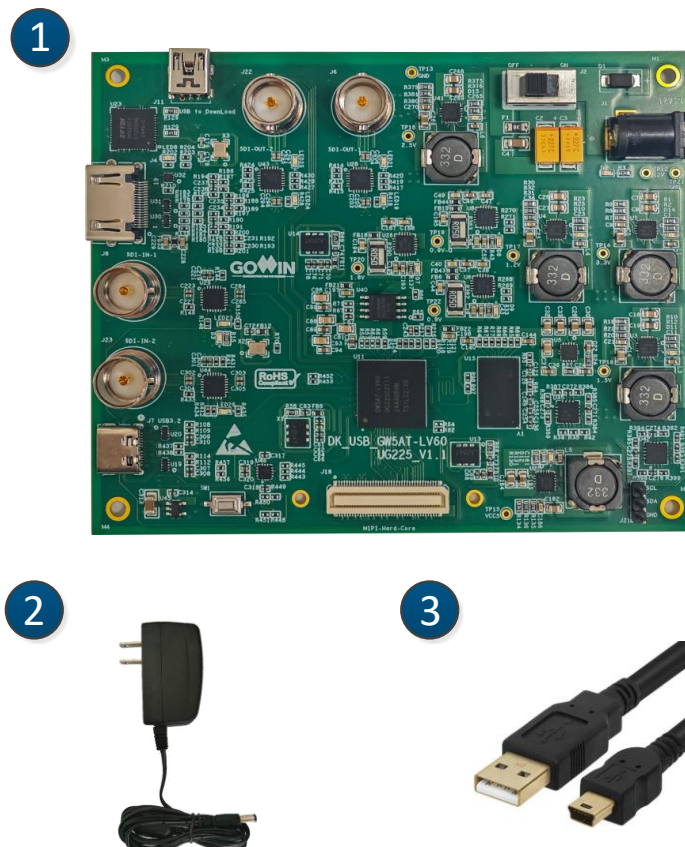
この開発ボードに搭載されている GW5AT-LV60UG225 FPGA の内部リソースについては、『GW5AT シリーズ FPGA 製品データシート (DS981)』を参照してください。

## 2.2 開発ボードキット

開発ボードキットには次のものが含まれています。

1. DK\_USB\_GW5AT-LV60UG225\_V1.1 開発ボード
2. 12V 電源アダプター(入力 : AC 100-240V~50/60Hz 0.6A、出力 : DC 12V 2A)
3. Mini USB-B ダウンロードケーブル

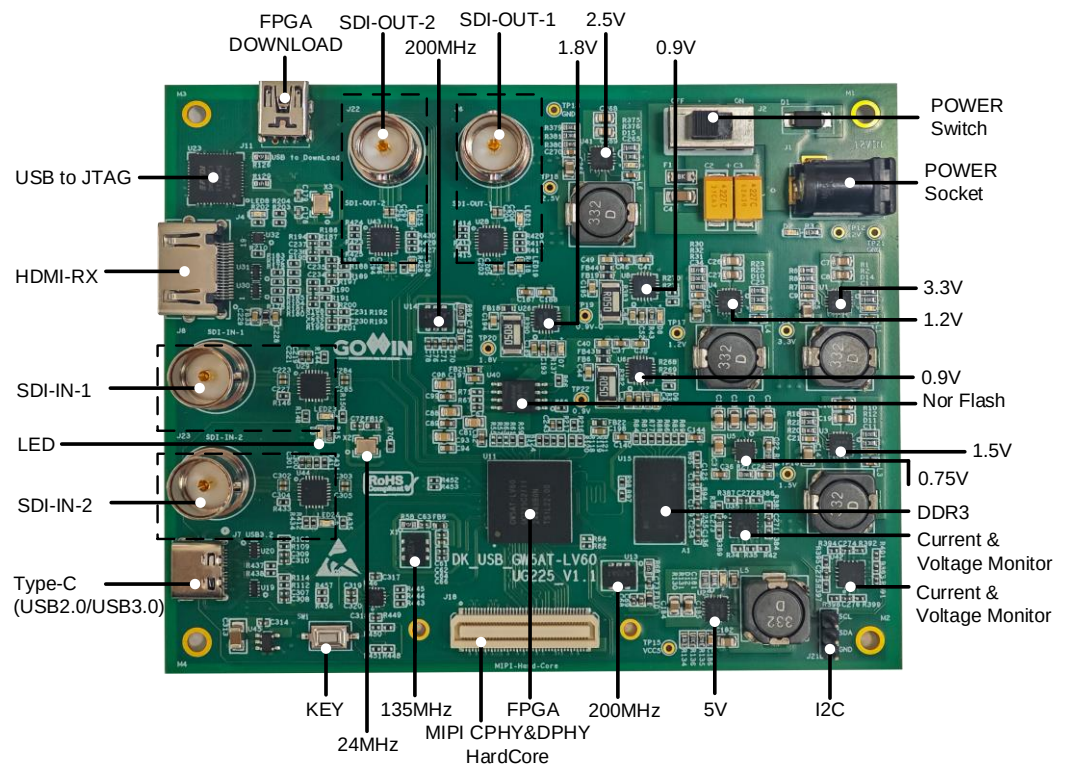
図 2-2 開発ボードキット



- ① DK\_USB\_GW5AT-LV60UG225\_V1.1開発ボード
- ② 12V電源アダプター
- ③ Mini USB-Bダウンロードケーブル

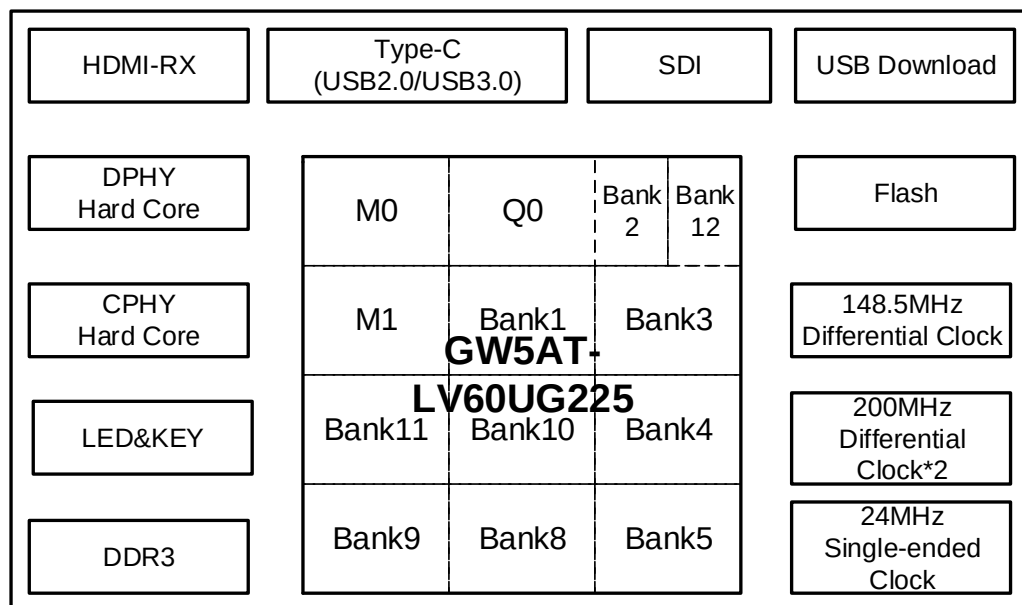
## 2.3 PCB のコンポーネント

図 2-3 PCB のコンポーネント



## 2.4 ブロック図

図 2-4 ブロック図



## 2.5 特徴

開発ボードの主な特徴は次のとおりです。

- **FPGA デバイス**
  - **GW5AT-LV60UG225 FPGA**
- **ダウンロードと起動**
  - **Mini USB-B** インターフェースによるダウンロードに使用される、ボード上の統合 **USB** ダウンロード回路
  - **FPGA** のコンフィギュレーション・データを格納するオフチップ **SPI Flash** を搭載
- **電源供給モード**
  - 外部の **DC 12V/2A** 電源
  - 電源投入後、**POWER** が点灯
  - 開発ボードは、**5V、3.3V、2.5V、1.8V、1.5V、1.2V、0.9V、および 0.75V** の電源を提供
- **クロックシステム**
  - **1 つの 24MHz** のクロック
  - **1 つの 148.5MHz** のクロック
  - **2 つの 200MHz** のクロック
- **メモリ**

- 2Gbit DDR3 SDRAM
- 128Mbit NOR Flash
- HDMI インターフェース
  - 1 つの HDMI-RX インターフェース
- MIPI インターフェース
  - 1 つの CPHY ハードコア・インターフェース(3 つのトリオを含む)
  - 1 つの DPHY ハードコア・インターフェース(4 data + 1 clk を含む)
  - 8 本の予約 GPIO
- Type-C インターフェース
  - USB2.0、USB3.0 プロトコルをサポート
- SDI インターフェース
  - 2 つの SDI-IN インターフェース
  - 2 つの SDI-OUT インターフェース
  - 3G および 6G SDI インターフェースをサポート
- I2C インターフェース
  - 1 つの I2C インターフェース
- キーとインジケータ
  - 1 つのキー
  - 1 つの LED

# 3 開発ボードの回路

## 3.1 FPGA

### 3.1.1 概要

GW5AT シリーズ FPGA 製品のリソースを『GW5AT シリーズ FPGA 製品データシート([DS981](#))』に示します。

### 3.1.2 I/O Bank の説明

詳しくは、『GW5AT シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG983](#))』を参照してください。

## 3.2 電源

### 3.2.1 概要

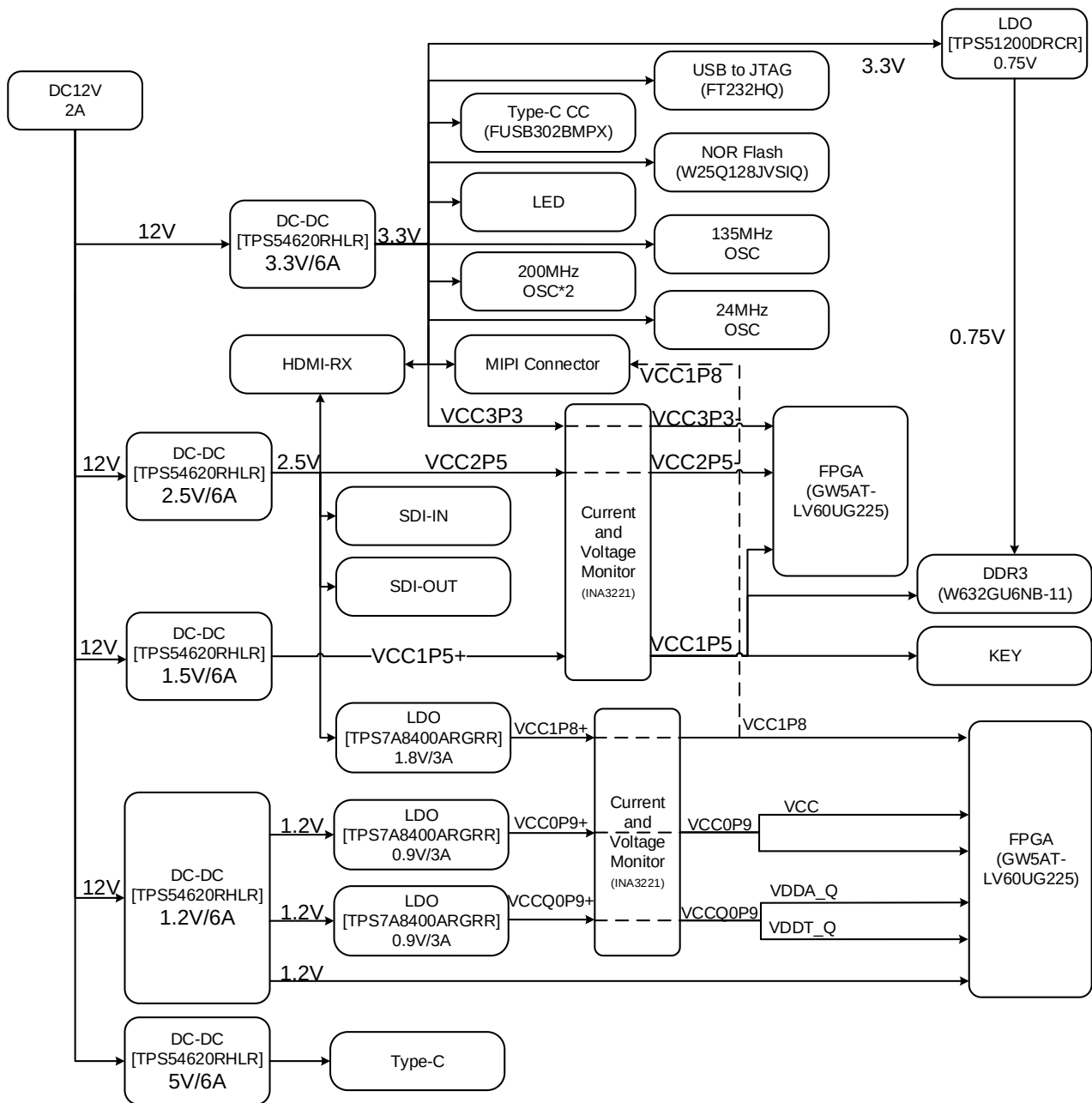
この開発ボードには、12V の電源アダプターが必要です。

電源アダプターの入力 : AC 100-240V~50/60MHz 0.6A、出力 : DC 12V 2A。

ボード上の電源 IC は、入力される 12V を、5V、3.3V、2.5V、1.8V、1.5V、1.2V、0.9V、および 0.75V の電源に変換します。

### 3.2.2 電源の割り当て

図 3-1 電源の割り当ての説明図



## 3.3 ダウンロード・モジュール

### 3.3.1 概要

開発ボードには、Mini USB-B ダウンロード・ポート(J11)があります。このポートを介してコンフィギュレーション・データをオフチップ SPI Flash または SRAM にダウンロードすることができます。

その接続図を図 3-2 に示します。

図 3-2 ダウンロード・インターフェースの接続図



### 3.3.2 ピンの割り当て

表 3-1 JTAG のピンの割り当て

| 信号名   | FPGA のピンの番号 | BANK | I/O 電圧レベル | 説明      |
|-------|-------------|------|-----------|---------|
| F_TCK | C15         | 12   | 3.3V      | JTAG 信号 |
| F_TDO | D15         | 12   | 3.3V      |         |
| F_TDI | B15         | 12   | 3.3V      |         |
| F_TMS | E15         | 12   | 3.3V      |         |

## 3.4 クロック

### 3.4.1 概要

開発ボードは、1つの 24MHz シングルエンド・クロック、1つの 148.5MHz 差動クロック、および 2つの 200MHz 差動クロックを含む複数の FPGA クロック・ソースを提供しています。そのうち 148.5MHz 差動クロックと 1つの 200MHz 差動クロックは、FPGA の SerDes 高速クロック・ピンに接続されています。クロック・ピンの割り当てを図 3-3 に示します。

図 3-3 クロックの接続図



### 3.4.2 ピンの割り当て

表 3-2 クロック・ピンの割り当て

| 信号名           | FPGA のピンの番号 | BANK | I/O 電圧レベル | 説明                  |
|---------------|-------------|------|-----------|---------------------|
| F_CLK_24M     | H5          | 10   | 1.8V      | 50MHz のシングルエンド・クロック |
| F_CLK_200M_P  | K5          | 10   | 1.8V      | 200MHz の差動クロック      |
| F_CLK_200M_N  | J5          | 10   | 1.8V      | 200MHz の差動クロック      |
| Q0_148.5MHz_P | B5          | Q0   | -         | 148.5MHz の差動クロック    |
| Q0_148.5MHz_N | A5          | Q0   | -         | 148.5MHz の差動クロック    |
| Q0_200MHz_P   | D10         | Q0   | -         | 200MHz の差動クロック      |
| Q0_200MHz_N   | C10         | Q0   | -         | 200MHz の差動クロック      |

## 3.5 DDR3 モジュール

### 3.5.1 概要

開発ボードには、1つの 2Gbit DDR3 メモリが搭載されています。DDR3 メモリの信号は、FPGA の BANK8、BANK9 に接続されています。

DDR3 メモリの詳細を表 3-3 に示します。

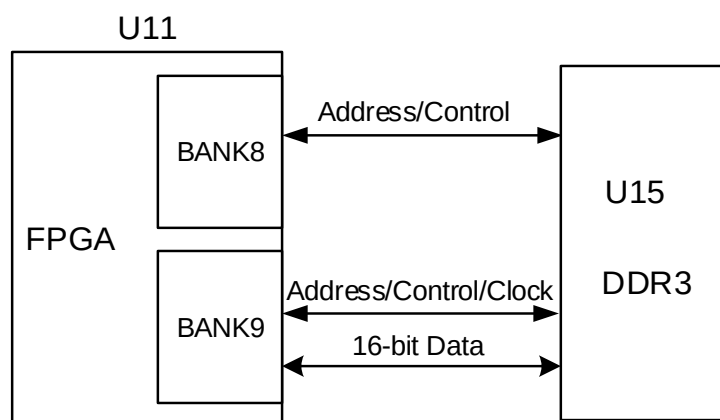
表 3-3 DDR3 メモリの詳細

| 番号  | 容量           |
|-----|--------------|
| U15 | 128M x 16bit |

DDR3 のハードウェア設計では、シグナルインテグリティを厳密に考慮する必要があり、DDR3 の高速で安定した動作を実現するために、終端抵抗、配線のインピーダンス制御、配線の等長化など、回路設計や PCB 設計で十分に考慮されています。

DDR3 メモリのハードウェア接続図は図 3-4 に示すとおりです。

図 3-4 DDR3 のハードウェア接続図



## 3.5.2 ピンの割り当て

表 3-4 DDR3 モジュールのピンの割り当て

| 信号名     | FPGA(U1) の ピンの番号 | BANK | I/O 電圧レベル | 説明   |
|---------|------------------|------|-----------|------|
| DDR3_A0 | L7               | 9    | 1.5V      | アドレス |
| DDR3_A1 | M11              | 8    | 1.5V      | アドレス |
| DDR3_A2 | N11              | 8    | 1.5V      | アドレス |
| DDR3_A3 | N10              | 8    | 1.5V      | アドレス |
| DDR3_A4 | L10              | 8    | 1.5V      | アドレス |
| DDR3_A5 | M10              | 8    | 1.5V      | アドレス |
| DDR3_A6 | L8               | 9    | 1.5V      | アドレス |
| DDR3_A7 | N12              | 8    | 1.5V      | アドレス |
| DDR3_A8 | M9               | 9    | 1.5V      | アドレス |
| DDR3_A9 | R13              | 8    | 1.5V      | アドレス |

| 信号名         | FPGA(U1) の ピン<br>の番号 | BANK | I/O 電圧レ<br>ベル | 説明             |
|-------------|----------------------|------|---------------|----------------|
| DDR3_A10    | P13                  | 8    | 1.5V          | アドレス           |
| DDR3_A11    | K10                  | 8    | 1.5V          | アドレス           |
| DDR3_A12    | R14                  | 8    | 1.5V          | アドレス           |
| DDR3_A13    | P9                   | 9    | 1.5V          | アドレス           |
| DDR3_BA0    | N2                   | 9    | 1.5V          | Bank アドレ<br>ス  |
| DDR3_BA1    | P11                  | 8    | 1.5V          | Bank アドレ<br>ス  |
| DDR3_BA2    | L6                   | 9    | 1.5V          | Bank アドレ<br>ス  |
| DDR3_CS#    | P2                   | 9    | 1.5V          | チップストロ<br>ープ   |
| DDR3_CAS#   | R2                   | 9    | 1.5V          | 列アドレスス<br>トロープ |
| DDR3_CKE    | R12                  | 8    | 1.5V          | クロック・イ<br>ネーブル |
| DDR3_ODT    | N1                   | 9    | 1.5V          | ODT イネー<br>ブル  |
| DDR3_RAS#   | N7                   | 9    | 1.5V          | 行アドレスス<br>トロープ |
| DDR3_RESET  | N9                   | 9    | 1.5V          | リセット           |
| DDR3_WE#    | P1                   | 9    | 1.5V          | 書き込みイネ<br>ーブル  |
| DDR3_CLK0_P | N8                   | 9    | 1.5V          | 差動クロック         |
| DDR3_CLK0_N | M8                   | 9    | 1.5V          | 差動クロック         |
| DDR3_DQ0    | M6                   | 9    | 1.5V          | データ            |
| DDR3_DQ1    | R4                   | 9    | 1.5V          | データ            |
| DDR3_DQ2    | M5                   | 9    | 1.5V          | データ            |
| DDR3_DQ3    | R6                   | 9    | 1.5V          | データ            |
| DDR3_DQ4    | L5                   | 9    | 1.5V          | データ            |
| DDR3_DQ5    | R7                   | 9    | 1.5V          | データ            |

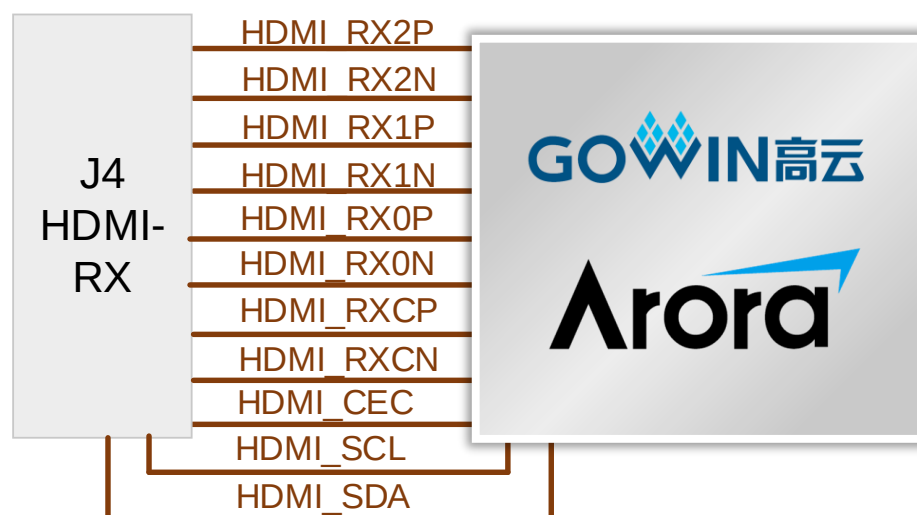
| 信号名          | FPGA(U1) の ピン<br>の番号 | BANK | I/O 電圧レ<br>ベル | 説明           |
|--------------|----------------------|------|---------------|--------------|
| DDR3_DQ6     | N6                   | 9    | 1.5V          | データ          |
| DDR3_DQ7     | P7                   | 9    | 1.5V          | データ          |
| DDR3_DQ8     | M4                   | 9    | 1.5V          | データ          |
| DDR3_DQ9     | M1                   | 9    | 1.5V          | データ          |
| DDR3_DQ10    | N5                   | 9    | 1.5V          | データ          |
| DDR3_DQ11    | L1                   | 9    | 1.5V          | データ          |
| DDR3_DQ12    | N4                   | 9    | 1.5V          | データ          |
| DDR3_DQ13    | L3                   | 9    | 1.5V          | データ          |
| DDR3_DQ14    | P5                   | 9    | 1.5V          | データ          |
| DDR3_DQ15    | L2                   | 9    | 1.5V          | データ          |
| DDR3_LDM0    | R5                   | 9    | 1.5V          | データ入力マ<br>スク |
| DDR3_UDM0    | M3                   | 9    | 1.5V          | データ入力マ<br>スク |
| DDR3_LDQS0_P | R8                   | 9    | 1.5V          | データストロ<br>ープ |
| DDR3_LDQS0_N | R9                   | 9    | 1.5V          | データストロ<br>ープ |
| DDR3_UDQS0_P | R3                   | 9    | 1.5V          | データストロ<br>ープ |
| DDR3_UDQS0_N | P3                   | 9    | 1.5V          | データストロ<br>ープ |

## 3.6 HDMI-RX インターフェース

### 3.6.1 概要

開発ボードには HDMI 受信インターフェースが備わっており、HDMI 信号の受信は、FPGA の内部 IP を介して実装されます。インターフェースの接続図は次のとおりです。

図 3-5 HDMI-RX インターフェースの接続図



### 3.6.2 ピンの割り当て

表 3-5 DP-RX インターフェースのピンの割り当て

| 信号名       | FPGA のピン<br>の番号 | BANK | I/O 電圧レベ<br>ル | 説明                |
|-----------|-----------------|------|---------------|-------------------|
| HDMI_RXCP | D13             | 2    | 2.5V          | HDMI 差動クロッ<br>ク   |
| HDMI_RXCN | C14             | 2    | 2.5V          | HDMI 差動クロッ<br>ク   |
| HDMI_RX0P | B14             | 2    | 2.5V          | HDMI の受信デー<br>タ   |
| HDMI_RX0N | A14             | 2    | 2.5V          | HDMI の受信デー<br>タ   |
| HDMI_RX1P | B13             | 2    | 2.5V          | HDMI の受信デー<br>タ   |
| HDMI_RX1N | A13             | 2    | 2.5V          | HDMI の受信デー<br>タ   |
| HDMI_RX2P | E5              | 1    | 2.5V          | HDMI の受信デー<br>タ   |
| HDMI_RX2N | E6              | 1    | 2.5V          | HDMI の受信デー<br>タ   |
| HDMI_CEC  | H6              | 10   | 3.3V          | CEC               |
| HDMI_SCL  | L9              | 8    | 1.5V          | I2C シリアル・クロ<br>ック |

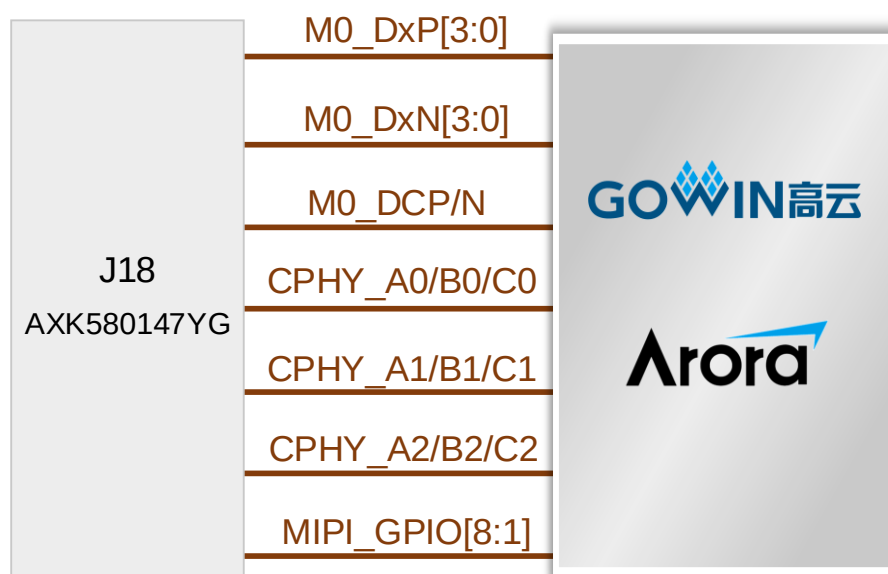
| 信号名      | FPGA のピン<br>の番号 | BANK | I/O 電圧レベ<br>ル | 説明               |
|----------|-----------------|------|---------------|------------------|
| HDMI_SDA | K8              | 8    | 1.5V          | I2C シリアル・デー<br>タ |

## 3.7 MIPI インターフェース

### 3.7.1 概要

開発ボード上の FPGA は、1 つの MIPI CPHY ハードコア・インターフェースと 1 つの MIPI DPHY ハードコア・インターフェースを提供します。MIPI CPHY ハードコア・インターフェース、MIPI DPHY ハードコア・インターフェース、および 8 本の 3.3V 規格 GPIO は、80 ピン 0.5mm ピッチの AXK580147YG コネクタに接続されます。その接続図は次のとおりです。

図 3-6 MIPI CPHY&DPHY ハードコア・インターフェースの接続図



### 3.7.2 ピンの割り当て

表 3-6 MIPI CPHY&DPHY ハードコア・インターフェースのピンの割り当て

| J18<br>ピンの<br>番号 | 信号名    | FPGA<br>の ピン<br>の番号 | BANK | I/O 電圧<br>レベル | 説明                   |
|------------------|--------|---------------------|------|---------------|----------------------|
| 1                | M0_D3N | C2                  | MIPI | -             | MIPI DPHY のデータ<br>信号 |
| 2                | NC     | -                   | -    | -             | フローティング              |

| J18<br>ピンの<br>番号 | 信号名    | FPGA<br>の ピン<br>の番号 | BANK | I/O 電圧<br>レベル | 説明                    |
|------------------|--------|---------------------|------|---------------|-----------------------|
| 3                | M0_D3P | C1                  | MIPI | -             | MIPI DPHY のデータ<br>信号  |
| 4                | NC     | -                   | -    | -             | フローティング               |
| 5                | GND    | -                   | -    | -             | GND                   |
| 6                | GND    | -                   | -    | -             | GND                   |
| 7                | M0_D2N | E3                  | MIPI | -             | MIPI DPHY のデータ<br>信号  |
| 8                | GND    | -                   | -    | -             | GND                   |
| 9                | M0_D2P | F4                  | MIPI | -             | MIPI DPHY のデータ<br>信号  |
| 10               | GND    | -                   | -    | -             | GND                   |
| 11               | GND    | -                   | -    | -             | GND                   |
| 12               | NC     | -                   | -    | -             | フローティング               |
| 13               | M0_DCN | F3                  | MIPI | -             | MIPI DPHY のクロッ<br>ク信号 |
| 14               | NC     | -                   | -    | -             | フローティング               |
| 15               | M0_DCP | G3                  | MIPI | -             | MIPI DPHY のクロッ<br>ク信号 |
| 16               | GND    | -                   | -    | -             | GND                   |
| 17               | GND    | -                   | -    | -             | GND                   |
| 18               | GND    | -                   | -    | -             | GND                   |
| 19               | M0_D1N | H3                  | MIPI | -             | MIPI DPHY のデータ<br>信号  |
| 20               | GND    | -                   | -    | -             | GND                   |
| 21               | M0_D1P | H4                  | MIPI | -             | MIPI DPHY のデータ<br>信号  |
| 22               | VCC1P8 | -                   | -    | 1.8V          | POWER                 |
| 23               | GND    | -                   | -    | -             | GND                   |
| 24               | VCC1P8 | -                   | -    | 1.8V          | POWER                 |
| 25               | M0_D0N | J3                  | MIPI | -             | MIPI DPHY のデータ        |

| J18<br>ピンの<br>番号 | 信号名    | FPGA<br>の ピン<br>の番号 | BANK | I/O 電圧<br>レベル | 説明                   |
|------------------|--------|---------------------|------|---------------|----------------------|
|                  |        |                     |      |               | 信号                   |
| 26               | VCC1P8 | -                   | -    | 1.8V          | POWER                |
| 27               | M0_D0P | J4                  | MIPI | -             | MIPI DPHY のデータ<br>信号 |
| 28               | GND    | -                   | -    | -             | GND                  |
| 29               | GND    | -                   | -    | -             | GND                  |
| 30               | GND    | -                   | -    | -             | GND                  |
| 31               | GND    | -                   | -    | -             | GND                  |
| 32               | NC     | -                   | -    | -             | フローティング              |
| 33               | GND    | -                   | -    | -             | GND                  |
| 34               | NC     | -                   | -    | -             | フローティング              |
| 35               | GND    | -                   | -    | -             | GND                  |
| 36               | GND    | -                   | -    | -             | GND                  |
| 37               | GND    | -                   | -    | -             | GND                  |
| 38               | GND    | -                   | -    | -             | GND                  |
| 39               | GND    | -                   | -    | -             | GND                  |
| 40               | GND    | -                   | -    | -             | GND                  |
| 41               | M1_D0A | D1                  | MIPI | -             | MIPI CPHY のデータ<br>信号 |
| 42               | NC     | -                   | -    | -             | フローティング              |
| 43               | M1_D0B | E2                  | MIPI | -             | MIPI CPHY のデータ<br>信号 |
| 44               | NC     | -                   | -    | -             | フローティング              |
| 45               | M1_D0C | E1                  | MIPI | -             | MIPI CPHY のデータ<br>信号 |
| 46               | GND    | -                   | -    | -             | GND                  |
| 47               | GND    | -                   | -    | -             | GND                  |
| 48               | GND    | -                   | -    | -             | GND                  |
| 49               | GND    | -                   | -    | -             | GND                  |

| J18<br>ピンの<br>番号 | 信号名        | FPGA<br>の ピン<br>の番号 | BANK | I/O 電圧<br>レベル | 説明                   |
|------------------|------------|---------------------|------|---------------|----------------------|
| 50               | GND        | -                   | -    | -             | GND                  |
| 51               | M1_D1A     | F1                  | MIPI | -             | MIPI CPHY のデータ<br>信号 |
| 52               | MIPI_GPIO1 | G5                  | 11   | 3.3V          | 予約 GPIO              |
| 53               | M1_D1B     | G1                  | MIPI | -             | MIPI CPHY のデータ<br>信号 |
| 54               | MIPI_GPIO2 | H12                 | 4    | 3.3V          | 予約 GPIO              |
| 55               | M1_D1C     | G2                  | MIPI | -             | MIPI CPHY のデータ<br>信号 |
| 56               | MIPI_GPIO3 | H15                 | 4    | 3.3V          | 予約 GPIO              |
| 57               | GND        | -                   | -    | -             | GND                  |
| 58               | MIPI_GPIO4 | J15                 | 4    | 3.3V          | 予約 GPIO              |
| 59               | GND        | -                   | -    | -             | GND                  |
| 60               | GND        | -                   | -    | -             | GND                  |
| 61               | M1_D2A     | H1                  | MIPI | -             | MIPI CPHY のデータ<br>信号 |
| 62               | MIPI_GPIO5 | F5                  | 11   | 3.3V          | 予約 GPIO              |
| 63               | M1_D2B     | J1                  | MIPI | -             | MIPI CPHY のデータ<br>信号 |
| 64               | MIPI_GPIO6 | K3                  | 11   | 3.3V          | 予約 GPIO              |
| 65               | M1_D2C     | J2                  | MIPI | -             | MIPI CPHY のデータ<br>信号 |
| 66               | GND        | -                   | -    | -             | GND                  |
| 67               | GND        | -                   | -    | -             | GND                  |
| 68               | MIPI_GPIO7 | K4                  | 11   | 3.3V          | 予約 GPIO              |
| 69               | GND        | -                   | -    | -             | GND                  |
| 70               | MIPI_GPIO8 | G12                 | 4    | 3.3V          | 予約 GPIO              |
| 71               | GND        | -                   | -    | -             | GND                  |
| 72               | GND        | -                   | -    | -             | GND                  |
| 73               | GND        | -                   | -    | -             | GND                  |

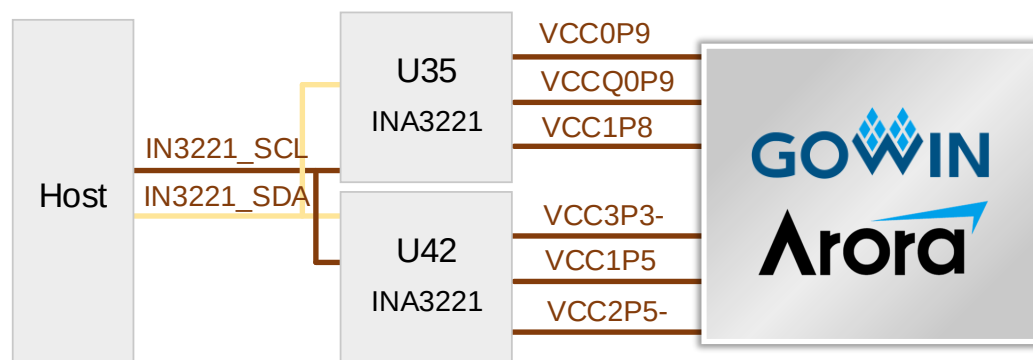
| J18<br>ピンの<br>番号 | 信号名    | FPGA<br>のピン<br>の番号 | BANK | I/O 電圧<br>レベル | 説明    |
|------------------|--------|--------------------|------|---------------|-------|
| 74               | GND    | -                  | -    | -             | GND   |
| 75               | GND    | -                  | -    | -             | GND   |
| 76               | VCC3P3 | -                  | -    | 3.3V          | POWER |
| 77               | GND    | -                  | -    | -             | GND   |
| 78               | VCC3P3 | -                  | -    | 3.3V          | POWER |
| 79               | GND    | -                  | -    | -             | GND   |
| 80               | VCC3P3 | -                  | -    | 3.3V          | POWER |

## 3.8 I2C インターフェース

### 3.8.1 概要

開発ボードは、ホストとの通信用に 1 つの I2C インターフェースを備えています。ホストはこのインターフェースを使用して、FPGA の VCC、VCCX、SerDes、および各 Bank の電圧を監視できます。I2C インターフェースの接続図を図 3-7 に示します。

図 3-7 I2C インターフェースの接続図



### 3.8.2 ピンの割り当て

表 3-7 I2C インターフェース J21 のピンの割り当て

| J21 のピンの<br>番号 | 信号名        | I/O 電圧レベル | 説明        |
|----------------|------------|-----------|-----------|
| 1              | IN3221_SCL | 3.3V      | シリアル・クロック |

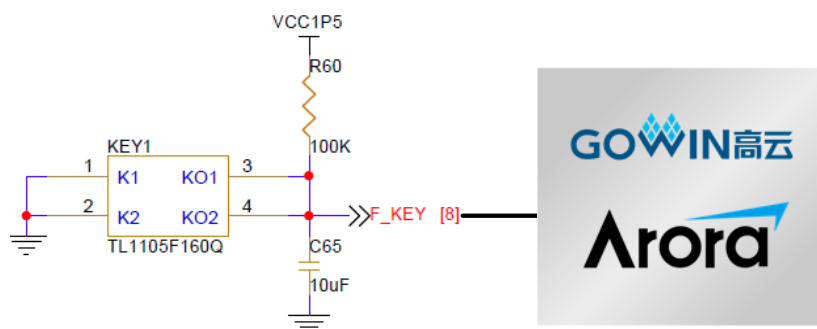
| J21 のピンの番号 | 信号名        | I/O 電圧レベル | 説明       |
|------------|------------|-----------|----------|
| 2          | IN3221_SDA | 3.3V      | シリアル・データ |
| 3          | GND        | -         | GND      |

## 3.9 キーとインジケータ

### 3.9.1 概要

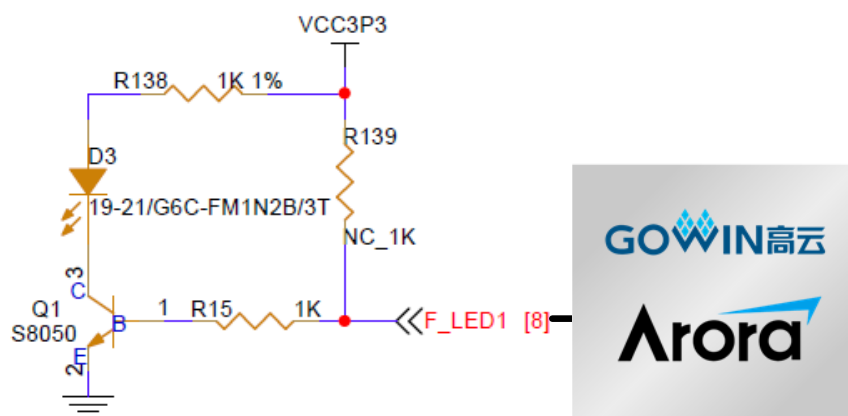
開発ボードには、FPGA の Bank8 の通常の IO に接続される 1 つのユーザーキーがあります。キーが押されると FPGA の対応する IO 入力電圧は Low になり、キーが押されないと FPGA の対応する IO 入力電圧は High になります。その接続図を図 3-8 に示します。

図 3-8 キーの接続図



開発ボード上の 1 つのユーザーLED は、FPGA Bank8 の IO に接続されており、その点灯・消灯はプログラムにより制御することができます。ユーザーLED に接続された IO の電圧が High の場合ユーザーLED は点灯し、接続された IO の電圧が Low の場合ユーザーLED は消灯します。その接続図を図 3-8 に示します。

図 3-9 LED の接続図



### 3.9.2 ピンの割り当て

表 3-8 キーモジュールのピンの割り当て

| 信号名   | FPGA のピン<br>の番号 | BANK | I/O 電圧レベ<br>ル | 説明 |
|-------|-----------------|------|---------------|----|
| F_KEY | R10             | 8    | 1.5V          | キー |

表 3-9 LED のピンの割り当て

| 信号名    | FPGA のピ<br>ンの番号 | BANK | I/O 電圧<br>レベル | 説明  |
|--------|-----------------|------|---------------|-----|
| F_LED1 | R11             | 8    | 1.5V          | LED |

## 3.10 Type-C インターフェース

### 3.10.1 概要

開発ボードは、USB2.0 と USB3.0 対応の Type-C インターフェースを備えています。USB 2.0 は Gowin USB 2.0 SoftPHY IP ソリューションにより実装されており、FPGA との接続には RC 回路が使用されています。周辺回路の詳細については、『Gowin USB 2.0 SoftPHY IP ユーザーガイド ([IPUG781](#))』を参照してください。

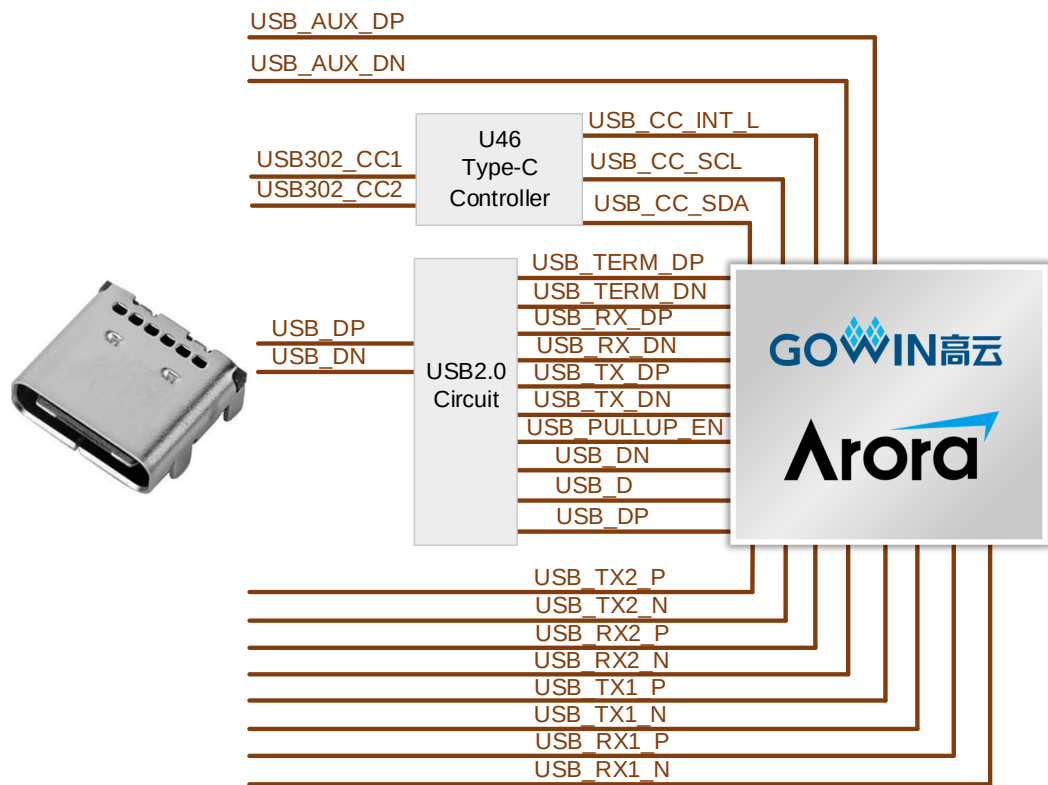
開発ボード上の Type-C インターフェースは、2 つの SerDes 信号を FPGA に接続しています。USB 3.0 は Gowin USB 3.0 PHY IP ソリューションにより実装されています。2024 年 11 月現在、IP V1.2 は 1 つの SerDes レーン信号をサポートしており、Type-C インターフェースでは片面挿入のみサポートされています。今後のアップデートでリバーシブル挿入機能が追加される予定です。

開発ボードには、USB CTS の要件を満たすために、VBUS 電圧を検出する機能が追加されています。

注記：

開発ボード上の CC 回路は未検証であるため、ご使用の際はご注意ください。

図 3-10 Type-C インターフェースの接続図



### 3.10.2 ピンの割り当て

表 3-10 Type-C インターフェースのピンの割り当て

| 信号名        | FPGA のピンの番号 | BANK      | I/O 電圧レベル | 説明                  |
|------------|-------------|-----------|-----------|---------------------|
| USB_TX2_P  | D4          | Serdes Q0 | -         | Type-C TX2+         |
| USB_TX2_N  | C4          | Serdes Q0 | -         | Type-C TX2-         |
| USB_RX2_P  | B3          | Serdes Q0 | -         | Type-C RX2+         |
| USB_RX2_N  | A3          | Serdes Q0 | -         | Type-C RX2-         |
| USB_TX1_P  | D6          | Serdes Q0 | -         | Type-C TX1+         |
| USB_TX1_N  | C6          | Serdes Q0 | -         | Type-C TX1-         |
| USB_RX1_P  | B7          | Serdes Q0 | -         | Type-C RX1+         |
| USB_RX1_N  | A7          | Serdes Q0 | -         | Type-C RX1-         |
| USB_AUX_DP | E7          | 1         | 2.5V      | Type-C SUB1 channel |
| USB_AUX_DN | E8          | 1         | 2.5V      | Type-C SUB2 channel |
| VBUS_DECT  | E9          | 1         | 2.5V      | Type-C VBUS DECT    |
| USB_PWR_EN | J11         | 5         | 3.3V      | VBUS supply enable  |

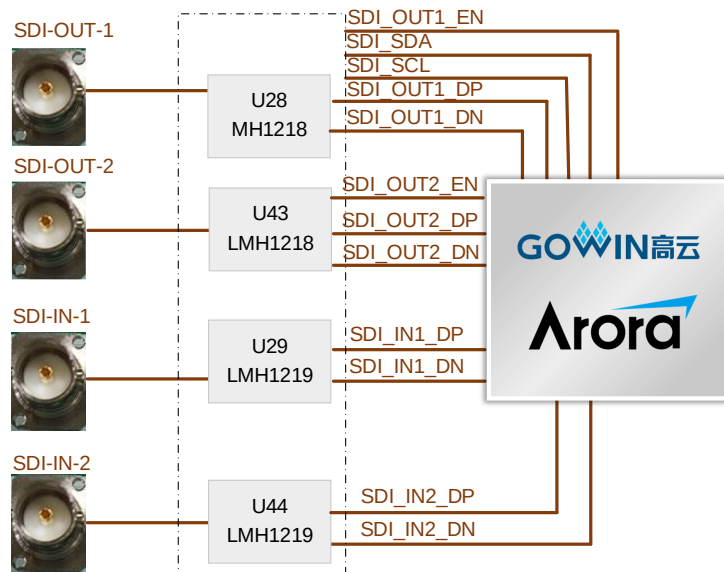
| 信号名           | FPGA のピンの<br>番号 | BANK | I/O 電圧レベ<br>ル | 説明                             |
|---------------|-----------------|------|---------------|--------------------------------|
| USB_CC_INT_L  | G15             | 3    | 3.3V          | FUSB302BMPX control<br>signals |
| USB_CC_SCL    | G11             | 3    | 3.3V          |                                |
| USB_CC_SDA    | F11             | 3    | 3.3V          |                                |
| USB_TX_DP     | L15             | 5    | 3.3V          | USB2.0 Signals                 |
| USB_TX_DN     | M15             | 5    | 3.3V          |                                |
| USB_RX_DP     | L13             | 5    | 3.3V          |                                |
| USB_RX_DN     | L14             | 5    | 3.3V          |                                |
| USB_TERM_DP   | K12             | 5    | 3.3V          |                                |
| USB_TERM_DN   | K13             | 5    | 3.3V          |                                |
| USB_DP        | J13             | 5    | 3.3V          |                                |
| USB_D         | J14             | 5    | 3.3V          |                                |
| USB_DN        | N14             | 5    | 3.3V          |                                |
| USB_D         | N15             | 5    | 3.3V          |                                |
| USB_PULLUP_EN | K11             | 5    | 3.3V          |                                |

## 3.11 SDI インターフェース

### 3.11.1 概要

開発ボードには、2 つの SDI-IN インターフェースと 2 つの SDI-OUT インターフェースが搭載されており、そのコネクタは BNC タイプです。3G SDI と 6G SDI インターフェースの性能評価に使用できます。

図 3-11 SDI インターフェースの接続図



### 3.11.2 ピンの割り当て

表 3-11 SDI インターフェースのピンの割り当て

| 信号名         | FPGA のピン<br>の番号 | BANK      | I/O 電圧<br>レベル | 説明                            |
|-------------|-----------------|-----------|---------------|-------------------------------|
| SDI_OUT1_EN | F10             | 1         | 2.5V          | U28 (LMH1218)出力イネーブル          |
| SDI_OUT2_EN | E10             | 1         | 2.5V          | U43 (LMH1218)出力イネーブル          |
| SDI_SDA     | L12             | 5         | 3.3V          | LMH1218/LMH1219 の<br>I2C 制御信号 |
| SDI_SCL     | M13             | 5         | 3.3V          |                               |
| SDI_OUT2_DP | D8              | Serdes Q0 | -             | LMH1218 IN0+                  |
| SDI_OUT2_DN | C8              | Serdes Q0 | -             | LMH1218 IN0-                  |
| SDI_OUT1_DP | D12             | Serdes Q0 | -             | LMH1218 IN0+                  |
| SDI_OUT1_DN | C12             | Serdes Q0 | -             | LMH1218 IN0-                  |
| SDI_IN2_DP  | B9              | Serdes Q0 | -             | LMH1219 OUT0+                 |
| SDI_IN2_DN  | A9              | Serdes Q0 | -             | LMH1219 OUT0-                 |
| SDI_IN1_DP  | B11             | Serdes Q0 | -             | LMH1219 OUT0+                 |
| SDI_IN1_DN  | A11             | Serdes Q0 | -             | LMH1219 OUT0-                 |

