

DK_VIDEO_GW5AT-LV60UG225_V1.0 開 発ボード

ユーザーガイド

著作権について(2025)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN 高云 及び **Gowin** は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI 取引条件) に規定されている内容を除き、(明示的か又は黙示的に拘わらず) いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2025/03/07	1.0J	初版。

目次

目次	i
図一覧	iv
表一覧	v
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	1
1.4 テクニカル・サポートとフィードバック	2
2 開発ボードの紹介	3
2.1 概要	3
2.1.1 コアボード	4
2.1.2 ベースボード	5
2.2 開発ボードキット	5
2.3 PCB のコンポーネント	7
2.3.1 コアボード	7
2.3.2 ベースボード	8
2.4 ブロック図	8
2.5 特徴	8
3 コアボードの回路	11
3.1 FPGA	11
3.1.1 概要	11
3.1.2 I/O Bank の説明	11
3.2 電源	11
3.2.1 概要	11

3.2.2 電源システムの割り当て	12
3.3 ダウンロード・モジュール	12
3.3.1 概要	12
3.3.2 ピンの割り当て	13
3.4 クロック	13
3.4.1 概要	13
3.4.2 ピンの割り当て	14
3.5 DDR3 モジュール	14
3.5.1 概要	14
3.5.2 ピンの割り当て	14
3.6 リセット・キー	17
3.6.1 概要	17
3.6.2 ピンの割り当て	17
3.7 ボードレベルのコネクタ	17
3.7.1 概要	17
3.7.2 ピンの割り当て	18
4 ベースボードの回路	26
4.1 電源	26
4.1.1 概要	26
4.1.2 電源システムの割り当て	27
4.2 クロック	27
4.2.1 概要	27
4.2.2 ピンの割り当て	28
4.3 UART インターフェース	28
4.3.1 概要	28
4.3.2 ピンの割り当て	28
4.4 DP インターフェース	29
4.4.1 概要	29
4.4.2 ピンの割り当て	29
4.5 HDMI インターフェース	32
4.5.1 概要	32

4.5.2 ピンの割り当て	32
4.6 LVDS インターフェース	33
4.6.1 概要	33
4.6.2 ピンの割り当て	33
4.7 MIPI インターフェース	35
4.7.1 概要	35
4.7.2 ピンの割り当て	37
5 デモ	43

図一覧

図 2-1 DK_VIDEO_GW5AT-LV60UG225_V1.0 開発ボード	3
図 2-2 DK_VIDEO_GW5AT-LV60UG225_V1.0 コアボード	4
図 2-3 DK_VIDEO_GW5AT-LV60UG225_V1.0 ベースボード	5
図 2-4 開発ボードキット	6
図 2-5 PCB のコンポーネント	7
図 2-6 PCB のコンポーネント	8
図 2-7 ブロック図	8
図 3-1 電源の割り当ての説明図	12
図 3-2 ダウンロード・インターフェースの接続図	13
図 3-3 クロックの接続図	13
図 3-4 DDR3 のハードウェア接続図	14
図 3-5 キーの接続図	17
図 4-1 電源の割り当ての説明図	27
図 4-2 クロックの接続図	27
図 4-3 UART インターフェースの接続図	28
図 4-4 DP-TX インターフェースの接続図	29
図 4-5 DP-RX インターフェースの接続図	29
図 4-6 HDMI インターフェースの接続図	32
図 4-7 LVDS インターフェースの接続図	33
図 4-8 MIPI CPHY ハードコア・インターフェースの接続図	36
図 4-9 MIPI DPHY ハードコア・インターフェースの接続図	36
図 4-10 MIPI DPHY ソフトコア・インターフェースの接続図	36
図 4-11 MIPI DPHY DSI インターフェースの接続図	37

表一覧

表 1-1 用語、略語	1
表 3-1 JTAG のピンの割り当て	13
表 3-2 クロック・ピンの割り当て	14
表 3-3 DDR3 メモリの詳細	14
表 3-4 DDR3 モジュールのピンの割り当て	14
表 3-5 キーモジュールのピンの割り当て	17
表 3-6 ボードレベルのコネクタ(J1)のピンの割り当て	18
表 3-7 ボードレベルのコネクタ(J2)のピンの割り当て	21
表 4-1 クロック・ピンの割り当て	28
表 4-2 UART のピンの割り当て	28
表 4-3 DP-TX インターフェースのピンの割り当て	29
表 4-4 DP-RX インターフェースのピンの割り当て	31
表 4-5 HDMI インターフェースのピンの割り当て	32
表 4-6 LVDS インターフェースのピンの割り当て	33
表 4-7 MIPI CPHY ハードコア・インターフェースのピンの割り当て	37
表 4-8 MIPI DPHY ハードコア・インターフェースのピンの割り当て	39
表 4-9 MIPI DPHY ソフトコア・インターフェースのピンの割り当て	40
表 4-10 MIPI DPHY DSI インターフェースのピンの割り当て	41
表 5-1 基本デモの紹介	43
表 5-2 画像デモの紹介	44

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、3つの部分で構成されています。

- 開発ボードの機能の概要。
- 開発ボードの構造およびそのハードウェアリソースの説明。
- コアボードとベースボード(キャリアボード)上のハードウェア回路の機能およびピンの割り当ての説明。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW5AT シリーズ FPGA 製品データシート([DS981](#))
- GW5AT-60 デバイス Pinout([UG1222](#))
- GW5AT シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG983](#))
- Arora V 60K FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド([UG718](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
DDR	Double Data Rate	ダブル・データ・レート
DP	DisplayPort	ディスプレイポート

用語、略語	正式名称	意味
DSI	Display Serial Interface	ディスプレイ・シリアル・インターフェース
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
GPIO	Gowin Programmable I/O	Gowin プログラマブル汎用 IO
HDMI	High-Definition Multimedia Interface	高精細度マルチメディア・インターフェース
LVDS	Low-Voltage Differential Signaling	低電圧差動信号
MIPI	Mobile Industry Processor Interface	モバイル産業用プロセッサ・インターフェース
UART	Universal Asynchronous Receiver/Transmitter	汎用非同期送受信機

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

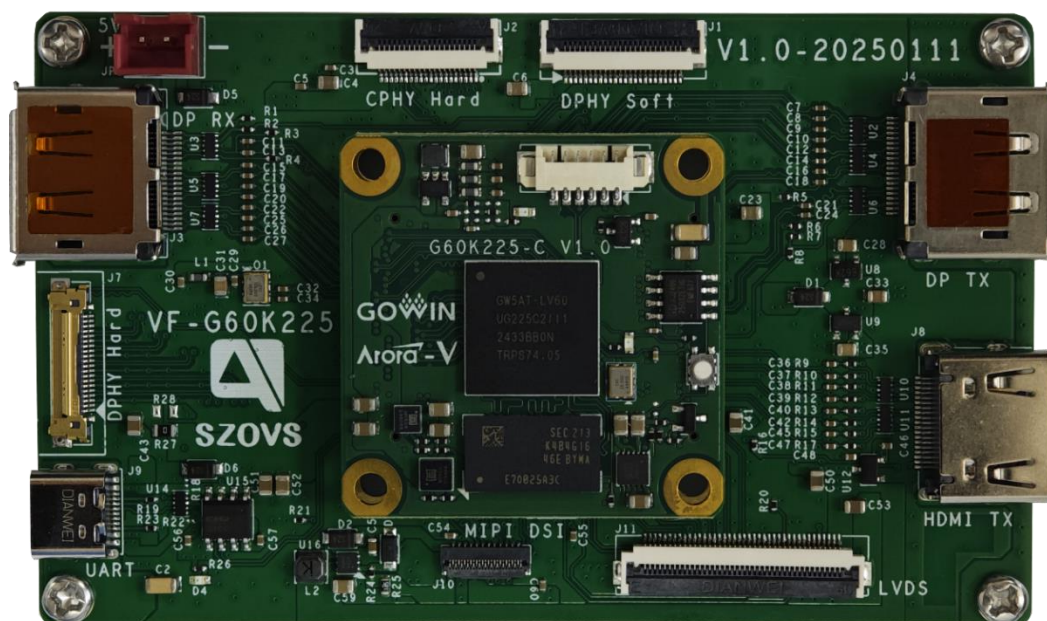
ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 開発ボードの紹介

2.1 概要

図 2-1 DK_VIDEO_GW5AT-LV60UG225_V1.0 開発ボード

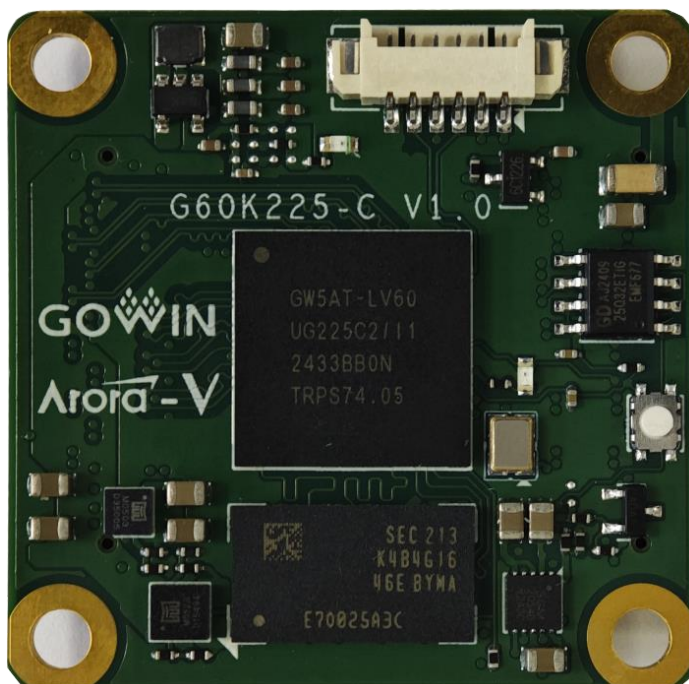


DK_VIDEO_GW5AT-LV60UG225_V1.0 開発ボードは、DDR3 に基づく高速データストレージ、MIPI, SerDes に基づく高速通信、FPGA の MIPI C/D-PHY 機能の評価と、ハードウェア信頼性の検証と、ソフトウェアの学習およびデバッグなどに適しています。

開発ボードは、DK_VIDEO_GW5AT-LV60UG225_V1.0 コアボード（以下、コアボード）と DK_VIDEO_GW5AT-LV60UG225_V1.0 ベースボード（以下、ベースボード）で構成されています。

2.1.1 コアボード

図 2-2 DK_VIDEO_GW5AT-LV60UG225_V1.0 コアボード

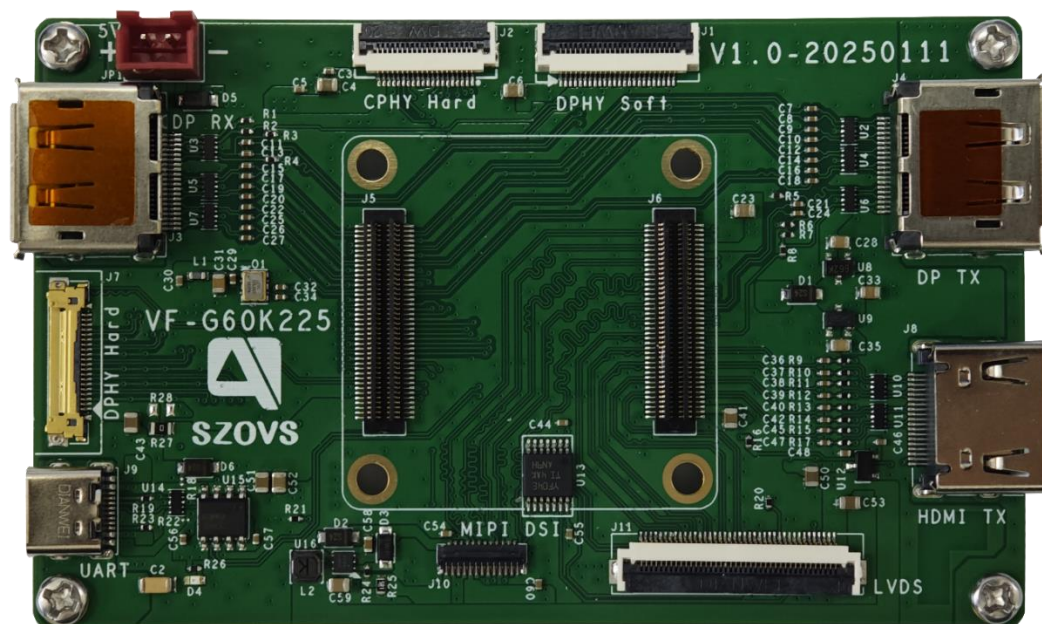


DK_VIDEO_GW5AT-LV60UG225_V1.0 コアボード上の GOWIN セミコンダクターGW5AT シリーズ FPGA 製品は、豊富なリソースおよび向上したパフォーマンスを提供します。このシリーズの FPGA は、AI コンピューティング対応の新アーキテクチャの高性能 DSP リソース、高速 LVDS インターフェース、豊富なブロック SRAM リソース、独自の研究開発による DDR3 ソリューション、数プロトコル対応の SerDes、およびさまざまなパッケージ・オプションを提供しており、低消費電力、高性能、設計の互換性を重視した各種アプリケーションに最適です。

コアボードに搭載されている GW5AT-LV60UG225 FPGA の内部リソースについては、『GW5AT シリーズ FPGA 製品データシート([DS981](#))』を参照してください。

2.1.2 ベースボード

図 2-3 DK_VIDEO_GW5AT-LV60UG225_V1.0 ベースボード



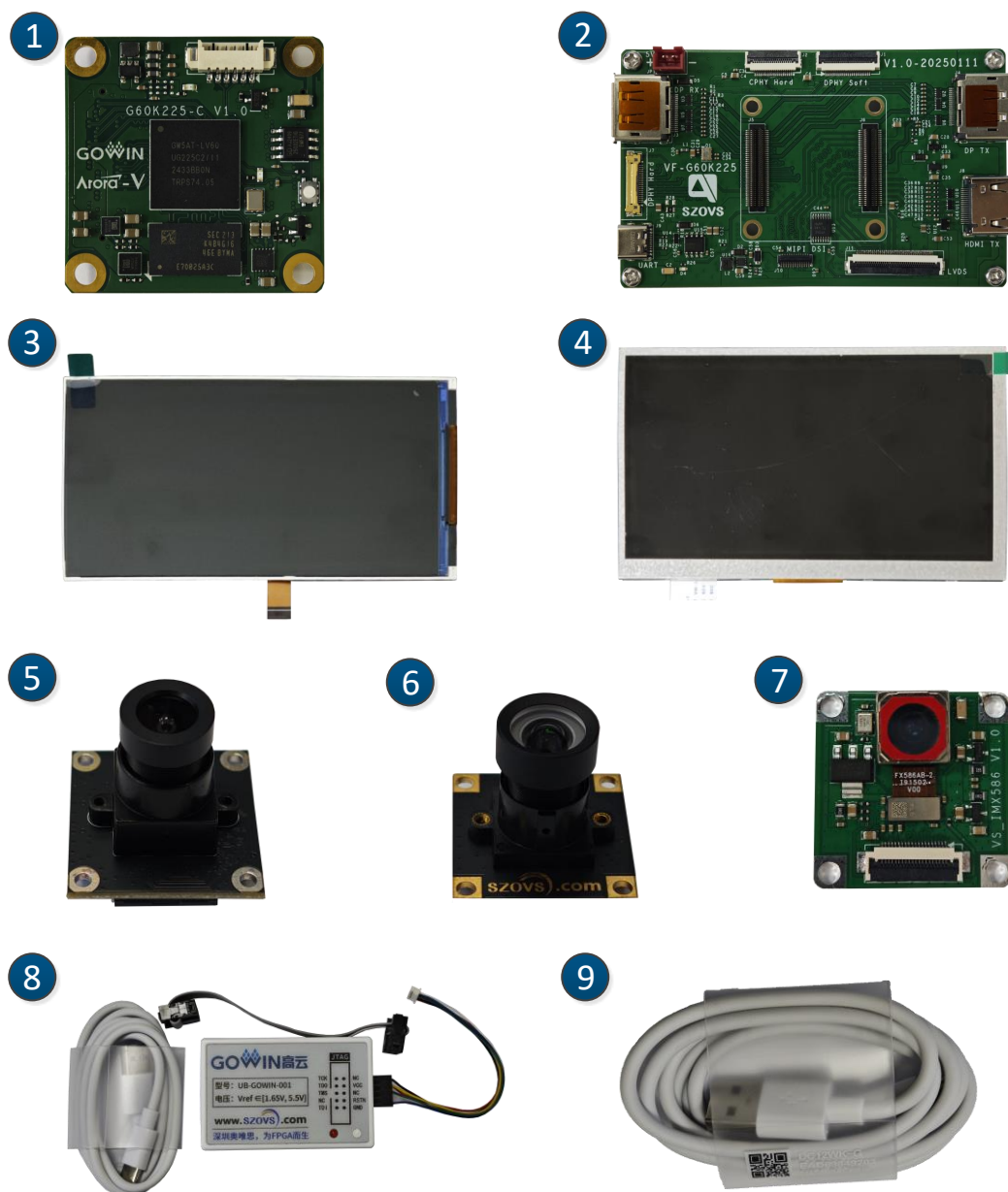
ベースボードは、DK_VIDEO_GW5AT-LV60UG225_V1.0 コアボードと一緒に使用する必要があります。ベースボードには、LVDS、DP、HDMI、MIPI CPHY、MIPI DPHY、MIPI DPHY DSI など、複数のインターフェースが統合されています。

2.2 開発ボードキット

開発ボードキットには次のものが含まれます。

1. DK_VIDEO_GW5AT-LV60UG225_V1.0 コアボード
2. DK_VIDEO_GW5AT-LV60UG225_V1.0 ベースボード
3. 1080×1920 MIPI 液晶ディスプレイ
4. 1024×600 LVDS/RGB 液晶ディスプレイ
5. SC130GS モジュール(130 万画素、MIPI、グローバル、白黒)
6. SC2210 モジュール(200 万画素、MIPI、ローラーシャッター、カラー)
7. IMX586 モジュール(4800 万画素、CPHY、ローラーシャッター、カラー)
8. USB ダウンローダ
9. Type-C ケーブル

図 2-4 開発ボードキット



- ① DK_VIDEO_GW5AT-LV60UG225_V1.0コアボード
- ② DK_VIDEO_GW5AT-LV60UG225_V1.0ベースボード
- ③ 1080×1920 MIPI液晶ディスプレイ
- ④ 1024×600 LVDS/RGB LCDスクリーン
- ⑤ SC130GSモジュール(130万画素、MIPI、グローバル、白黒)
- ⑥ SC2210モジュール(200万画素、MIPI、グローバル、白黒)

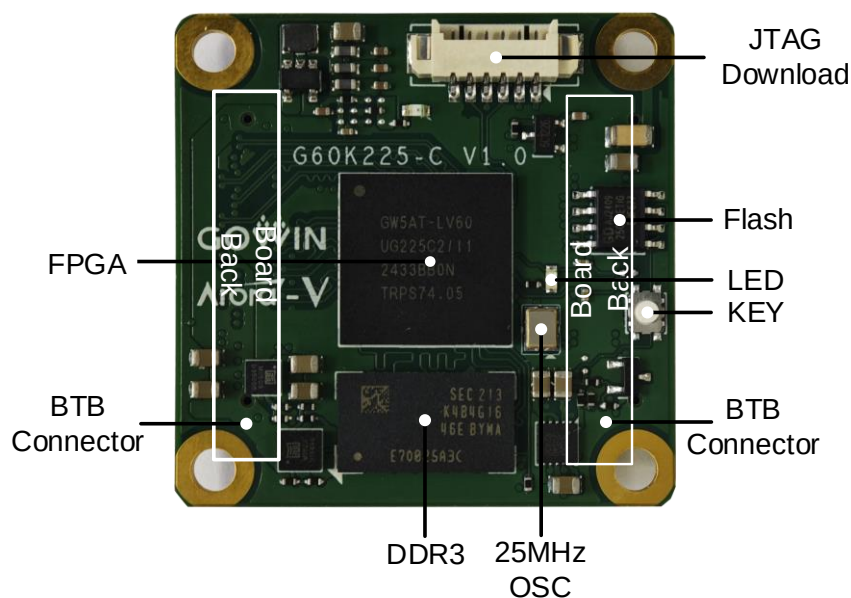
素、MIPI、ローラーシャッター、カラー)

- ⑦ IMX586モジュール(4800万画素、CPHY、ローラーシャッター、カラー)
- ⑧ USBダウンロード
- ⑨ Type-Cケーブル

2.3 PCB のコンポーネント

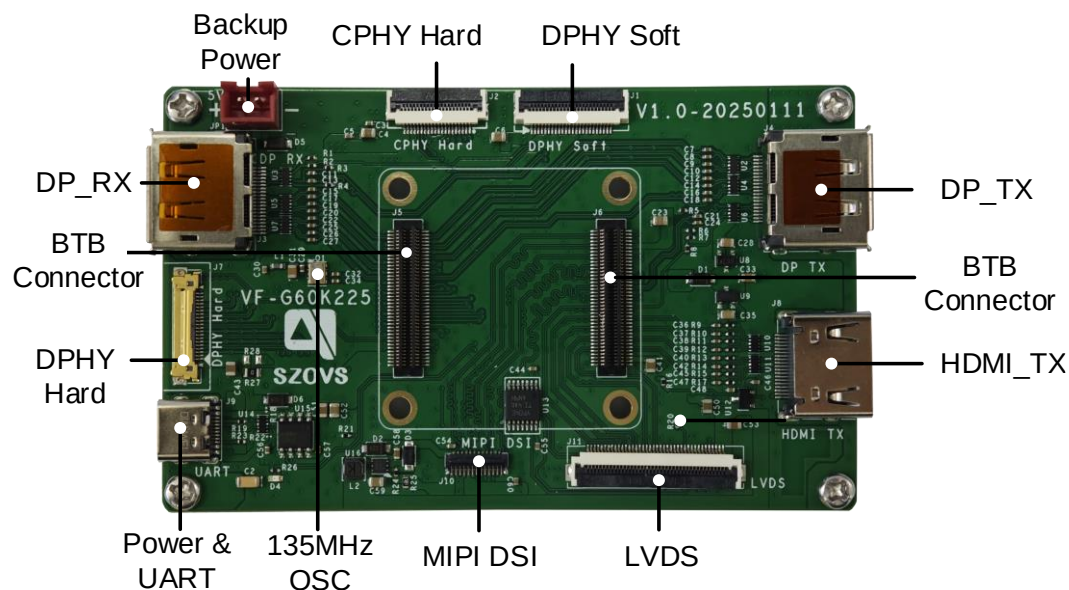
2.3.1 コアボード

図 2-5 PCB のコンポーネント



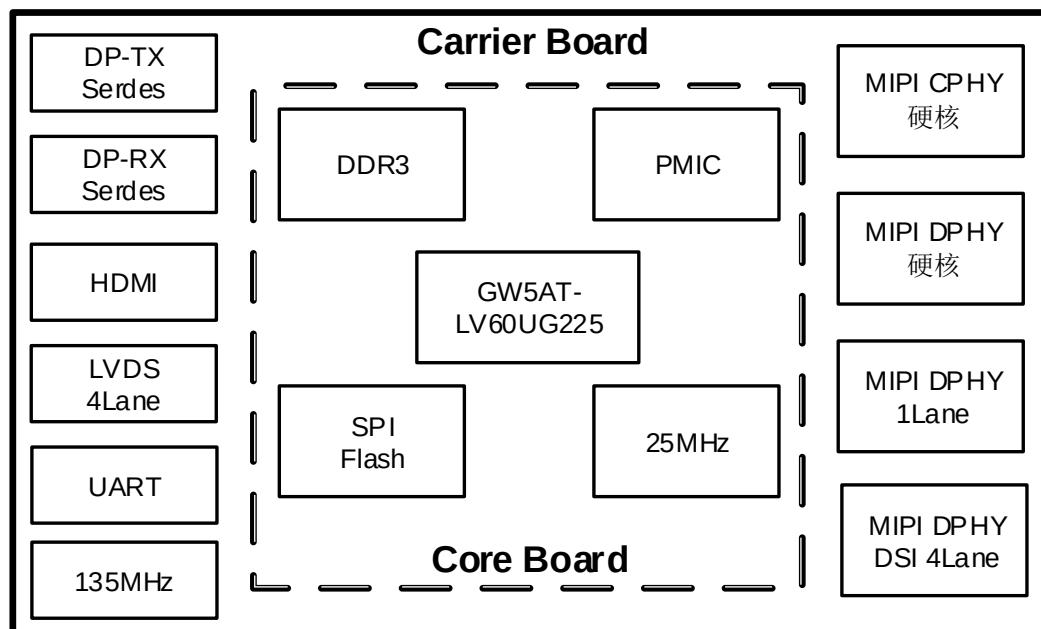
2.3.2 ベースボード

図 2-6 PCB のコンポーネント



2.4 ブロック図

図 2-7 ブロック図



2.5 特徴

開発ボードの主な特徴は次のとおりです。

- FPGA デバイス
 - GW5AT-LV60UG225 FPGA

- ダウンロードと起動
 - コアボードには **JTAG** インターフェースが統合されている。ダウンロードは **USB** ダウンローダを介して行われる。
 - オフチップ **Flash** による起動
 - 読み込み後、**DONE** ライトが点灯
- 電源供給モード
 - ベースボードの **USB Type-C** ポート (**J9**) または **XH2.54-2P** コネクタ (**JP1**) から **5V** 電源が供給される
 - ベースボードはコアボードに電源を供給。コアボードは **3.3V**、**1.8V**、**1.5V**、**1.2V**、**1.0V** の電源を生成
 - ベースボードは **3.3V** と **2.8V** の電源を生成
- クロックシステム
 - 1つの **25MHz** のシングルエンド・クロック
 - 1つの **135MHz** の差動クロック
- メモリ
 - **4Gbit DDR3 SDRAM**
 - **32Mbit NOR Flash**
- **HDMI** インターフェース
 - 1つの **HDMI** インターフェース
- **DP** インターフェース
 - 1つの **DP-TX** インターフェース
 - 1つの **DP-RX** インターフェース
 - **Display Port** コネクタ
- **MIPI** インターフェース
 - 1つの **MIPI CPHY** ハードコア(3つのトリオを含む)
 - 1つの **MIPI DPHY** ハードコア(4 data + 1 clk を含む)
 - 1つの **MIPI DPHY** ソフトコア(4 data + 1 clk を含む)
 - 1つの **MIPI DPHY DSI**(4 data + 1 clk を含む)
- **LVDS** インターフェース
 - 5ペアの差動信号(4 data + 1 clk)と 6つの制御信号を含む
- **UART** インターフェース
 - 1つの **UART** インターフェース
 - **USB Type-C** コネクタを使用
- リセット・キー
 - 1つのハード・リセット・キー (アクティブ **Low**)
- ボードレベルのコネクタ

- 2つの80ピン0.5mmピッチのボード間コネクタ

3 コアボードの回路

3.1 FPGA

3.1.1 概要

GW5AT シリーズ FPGA 製品のリソースを『GW5AT シリーズ FPGA 製品データシート([DS981](#))』に示します。

3.1.2 I/O Bank の説明

詳しくは、『GW5AT シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG983](#))』を参照してください。

3.2 電源

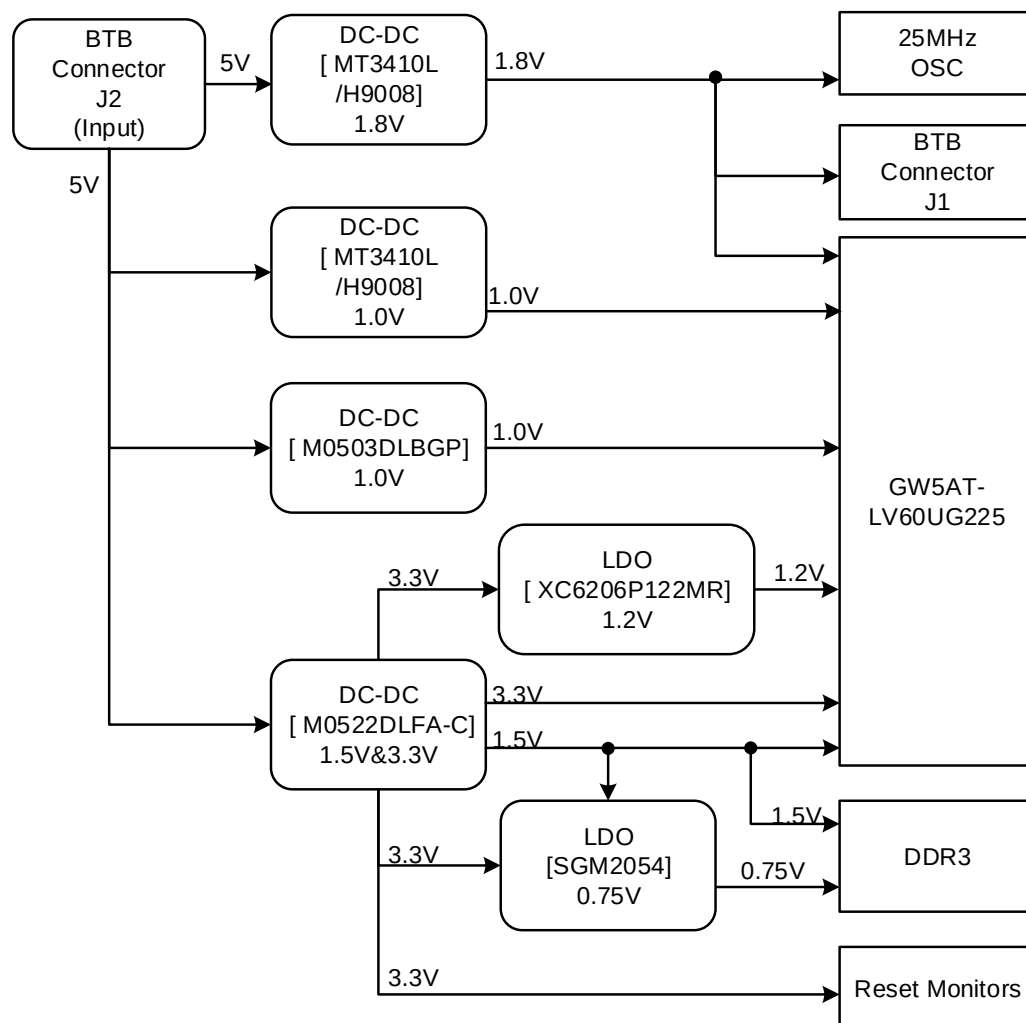
3.2.1 概要

ベースボードは、ボード間コネクタを介してコアボードに 5V 電源を供給します。

コアボード上の電源チップは、入力される 5V を、3.3V、1.8V、1.5V、1.2V、および 1.0V の電源に変換します。

3.2.2 電源システムの割り当て

図 3-1 電源の割り当ての説明図



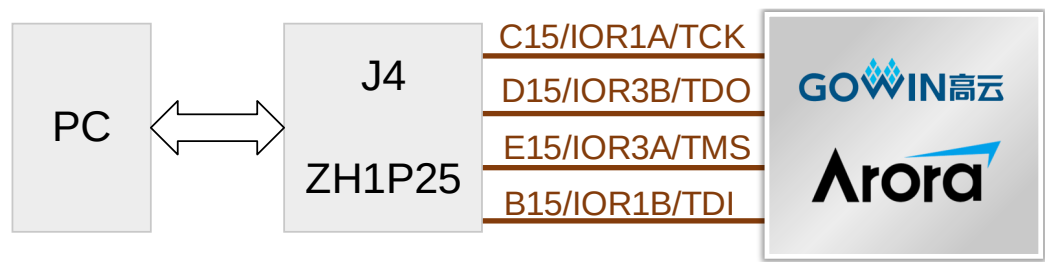
3.3 ダウンロード・モジュール

3.3.1 概要

コアボードには、ZH1.25-6 コネクタ(J4)があります。このコネクタを介してコンフィギュレーション・データをオフチップ SPI Flash または SRAM にダウンロードすることができます。

その接続図を図 3-2 に示します。

図 3-2 ダウンロード・インターフェースの接続図



3.3.2 ピンの割り当て

表 3-1 JTAG のピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
C15/IOR1A/TCK	C15	12	3.3V	JTAG 信号
D15/IOR3B/TDO	D15	12	3.3V	
E15/IOR3A/TMS	E15	12	3.3V	
B15/IOR1B/TDI	B15	12	3.3V	

3.4 クロック

3.4.1 概要

コアボードは、1 つの 25MHz のシングルエンド・クロックを提供しています。

図 3-3 クロックの接続図



3.4.2 ピンの割り当て

表 3-2 クロック・ピンの割り当て

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
CLK25M	L6	9	1.5V	25MHz のシングルエン ド・クロック

3.5 DDR3 モジュール

3.5.1 概要

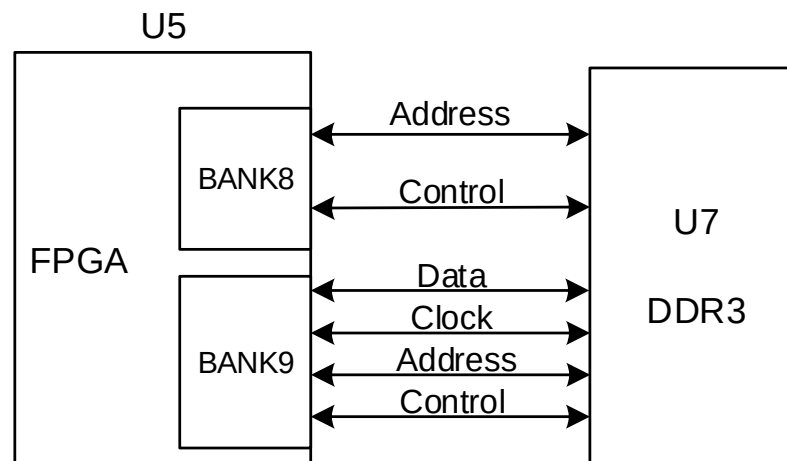
開発ボードには、1 つの 4Gbit DDR3 メモリが搭載されています。DDR3 メモリの信号は、FPGA の BANK8、BANK9 に接続されています。DDR3 メモリの詳細を表 3-3 に示します。

表 3-3 DDR3 メモリの詳細

番号	容量
U7	256M x 16bit

DDR3 メモリのハードウェア接続図は図 3-4 に示すとおりです。

図 3-4 DDR3 のハードウェア接続図



3.5.2 ピンの割り当て

表 3-4 DDR3 モジュールのピンの割り当て

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
DDR3_A0	R11	8	1.5V	アドレス

信号名	FPGA のピンの 番号	BANK	I/O 電圧 レベル	説明
DDR3_A1	M9	9	1.5V	アドレス
DDR3_A2	N12	8	1.5V	アドレス
DDR3_A3	R10	8	1.5V	アドレス
DDR3_A4	N10	8	1.5V	アドレス
DDR3_A5	P11	8	1.5V	アドレス
DDR3_A6	L9	8	1.5V	アドレス
DDR3_A7	P13	8	1.5V	アドレス
DDR3_A8	M11	8	1.5V	アドレス
DDR3_A9	R12	8	1.5V	アドレス
DDR3_A10	L7	9	1.5V	アドレス
DDR3_A11	N11	8	1.5V	アドレス
DDR3_A12	N9	9	1.5V	アドレス
DDR3_A13	R13	8	1.5V	アドレス
DDR3_A14	M10	8	1.5V	アドレス
DDR3_BA0	N7	9	1.5V	Bank アドレス
DDR3_BA1	L8	9	1.5V	Bank アドレス
DDR3_BA2	P9	9	1.5V	Bank アドレス
DDR3_CS#	R2	9	1.5V	チップストローブ
DDR3_CAS#	P2	9	1.5V	列アドレスストローブ
DDR3_CKE	L10	8	1.5V	クロック・イネーブル
DDR3_ODT	P1	9	1.5V	ODT イネーブル
DDR3_RAS#	N1	9	1.5V	行アドレスストローブ
DDR3_RESET	R14	8	1.5V	リセット
DDR3_WE#	N2	9	1.5V	書き込みイネーブル
DDR3_CLK0_P	N8	9	1.5V	差動クロック
DDR3_CLK0_N	M8	9	1.5V	差動クロック

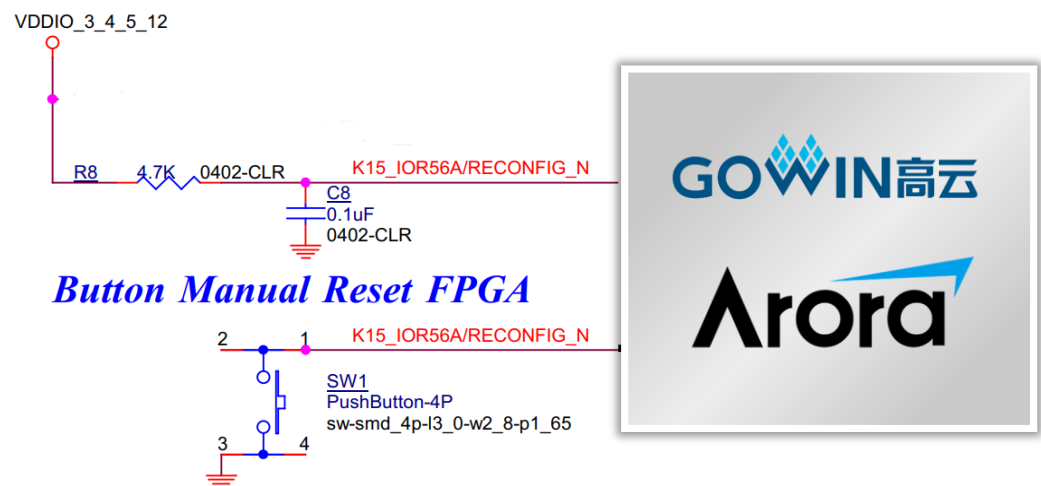
信号名	FPGA のピンの 番号	BANK	I/O 電圧 レベル	説明
DDR3_DQ0	L5	9	1.5V	データ
DDR3_DQ1	M6	9	1.5V	データ
DDR3_DQ2	M5	9	1.5V	データ
DDR3_DQ3	N6	9	1.5V	データ
DDR3_DQ4	P7	9	1.5V	データ
DDR3_DQ5	R7	9	1.5V	データ
DDR3_DQ6	R4	9	1.5V	データ
DDR3_DQ7	R5	9	1.5V	データ
DDR3_DQ8	M4	9	1.5V	データ
DDR3_DQ9	N5	9	1.5V	データ
DDR3_DQ10	M1	9	1.5V	データ
DDR3_DQ11	P5	9	1.5V	データ
DDR3_DQ12	L3	9	1.5V	データ
DDR3_DQ13	L1	9	1.5V	データ
DDR3_DQ14	N4	9	1.5V	データ
DDR3_DQ15	L2	9	1.5V	データ
DDR3_LDM0	R6	9	1.5V	データ入力マスク
DDR3_UDM0	M3	9	1.5V	データ入力マスク
DDR3_LDQS0_P	R8	9	1.5V	データストローブ
DDR3_LDQS0_N	R9	9	1.5V	データストローブ
DDR3_UDQS0_P	R3	9	1.5V	データストローブ
DDR3_UDQS0_N	P3	9	1.5V	データストローブ

3.6 リセット・キー

3.6.1 概要

コアボードには、FPGA の Bank5 のリセット専用ピンに接続される 1 つのリセット・キーがあります。キーが押されると FPGA の対応する IO 入力電圧は Low になり、キーが押されないと FPGA の対応する IO 入力電圧は High になります。その接続図を図 3-5 に示します。

図 3-5 キーの接続図



3.6.2 ピンの割り当て

表 3-5 キーモジュールのピンの割り当て

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
K15_IOR56A/RECONFIG_N	K15	5	3.3V	リセット信号、アクティブ Low

3.7 ボードレベルのコネクタ

3.7.1 概要

コアボード上には、DK_VIDEO_GW5AT-LV60UG225_V1.0 ベースボードとの通信用に 2 つの 80 ピン 0.5mm ピッチのボード間コネクタが配置されています。

3.7.2 ピンの割り当て

表 3-6 ボードレベルのコネクタ(J1)のピンの割り当て

J1 の ピンの 番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
1	GND	-	-	-	GND
2	GND	-	-	-	GND
3	D13_IOT146A/PLL/FB0/LVDS/D Q3	D13	2	1.2V	GPIO
4	B13_IOT142A/LVDS/DQ3	B13	2	1.2V	GPIO
5	C14_IOT146B/PLL/FB0/LVDS/D Q3	C14	2	1.2V	GPIO
6	A13_IOT142B/DOUT/LVDS/DQ 3	A13	2	1.2V	GPIO
7	GND	-	-	-	GND
8	GND	-	-	-	GND
9	VDD3V3	-	-	3.3V	POWER
10	B14_IOT144A/LVDS/DQ3	B14	2	1.2V	GPIO
11	VDD3V3	-	-	3.3V	POWER
12	A14_IOT144B/LVDS/DQ3	A14	2	1.2V	GPIO
13	GND	-	-	-	GND
14	GND	-	-	-	GND
15	E10_IOT89B/GCLKC_1/LVDS/D Q0	E10	1	1.2V	GPIO
16	E6_IOT74B/LVDS/DQ0	E6	1	1.2V	GPIO
17	F10_IOT89A/GCLKT_1/LVDS/D Q0	F10	1	1.2V	GPIO
18	E5_IOT74A/LVDS/DQ0	E5	1	1.2V	GPIO
19	GND	-	-	-	GND
20	GND	-	-	-	GND
21	F13_IOR9B/CSI_B/MOSI/MIO/L VDS	F13	3	3.3V	GPIO
22	E9_IOT78B/LVDS/DQ0	E9	1	1.2V	GPIO

J1 の ピンの 番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
23	F12_IOR9A/D00/DIN/MISO/MI1/ LVDS	F12	3	3.3V	GPIO
24	F8_IOT78A/LVDS/DQ0	F8	1	1.2V	GPIO
25	GND	-	-	-	GND
26	GND	-	-	-	GND
27	F11_IOR15A/D11/LVDS	F11	3	3.3V	GPIO
28	E14_IOR5B/MODE0/LVDS	E14	3	3.3V	GPIO
29	G11_IOR15B/D12/LVDS	G11	3	3.3V	GPIO
30	E13_IOR5A/CCLK/LVDS	E13	3	3.3V	GPIO
31	GND	-	-	-	GND
32	GND	-	-	-	GND
33	H12_IOR36B/GCLKC_5/PLL/LV DS/DQ4	H12	4	3.3V	GPIO
34	E8_IOT76B/TPLL_C_IN0/LVDS/ DQ0	E8	1	1.2V	GPIO
35	G12_IOR36A/GCLKT_5/PLL/LV DS/DQ4	G12	4	3.3V	GPIO
36	E7_IOT76A/TPLL_T_IN0/LVDS/ DQ0	E7	1	1.2V	GPIO
37	GND	-	-	-	GND
38	GND	-	-	-	GND
39	H10_IOR41B/D15/GCLKC_7/LV DS	H10	5	3.3V	GPIO
40	G15_IOR17B/D10/GCLKC_4/LV DS	G15	3	3.3V	GPIO
41	H11_IOR41A/D14/GCLKT_7/LV DS	H11	5	3.3V	GPIO
42	F15_IOR17A/MODE1/GCLKT_4 /LVDS	F15	3	3.3V	GPIO
43	GND	-	-	-	GND
44	GND	-	-	-	GND
45	H13_IOR47A/DONE	H13	5	3.3V	GPIO

J1 の ピンの 番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
46	J14_IOR57B/GCLKC_6/LVDS/DQ5	J14	5	3.3V	GPIO
47	K15_IOR56A/RECONFIG_N	K15	5	3.3V	GPIO
48	J13_IOR57A/GCLKT_6/LVDS/DQ5	J13	5	3.3V	GPIO
49	GND	-	-	-	GND
50	GND	-	-	-	GND
51	G14_IOR20B/D02/MI3/LVDS/DQ4	G14	4	3.3V	GPIO
52	K11_IOR59B/LVDS/DQ5	K11	5	3.3V	GPIO
53	G13_IOR20A/D01/MI2/LVDS/DQ4	G13	4	3.3V	GPIO
54	J11_IOR59A/LVDS/DQ5	J11	5	3.3V	GPIO
55	GND	-	-	-	GND
56	GND	-	-	-	GND
57	J15_IOR34B/EMCCLK/LVDS/DQ4	J15	4	3.3V	GPIO
58	L14_IOR63B/D04/SSPI_CS_N/LVDS/DQS5	L14	5	3.3V	GPIO
59	H15_IOR34A/D13/LVDS/DQ4	H15	4	3.3V	GPIO
60	L13_IOR63A/D03/SI/SSI0/LVDS/DQS5	L13	5	3.3V	GPIO
61	GND	-	-	-	GND
62	GND	-	-	-	GND
63	K13_IOR61B/RDWR_B/SCL/PLL/LVDS/DQ5	K13	5	3.3V	GPIO
64	M13_IOR68B/LVDS/DQ5	M13	5	3.3V	GPIO
65	K12_IOR61A/D07/SDA/PLL/LVDS/DQ5	K12	5	3.3V	GPIO
66	L12_IOR68A/LVDS/DQ5	L12	5	3.3V	GPIO
67	GND	-	-	-	GND
68	GND	-	-	-	GND

J1 の ピンの 番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
69	M15_IOR66B/D06/SSPI_CLK/P LL/LVDS/DQ5	M15	5	3.3V	GPIO
70	N15_IOR70B/D09/CLKHOLD_N /SSI3/LVDS/DQ5	N15	5	3.3V	GPIO
71	L15_IOR66A/D05/SO/SSI1/PLL/ LVDS/DQ5	L15	5	3.3V	GPIO
72	N14_IOR70A/D08/SSPI_WPN/S SI2/LVDS/DQ5	N14	5	3.3V	GPIO
73	GND	-	-	-	GND
74	GND	-	-	-	GND
75	VDD1V8	-	-	1.8V	GND
76	P15_IOR72B/CSO_B/MCS_N/P LL/LVDS/DQ5	P15	5	3.3V	GPIO
77	VDD1V8	-	-	1.8V	フローテ ィング
78	P14_IOR72A/READY/RPLL1_T _IN0/LVDS/DQ5	P14	5	3.3V	GPIO
79	GND	-	-	-	GND
80	GND	-	-	-	GND

表 3-7 ボードレベルのコネクタ (J2) のピンの割り当て

J2 の ピンの 番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
1	GND	-	-	-	GND
2	GND	-	-	-	GND
3	Q0_TXP_3	D12	Q0	-	SerDes Q0 の TX デー タ信号
4	Q0_RXP_3	B11	Q0	-	SerDes Q0 の RX デー タ信号
5	Q0_TXN_3	C12	Q0	-	SerDes Q0 の TX デー タ信号

J2 の ピンの 番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベ ル	説明
6	Q0_RXN_3	A11	Q0	-	SerDes Q0 の RX データ信号
7	GND	-	-	-	GND
8	GND	-	-	-	GND
9	Q0_TXP_2	D8	Q0	-	SerDes Q0 の TX データ信号
10	Q0_REFCLKP_1	D10	Q0	-	SerDes Q0 のリファレンス・クロック
11	Q0_TXN_2	C8	Q0	-	SerDes Q0 の TX データ信号
12	Q0_REFCLKN_1	C10	Q0	-	SerDes Q0 のリファレンス・クロック
13	GND	-	-	-	GND
14	GND	-	-	-	GND
15	Q0_TXP_1	D6	Q0	-	SerDes Q0 の TX データ信号
16	Q0_RXP_2	B9	Q0	-	SerDes Q0 の RX データ信号
17	Q0_TXN_1	C6	Q0	-	SerDes Q0 の TX データ信号
18	Q0_RXN_2	A9	Q0	-	SerDes Q0 の RX データ信号
19	GND	-	-	-	GND
20	GND	-	-	-	GND
21	Q0_REFCLKP_0	B5	Q0	-	SerDes Q0 のリファレンス・クロック
22	Q0_RXP_1	B7	Q0	-	SerDes Q0 の RX データ信号
23	Q0_REFCLKN_0	A5	Q0	-	SerDes Q0 のリファレンス・クロック
24	Q0_RXN_1	A7	Q0	-	SerDes Q0 の RX データ信号

J2 の ピンの 番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベ ル	説明
25	GND	-	-	-	GND
26	GND	-	-	-	GND
27	Q0_TXN_0	C4	Q0	-	SerDes Q0 の TX デー タ信号
28	Q0_RXP_0	B3	Q0	-	SerDes Q0 の RX デー タ信号
29	Q0_TXP_0	D4	Q0	-	SerDes Q0 の TX デー タ信号
30	Q0_RXN_0	A3	Q0	-	SerDes Q0 の RX デー タ信号
31	GND	-	-	-	GND
32	GND	-	-	-	GND
33	CPHY0_D0A	D1	MIPI_M1	-	MIPI CPHY のデータ信 号
34	DPHY0_D3P	C1	MIPI_M0	-	MIPI DPHY のデータ信 号
35	CPHY0_D0B	E2	MIPI_M1	-	MIPI CPHY のデータ信 号
36	DPHY0_D3N	C2	MIPI_M0	-	MIPI DPHY のデータ信 号
37	CPHY0_D0C	E1	MIPI_M1	-	MIPI CPHY のデータ信 号
38	GND	-	-	-	GND
39	GND	-	-	-	GND
40	DPHY0_D2P	F4	MIPI_M0	-	MIPI DPHY のデータ信 号
41	CPHY0_D1A	F1	MIPI_M1	-	MIPI CPHY のデータ信 号
42	DPHY0_D2N	E3	MIPI_M0	-	MIPI DPHY のデータ信 号
43	CPHY0_D1B	G1	MIPI_M1	-	MIPI CPHY のデータ信 号

J2 の ピンの 番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベ ル	説明
44	GND	-	-	-	GND
45	CPHY0_D1C	G2	MIPI_M1	-	MIPI CPHY のデータ信 号
46	DPHY0_CKP	G3	MIPI_M0	-	MIPI DPHY のデータ信 号
47	GND	-	-	-	GND
48	DPHY0_CKN	F3	MIPI_M0	-	MIPI DPHY のデータ信 号
49	CPHY0_D2A	H1	MIPI_M1	-	MIPI CPHY のデータ信 号
50	GND	-	-	-	GND
51	CPHY0_D2B	J1	MIPI_M1	-	MIPI CPHY のデータ信 号
52	DPHY0_D1P	H4	MIPI_M0	-	MIPI DPHY のデータ信 号
53	CPHY0_D2C	J2	MIPI_M1	-	MIPI CPHY のデータ信 号
54	DPHY0_D1N	H3	MIPI_M0	-	MIPI DPHY のデータ信 号
55	GND	-	-	-	GND
56	GND	-	-	-	GND
57	H5/IOL48A/GCLK T_17/LVDS	H5	10	1.8V	GPIO
58	DPHY0_D0P	J4	MIPI_M0	-	MIPI DPHY のデータ信 号
59	H6/IOL48B/GCLK C_17/LVDS	H6	10	1.8V	GPIO
60	DPHY0_D0N	J3	MIPI_M0	-	MIPI DPHY のデータ信 号
61	GND	-	-	-	GND
62	GND	-	-	-	GND
63	K5/IOL50A/GCLK	K5	10	1.8V	GPIO

J2 の ピンの 番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベ ル	説明
	T_16/LVDS				
64	F5/IOL41A/LVDS	F5	11	1.8V	GPIO
65	J5/IOL50B/GCLK C_16/LVDS	J5	10	1.8V	GPIO
66	G5/IOL41B/LVDS	G5	11	1.8V	GPIO
67	GND	-	-	-	GND
68	GND	-	-	-	GND
69	K4/IOL45A/GCLK T_18/LVDS	K4	11	1.8V	GPIO
70	GND	-	-	-	GND
71	K3/IOL45B/GCLK C_18/LVDS	K3	11	1.8V	GPIO
72	VDD5V	-	-	5.5V	POWER
73	GND	-	-	-	GND
74	VDD5V	-	-	5.5V	POWER
75	GND	-	-	-	GND
76	VDD5V	-	-	5.5V	POWER
77	GND	-	-	-	GND
78	VDD5V	-	-	5.5V	POWER
79	GND	-	-	-	GND
80	VDD5V	-	-	5.5V	POWER

4 ベースボードの回路

4.1 電源

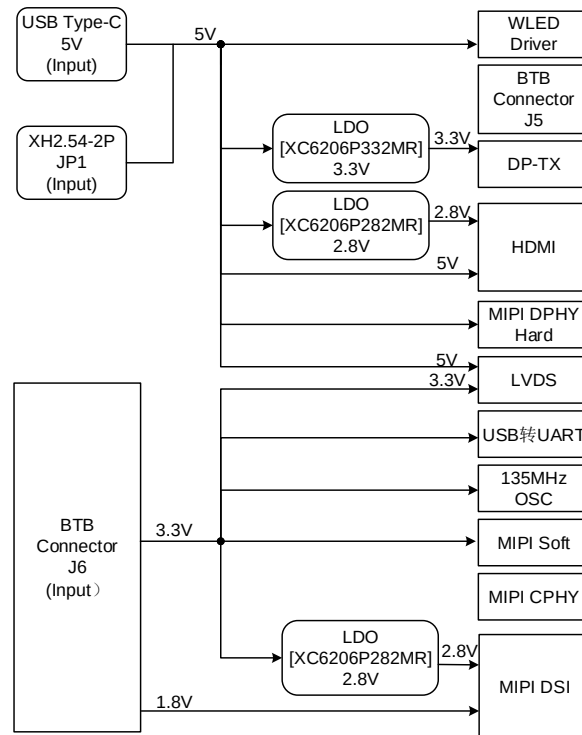
4.1.1 概要

ユーザーは、**USB Type-C** インターフェース (J9) または **XH2.54-2P** コネクタ (JP1) を介してベースボードに **5V** 電源を供給できます。**XH2.54-2P** コネクタを使用して **5V** 電源を供給する場合は、**USB Type-C** インターフェースによる **5V** 電源供給を切断する必要があります。

入力された **5V** 電源は、ベースボード上の電源チップによって **3.3V** および **2.8V** 電源に変換されます。ボード間コネクタを介してベースボードに **3.3V** および **1.8V** 電源を供給します。

4.1.2 電源システムの割り当て

図 4-1 電源の割り当ての説明図



4.2 クロック

4.2.1 概要

ベースボードには1つの135MHzの差動クロックが搭載されており、この差動クロックは、ボード間コネクタを介してFPGA SerDes 高速クロック・ピンに接続されます。

図 4-2 クロックの接続図



4.2.2 ピンの割り当て

表 4-1 クロック・ピンの割り当て

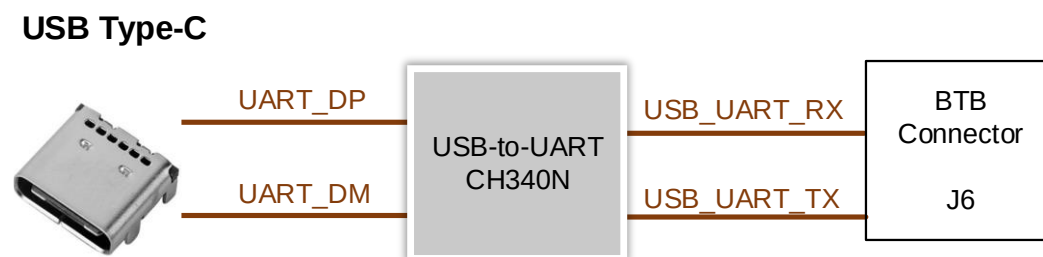
信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
Q0_REFCLKP_0	B5	Q0	-	135MHz の差動クロック
Q0_REFCLKN_0	A5	Q0	-	135MHz の差動クロック

4.3 UART インターフェース

4.3.1 概要

開発ボード上の UART インターフェースは、USB Type-C コネクタを使用し、USB 変換チップを介して実装されています。UART インターフェースの接続図を図 4-3 に示します。

図 4-3 UART インターフェースの接続図



4.3.2 ピンの割り当て

表 4-2 UART のピンの割り当て

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
USB_UART_RX	H11	5	3.3V	FPGA からのシリアル・データ出力
USB_UART_TX	H10	5	3.3V	FPGA へのシリアル・データ入力

4.4 DP インターフェース

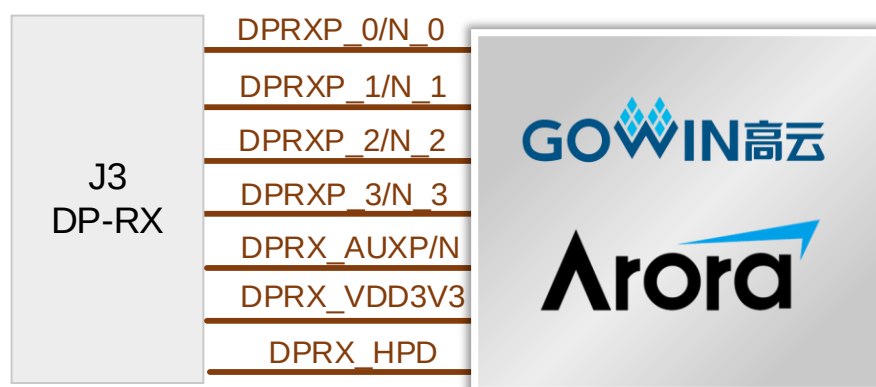
4.4.1 概要

ベースボードは、1つのDP送信インターフェースと1つのDP受信インターフェースを提供します。インターフェースの接続図は次のとおりです。

図 4-4 DP-TX インターフェースの接続図



図 4-5 DP-RX インターフェースの接続図



4.4.2 ピンの割り当て

表 4-3 DP-TX インターフェースのピンの割り当て

J4 ピンの 番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
1	DPTXP_0	D12	Q0	-	DP データの送信
2	GND	-	-	-	GND
3	DPTXN_0	C12	Q0	-	DP データの送信

J4 ピンの 番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
4	DPTXP_1	D8	Q0	-	DP データの送信
5	GND	-	-	-	GND
6	DPTXN_1	C8	Q0	-	DP データの送信
7	DPTXP_2	D6	Q0	-	DP データの送信
8	GND	-	-	-	GND
9	DPTXN_2	C6	Q0	-	DP データの送信
10	DPTXP_3	D4	Q0	-	DP データの送信
11	GND	-	-	-	GND
12	DPTXN_3	C4	Q0	-	DP データの送信
13	GND	-	-	-	GND
14	GND	-	-	-	GND
15	DPTX_AUXP	G12	4	3.3V	補助チャンネル
16	GND	-	-	-	GND
17	DPTX_AUXN	H12	4	3.3V	補助チャンネル
18	DPTX_HPD	H13	5	3.3V	ホットプラグ検出
19	GND	-	-	-	フローティング
20	DP_VDD3V3	-	-	3.3V	POWER

表 4-4 DP-RX インターフェースのピンの割り当て

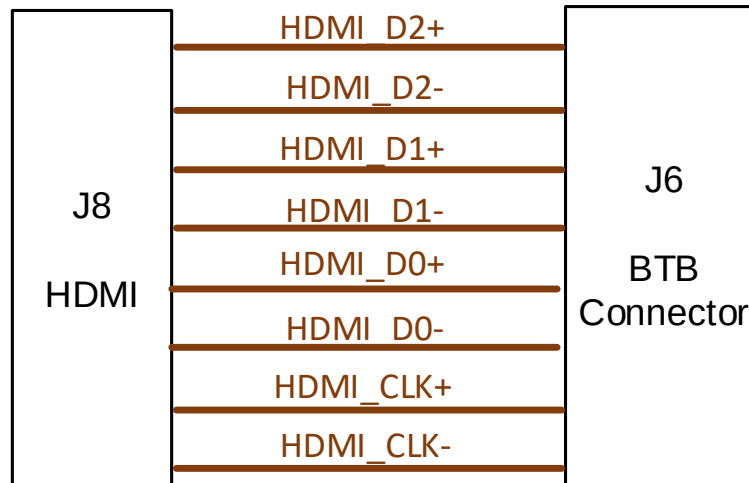
J3 ピンの 番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
1	DPRXN_3	A3	Q0	-	DP データの受信
2	GND	-	-	-	GND
3	DPRXP_3	B3	Q0	-	DP データの受信
4	DPRXN_2	A7	Q0	-	DP データの受信
5	GND	-	-	-	GND
6	DPRXP_2	B7	Q0	-	DP データの受信
7	DPRXN_1	A9	Q0	-	DP データの受信
8	GND	-	-	-	GND
9	DPRXP_1	B9	Q0	-	DP データの受信
10	DPRXN_0	A11	Q0	-	DP データの受信
11	GND	-	-	-	GND
12	DPRXP_0	B11	Q0	-	DP データの受信
13	GND	-	-	-	GND
14	GND	-	-	-	GND
15	DPRX_AUXP	F11	3	3.3V	補助チャンネル
16	GND	-	-	-	GND
17	DPRX_AUXN	G11	3	3.3V	補助チャンネル
18	DPRX_HPD	E14	3	3.3V	ホットプラグ検出
19	NC	-	-	-	フローティング
20	DPRX_VDD3 V3	P14	5	3.3V	POWER

4.5 HDMI インターフェース

4.5.1 概要

開発ボードには HDMI 出力インターフェースが備わっており、HDMI 信号の送信は、FPGA の内部 IP を介して実装されます。インターフェースの接続図を図 3-5 に示します。

図 4-6 HDMI インターフェースの接続図



4.5.2 ピンの割り当て

表 4-5 HDMI インターフェースのピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
HDMI_CLK+	M15	5	3.3V	HDMI 差動クロック
HDMI_CLK-	L15	5	3.3V	HDMI 差動クロック
HDMI_D0+	K13	5	3.3V	HDMI の送信データ
HDMI_D0-	K12	5	3.3V	HDMI の送信データ
HDMI_D1+	J15	4	3.3V	HDMI の送信データ
HDMI_D1-	H15	4	3.3V	HDMI の送信データ
HDMI_D2+	G14	4	3.3V	HDMI の送信データ

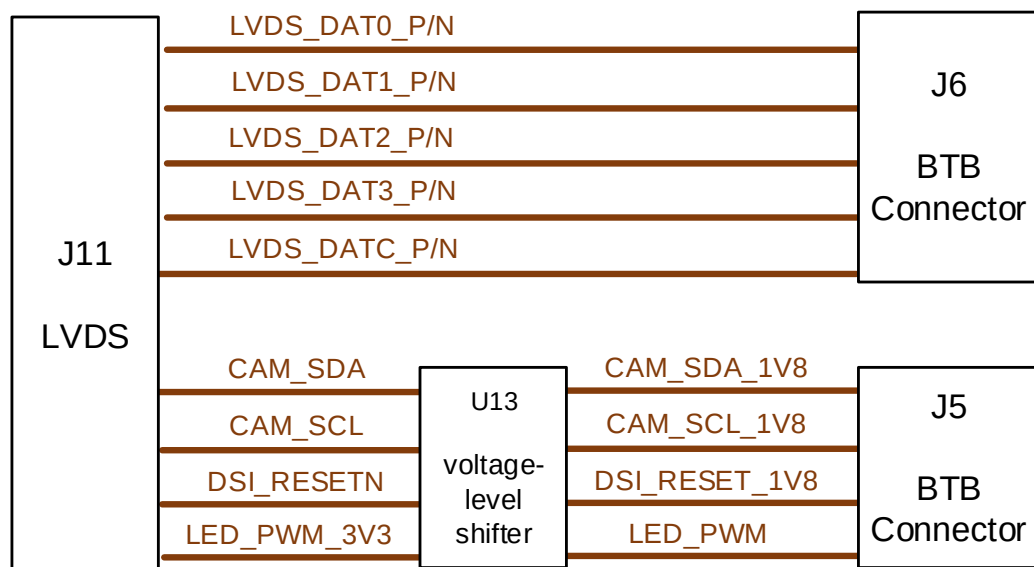
信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
HDMI_D2-	G13	4	3.3V	HDMI の送信データ

4.6 LVDS インターフェース

4.6.1 概要

ベースボードは、40 ピン 0.5mm ピッチ FPC コネクタを用いた LVDS ディスプレイインターフェースを提供します。このインターフェースには、5 ペアの差動信号(4 data + 1 clk)と 6 つの制御信号 (I2C、リセット信号、割り込み信号、PWM 信号、イネーブル信号) が含まれています。I2C、リセット信号、PWM 信号は、コアボード上の FPGA からの 4 つの 1.8V レベル信号から、ベースボード上の双方向レベル変換 IC によって 3.3V レベル信号に変換され、インターフェースに接続されます。その接続図を図 4-7 に示します。

図 4-7 LVDS インターフェースの接続図



4.6.2 ピンの割り当て

表 4-6 LVDS インターフェースのピンの割り当て

J11 ピンの 番号	信号名	FPGA のピンの 番号	BANK	I/O 電圧 レベル	説明
1	NC	-	-	-	フローティング
2	NC	-	-	-	フローティング

J11 ピンの 番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
3	NC	-	-	-	フローティング
4	NC	-	-	-	フローティング
5	GND	-	-	-	GND
6	GND	-	-	-	GND
7	GND	-	-	-	GND
8	LVDS_DAT0_N	J14	5	3.3V	LVDS 信号
9	LVDS_DAT0_P	J13	5	3.3V	LVDS 信号
10	GND	-	-	-	GND
11	LVDS_DAT1_N	K11	5	3.3V	LVDS 信号
12	LVDS_DAT1_P	J11	5	3.3V	LVDS 信号
13	GND	-	-	-	GND
14	LVDS_DAT2_N	L14	5	3.3V	LVDS 信号
15	LVDS_DAT2_P	L13	5	3.3V	LVDS 信号
16	GND	-	-	-	GND
17	LVDS_DATC_N	M13	5	3.3V	LVDS 信号
18	LVDS_DATC_P	L12	5	3.3V	LVDS 信号
19	GND	-	-	-	GND
20	LVDS_DAT3_N	N15	5	3.3V	LVDS 信号
21	LVDS_DAT3_P	N14	5	3.3V	LVDS 信号
22	GND	-	-	-	GND
23	NC	-	-	-	フローティング
24	NC	-	-	-	フローティング
25	GND	-	-	-	GND
26	CAM_SDA	H6	10	1.8V	タッチスクリーンのシリアル・データ信号
27	CAM_SCL	H5	10	1.8V	タッチスクリーンのシリアル・クロック信号
28	DSI_RESETN	K4	11	1.8V	タッチスクリーンのリセット信号

J11 ピンの 番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
29	CTP_INT	-	-	-	タッチスクリーンの割り込み信号
30	GND	-	-	-	GND
31	GND	-	-	-	GND
32	GND	-	-	-	GND
33	GND	-	-	-	GND
34	NC	-	-	-	フローティング
35	LED_PWM_3V3	K3	11	1.8V	LED バックライト PWM 信号
36	LCD_BLEN	-	-	-	LED バックライト・イネーブル信号
37	NC	-	-	-	フローティング
38	VDD5V	-	-	5V	POWER
39	VDD5V	-	-	5V	POWER
40	VDD5V	-	-	5V	POWER

4.7 MIPI インターフェース

4.7.1 概要

ベースボードは、1つの MIPI CPHY ハードコア・インターフェース、1つの MIPI DPHY ハードコア・インターフェース、1つの MIPI DPHY ソフトコア・インターフェース、および1つの MIPI DPHY DSI インターフェースを備えています。

MIPI CPHY ハードコア信号 (3つのトリオ)、I2C 信号、リセット信号は、20 ピン 0.5mm ピッチ FPC コネクタに出力されます。

MIPI DPHY ハードコア信号 (4 data + 1 clk) と 2 本の 1.8V 規格 GPIO は、20 ピン 0.5mm ピッチ極細同軸ケーブル用コネクタに出力されます。

MIPI DPHY ソフトコア信号 (1 data + 1 clk) と I2C 信号は、24 ピン 0.5mm ピッチ FPC コネクタに出力されます。

MIPI DPHY DSI インターフェースの MIPI DPHY ソフトコア信号(4 data + 1 clk)とリセット信号は、25 ピン 0.3mm ピッチ FPC コネクタに出

力されます。

各インターフェースの接続図は次のとおりです。

図 4-8 MIPI CPHY ハードコア・インターフェースの接続図

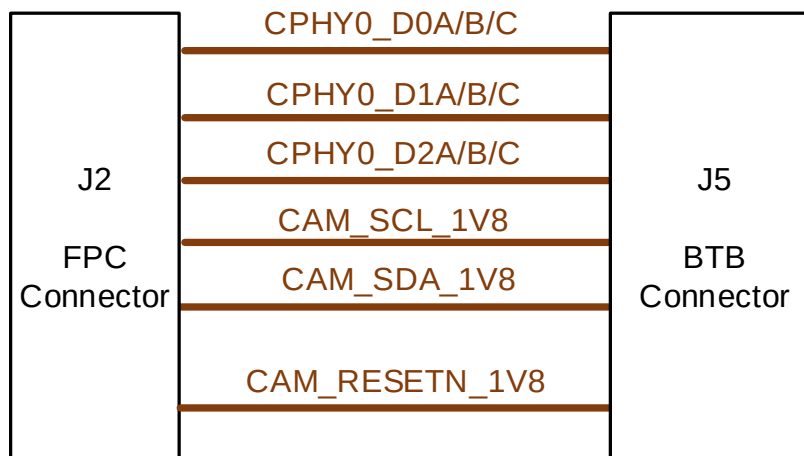


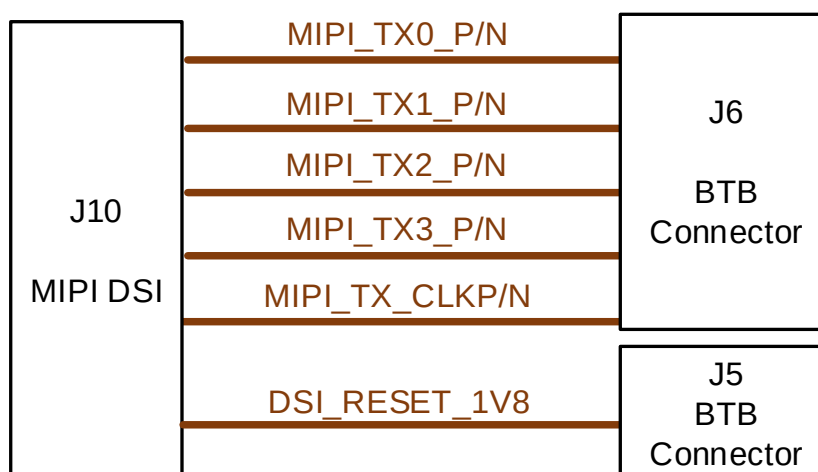
図 4-9 MIPI DPHY ハードコア・インターフェースの接続図



図 4-10 MIPI DPHY ソフトコア・インターフェースの接続図



図 4-11 MIPI DPHY DSI インターフェースの接続図



4.7.2 ピンの割り当て

表 4-7 MIPI CPHY ハードコア・インターフェースのピンの割り当て

J2 ピンの 番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
1	GND	-	-	-	GND
2	CPHY0_D2C	J2	MIPI_M1	-	MIPI CPHY のデータ 信号
3	CPHY0_D2B	J1	MIPI_M1	-	MIPI CPHY のデータ 信号
4	CPHY0_D2A	H1	MIPI_M1	-	MIPI CPHY のデータ 信号
5	GND	-	-	-	GND
6	CPHY0_D1C	G2	MIPI_M1	-	MIPI CPHY のデータ 信号
7	CPHY0_D1B	G1	MIPI_M1	-	MIPI CPHY のデータ 信号
8	CPHY0_D1A	F1	MIPI_M1	-	MIPI CPHY のデータ 信号
9	GND	-	-	-	GND
10	CPHY0_D0C	E1	MIPI_M1	-	MIPI CPHY のデータ 信号
11	CPHY0_D0B	E2	MIPI_M1	-	MIPI CPHY のデータ 信号

J2 ピンの 番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベ ル	説明
12	CPHY0_D0A	D1	MIPI_M1	-	MIPI CPHY のデータ 信号
13	GND	-	-	-	GND
14	CAM_RESETN_1V8	J5	10	1.8V	リセット信号
15	CAM_SDA_1V8	H6	10	1.8V	I2C のデータ信号
16	CAM_SCL_1V8	H5	10	1.8V	I2C のクロック信号
17	GND	-	-	-	GND
18	GND	-	-	-	GND
19	VDD3V3	-	-	3.3V	POWER
20	VDD3V3	-	-	3.3V	POWER

表 4-8 MIPI DPHY ハードコア・インターフェースのピンの割り当て

J7 ピンの 番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
1	VDDDPHY	-	-	5V/3.3V	POWER
2	VDDDPHY	-	-	5V/3.3V	POWER
3	GND	-	-	-	GND
4	DPHY0_D3P	C1	MIPI_M0	-	MIPI DPHY のデータ 信号
5	DPHY0_D3N	C2	MIPI_M0	-	MIPI DPHY のデータ 信号
6	GND	-	-	-	GND
7	DPHY0_D2P	F4	MIPI_M0	-	MIPI DPHY のデータ 信号
8	DPHY0_D2N	E3	MIPI_M0	-	MIPI DPHY のデータ 信号
9	GND	-	-	-	GND
10	DPHY0_CKP	G3	MIPI_M0	-	MIPI DPHY のクロッ ク信号
11	DPHY0_CKN	F3	MIPI_M0	-	MIPI DPHY のクロッ ク信号
12	GND	-	-	-	GND
13	DPHY0_D1P	H4	MIPI_M0	-	MIPI DPHY のデータ 信号
14	DPHY0_D1N	H3	MIPI_M0	-	MIPI DPHY のデータ 信号
15	GND	-	-	-	GND
16	DPHY0_D0P	J4	MIPI_M0	-	MIPI DPHY のデータ 信号
17	DPHY0_D0N	J3	MIPI_M0	-	MIPI DPHY のデータ 信号
18	GND	-	-	-	GND
19	F5/IOL41A/LVDS	F5	11	1.8V	GPIO
20	G5/IOL41B/LVDS	G5	11	1.8V	GPIO

表 4-9 MIPI DPHY ソフトコア・インターフェースのピンの割り当て

J1 ピンの 番号	信号名	FPGA のピン の番号	BANK	I/O 電 圧レベ ル	説明
1	VDD3V3	-	-	3.3V	POWER
2	VDD3V3	-	-	3.3V	POWER
3	NC	-	-	-	フローティング
4	NC	-	-	-	フローティング
5	GND	-	-	-	GND
6	NC	-	-	-	フローティング
7	NC	-	-	-	フローティング
8	GND	-	-	-	GND
9	NC	-	-	-	フローティング
10	NC	-	-	-	フローティング
11	GND	-	-	-	GND
12	MIPI_RX_CLKP	F10	1	1.2V	MIPI DPHY の受信クロック信号
13	MIPI_RX_CLKN	E10	1	1.2V	MIPI DPHY の受信クロック信号
14	GND	-	-	-	GND
15	NC	-	-	-	フローティング
16	NC	-	-	-	フローティング
17	GND	-	-	-	GND
18	MIPI_RX0_P	C14	2	1.2V	MIPI DPHY の受信データ信号
19	MIPI_RX0_N	D13	2	1.2V	MIPI DPHY の受信データ信号
20	GND	-	-	-	GND
21	CSI_SCL_1V8	H5	10	1.8V	I2C のクロック信号
22	CSI_SDA_1V8	H6	10	1.8V	I2C のデータ信号
23	NC	-	-	-	フローティング
24	NC	-	-	-	フローティング
25	GND	-	-	-	GND

表 4-10 MIPI DPHY DSI インターフェースのピンの割り当て

J10 ピンの 番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
1	LEDK	-	-	-	バックライト・カソード
2	LEDA	-	-	-	バックライト・アノード
3	GND	-	-	-	GND
4	NC	-	-	-	フローティング
5	NC	-	-	-	フローティング
6	DSI_RESET_1V8	K4	11	1.8V	リセット信号
7	GND	-	-	-	GND
8	VDD1V8	-	-	1.8V	POWER
9	VDD2V8	-	-	2.8V	POWER
10	MIPI_TX3_P	B13	2	1.2V	MIPI DSI の送信データ 信号
11	GND	-	-	-	GND
12	MIPI_TX3_N	A13	2	1.2V	MIPI DSI の送信データ 信号
13	MIPI_TX2_P	E7	1	1.2V	MIPI DSI の送信データ 信号
14	MIPI_TX2_N	E8	1	1.2V	MIPI DSI の送信データ 信号
15	GND	-	-	-	GND
16	GND	-	-	-	GND
17	MIPI_TX_CLKP	E5	1	1.2V	MIPI DSI のクロック信 号
18	MIPI_TX_CLKN	E6	1	1.2V	MIPI DSI のクロック信 号
19	GND	-	-	-	GND
20	MIPI_TX1_P	F8	1	1.2V	MIPI DSI の送信データ 信号
21	MIPI_TX1_N	E9	1	1.2V	MIPI DSI の送信データ 信号

J10 ピンの 番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
22	GND	-	-	-	GND
23	MIPI_TX0_P	B14	2	1.2V	MIPI DSI の送信データ 信号
24	MIPI_TX0_N	A14	2	1.2V	MIPI DSI の送信データ 信号
25	GND	-	-	-	GND

5 デモ

デモには、基本デモと画像デモがあります。基本デモは、HDMI、DDR3、LVDS、DSI、DP などの開発ボードの基本機能を検証するために使用されます。画像デモは、DDR3、MIPI CPHY ハードコア、MIPI DPHY ソフトコアをベースに様々なカメラの HDMI および LVDS ディスプレイの表示実験を行うために使用されます。デモの使用方法については、『DK_VIDEO_GW5AT-LV60UG225_V1.0 開発ボードデモ ユーザーガイド([DBUG1282](#))』を参照してください。

表 5-1 基本デモの紹介

番号	プロジェクト名	設計の説明
1	01_G60_LED_1bit_Test	1 ビット LED 点滅実験
2	02_G60_UART_Test_115200	シリアル通信ループバック実験 (115200bps)
3	03-1_G60_HDMI_Display_7200P60	1280*720@60 HDMI ディスプレイ表示実験
4	03-2_G60_HDMI_Display_1080P60	1920*1080@60 HDMI ディスプレイ表示実験
5	04_G60_LVDS_Display_1024x600	1024*600@60 LVDS LCD ディスプレイ表示実験
6	05_G60_DSI_Display_1080x1920	1080*1920@60 MIPI DSI LCD ディスプレイ表示実験
7	06_G60_DP_Display_1080P60	1920*1080@60 DP ディスプレイ表示実験
8	07_G60_DP_Display_1080P60_RX2TX	1920*1080@60 DP ディスプレイ受信表示実験
9	08-1_G60_DDR3_HDMI_Display_1080P60	1920*1080@60 DDR3 画像バッファリングと HDMI ディスプレイ表示実験
10	08-2_G60_DDR3_LVDS_	1024*600@60 DDR3 画像バッファリング

番号	プロジェクト名	設計の説明
	Display_1024600	と LVDS ディスプレイ表示実験
11	08-3_G60_DDR3_DSI_ Display_10801920	1080*1920@60 DDR3 画像バッファリング と MIPI DSI LCD ディスプレイ表示実験

表 5-2 画像デモの紹介

番号	プロジェクト名	設計の説明
1	01-1_SC130GS_DDR3_ HDMI_720P60	DPHY ソフトコアと DDR3 ベースの SC130GS 白黒 1 レーン HDMI ディスプレイ表示プロ ジェクト
2	01-2_SC130GS_DDR3_ LVDS_1024600	DPHY ソフトコアと DDR3 ベースの SC130GS 白黒 1 レーン LVDS ディスプレイ表示プロ ジェクト
3	02-1_SC2210_DDR3_ HDMI_1080P60	DPHY ソフトコアと DDR3 ベースの SC2210 カラー1 レーン HDMI ディスプレイ表示プロ ジェクト
4	02-2_SC2210_DDR3_ LVDS_1024600	DPHY ソフトコアと DDR3 ベースの SC2210 カラー1 レーン LVDS ディスプレイ表示プロ ジェクト
5	03-1_IMX586_DDR3_HDMI _1080P60	CPHY ハードコアベースの IMX586 1920x1080@60 HDMI ディスプレイ表示プロ ジェクト
6	03-2_IMX586_DDR3_LVDS _1024600	CPHY ハードコアベースの IMX586 1024x600@60 LVDS ディスプレイ表示プロ ジェクト

