

DK_USB_GW5ART-LV15MG132P_V1.1 開発 ボード ユーザーガイド

著作権について(2026)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN 及び **Gowin** は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、**GOWINSEMI Terms and Conditions of Sale**(GOWINSEMI 取引条件)に規定されている内容を除き、(明示的か又は黙示的に拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2025/01/17	1.0J	初版。
2026/03/13	1.0.1J	「2.1 概要」における DDR3 の説明を最適化。

目次

目次	i
図一覧	iii
表一覧	iv
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	1
1.4 テクニカル・サポートとフィードバック	2
2 開発ボードの紹介	3
2.1 概要	3
2.2 開発ボードキット	4
2.3 PCB のコンポーネント	5
2.4 ブロック図	5
2.5 特徴	6
3 開発ボードの回路	8
3.1 FPGA	8
3.1.1 概要	8
3.1.2 I/O BANK の説明	8
3.2 電源	8
3.2.1 概要	8
3.2.2 電源の割り当て	9
3.3 ダウンロード・モジュール	9
3.3.1 概要	9
3.3.2 ピンの割り当て	10
3.4 クロック	10

3.4.1 概要	10
3.4.2 ピンの割り当て	11
3.5 I2C インターフェース	11
3.5.1 概要	11
3.5.2 ピンの割り当て	12
3.6 MIPI インターフェース	12
3.6.1 概要	12
3.6.2 ピンの割り当て	13
3.7 HDMI インターフェース	17
3.7.1 概要	17
3.7.2 ピンの割り当て	18
3.8 SPI インターフェース	19
3.8.1 概要	19
3.8.2 ピンの割り当て	19
3.9 Type-C インターフェース	19
3.9.1 概要	19
3.9.2 ピンの割り当て	20
3.10 SDI インターフェース	21
3.10.1 概要	21
3.10.2 ピンの割り当て	21
3.11 キー	22
3.11.1 概要	22
3.11.2 ピンの割り当て	23
3.12 SMA インターフェース	23
3.12.1 概要	23
3.12.2 ピンの割り当て	23

図一覧

図 2-1 DK_USB_GW5ART-LV15MG132P_V1.1 開発ボード	3
図 2-2 開発ボードキット	4
図 2-3 PCB のコンポーネント	5
図 2-4 ブロック図	5
図 3-1 電源の割り当ての説明図	9
図 3-2 ダウンロード・インターフェースの接続図	10
図 3-3 クロックの接続図	10
図 3-4 I2C インターフェースの接続図	11
図 3-5 MIPI CPHY&DPHY ハードコア・インターフェースの接続図	12
図 3-6 MIPI DPHY ソフトコア/LVDS インターフェースの接続図	13
図 3-7 HDMI-RX インターフェースの接続図	18
図 3-8 SPI インターフェースの接続図	19
図 3-9 Type-C インターフェースの接続図	20
図 3-10 SDI インターフェースの接続図	21
図 3-11 キーの接続図	22
図 3-12 SMA インターフェースの接続図	23

表一覧

表 1-1 用語、略語	1
表 3-1 JTAG のピンの割り当て	10
表 3-2 クロック・ピンの割り当て	11
表 3-3 I2C インターフェースのピンの割り当て	12
表 3-4 MIPI CPHY&DPHY ハードコア・インターフェースのピンの割り当て	13
表 3-5 MIPI DPHY ソフトコア/LVDS インターフェースのピンの割り当て	16
表 3-6 HDMI-RX インターフェースのピンの割り当て	18
表 3-7 SPI インターフェースのピンの割り当て	19
表 3-8 Type-C インターフェースのピンの割り当て	20
表 3-9 SDI インターフェースのピンの割り当て	21
表 3-10 キーモジュールのピンの割り当て	23
表 3-11 SMA インターフェースのピンの割り当て	23

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、3つの部分で構成されています。

- 開発ボードの機能の概要。
- 開発ボードの構造およびそのハードウェアリソースの説明。
- 開発ボード上のハードウェア回路の機能およびピンの割り当ての説明。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW5ART シリーズ FPGA 製品データシート([DS1118](#))
- GW5ART-15 デバイス Pinout([UG1120](#))
- GW5ART シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG1233](#))
- Arora V 15K FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド([UG720](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレ

用語、略語	正式名称	意味
		イ
GPIO	Gowin Programmable I/O	Gowin プログラマブル汎用 IO
HDMI	High Definition Multimedia Interface	高精細度マルチメディア・インターフェース
JTAG	Joint Test Action Group	ジョイント・テスト・アクション・グループ
LDO	Low Dropout Regulator	低ドロップアウト・レギュレータ
MIPI	Mobile Industry Processor Interface	モバイル産業用プロセッサ・インターフェース
SDI	Serial Digital Interface	シリアル・デジタル・インターフェース
SMA	SubMiniature version A	サブミニチュア・バージョン A
SPI	Serial Peripheral Interface	シリアル・ペリフェラル・インターフェース

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

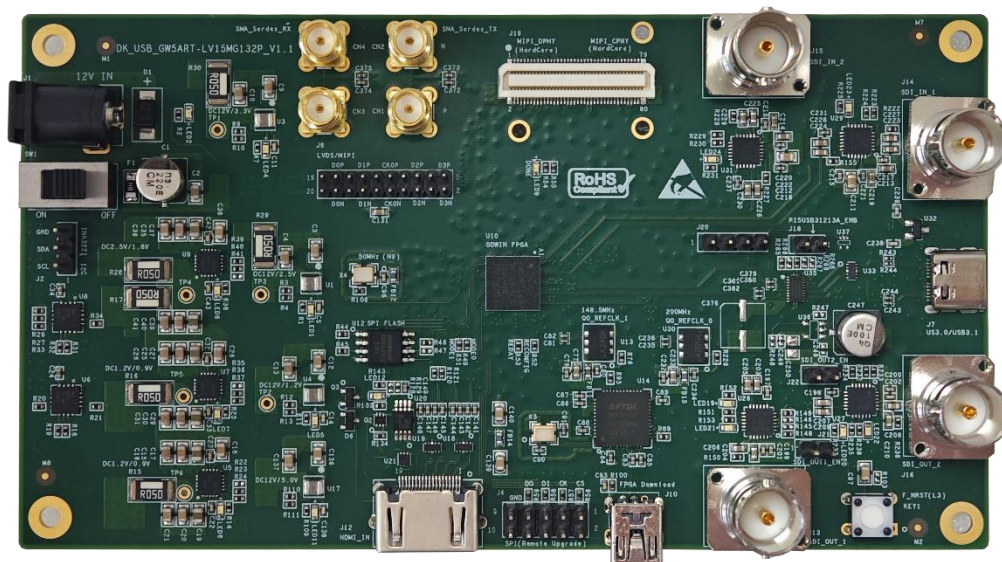
ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 開発ボードの紹介

2.1 概要

図 2-1 DK_USB_GW5ART-LV15MG132P_V1.1 開発ボード



GOWIN セミコンダクターGW5ART シリーズ FPGA 製品は、豊富なリソースおよび向上したパフォーマンスを提供します。このシリーズの FPGA は、AI コンピューティング対応の新アーキテクチャの高性能 DSP リソース、高速 LVDS インターフェース、豊富なブロック SRAM リソース、独自の研究開発による DDR3 ソリューション、数プロトコル対応の SerDes、およびさまざまなパッケージ・オプションを提供しており、低消費電力、高性能、設計の互換性を重視した各種アプリケーションに最適です。

DK_USB_GW5ART-LV15MG132P_V1.1 開発ボードは、MIPI 高速通信と SDI ビデオ通信に適しています。さらに、Type-C インターフェース、MIPI インターフェース、SDI インターフェースを統合しており、FPGA の MIPI C/D-PHY, USB3.0, SDI の機能評価、ハードウェア信頼性検証、ソフトウェアの学習とデバッグなど、さまざまなアプリケーションに

対応しています。

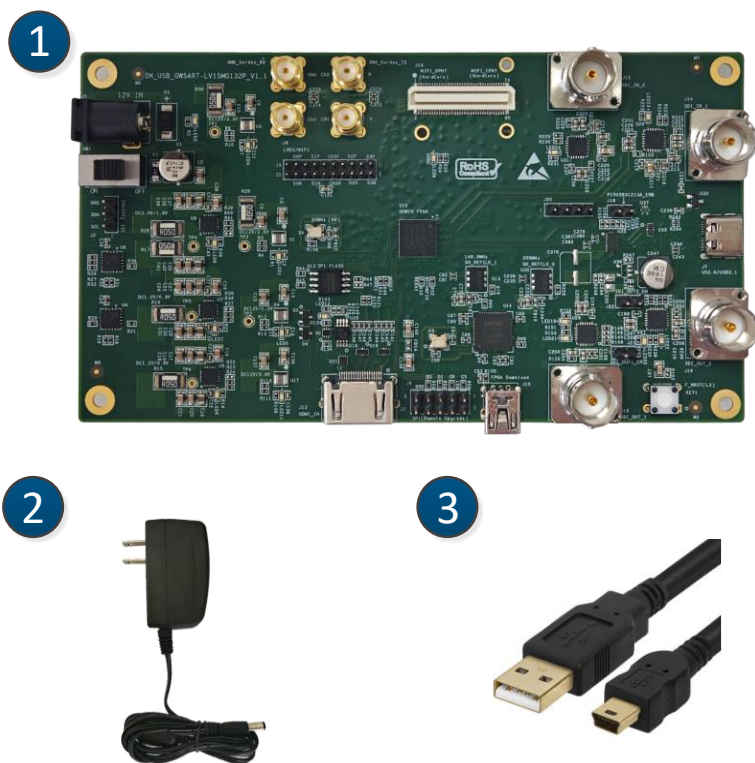
この開発ボードに搭載されている GW5ART-LV15MG132P FPGA の内部リソースについては、『GW5ART シリーズ FPGA 製品データシート ([DS1118](#))』を参照してください。

2.2 開発ボードキット

開発ボードキットには次のものが含まれています。

1. DK_USB_GW5ART-LV15MG132P_V1.1 開発ボード
2. 12V 電源アダプター(入力 : AC 100-240V~50/60Hz 0.6A、出力 : DC 12V 2A)
3. Mini USB-B ダウンロードケーブル

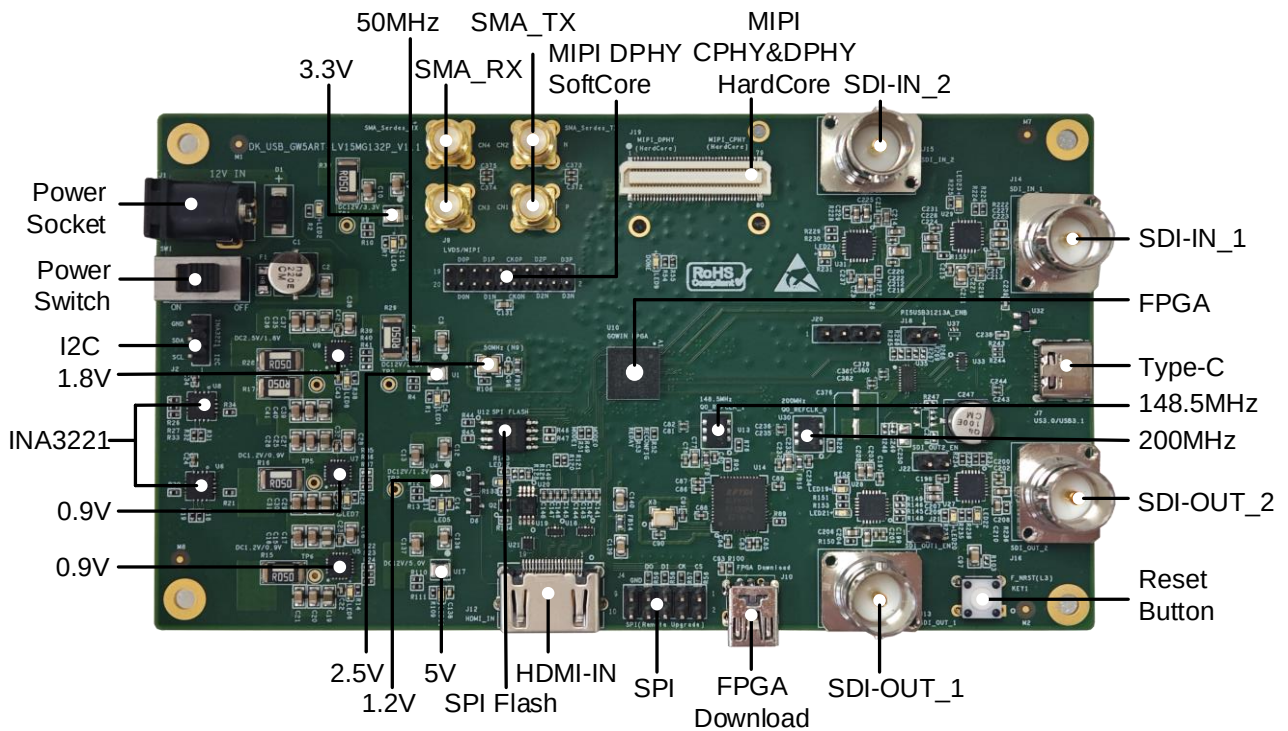
図 2-2 開発ボードキット



- ① DK_USB_GW5ART-LV15MG132P_V1.1開発ボード
- ② 12V電源アダプター
- ③ Mini USB-Bダウンロードケーブル

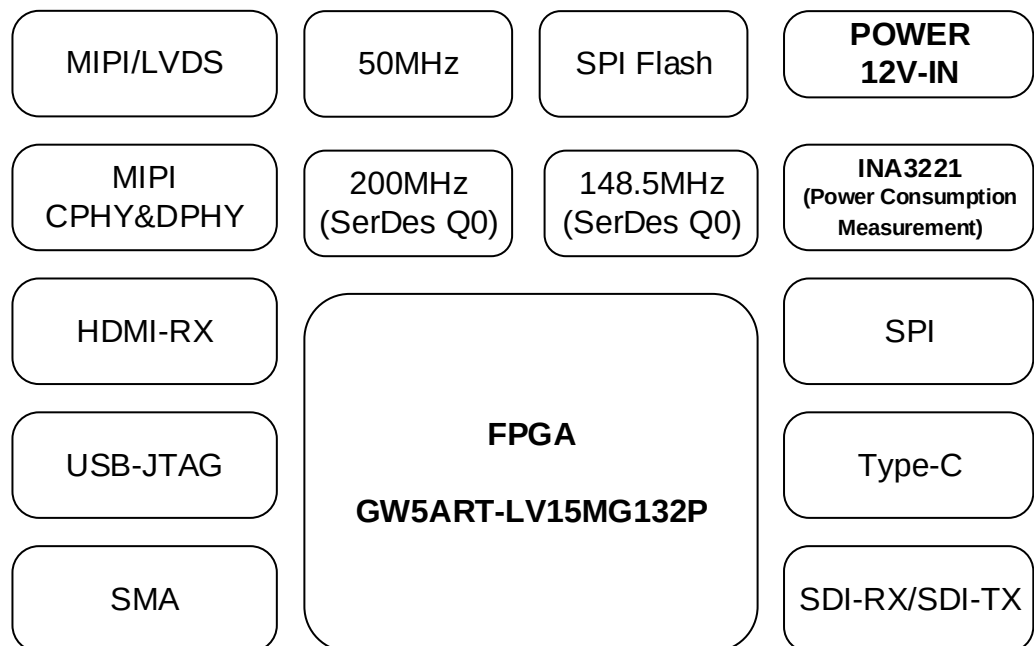
2.3 PCB のコンポーネント

図 2-3 PCB のコンポーネント



2.4 ブロック図

図 2-4 ブロック図



2.5 特徴

開発ボードの主な特徴は次のとおりです。

- **FPGA デバイス**
 - **GW5ART-LV15MG132P FPGA**
- **ダウンロードと起動**
 - **Mini USB-B インターフェース**によるダウンロードに使用される、ボード上の統合 **USB** ダウンロード回路
 - **FPGA** のコンフィギュレーション・データを格納するオフチップ **SPI Flash** を搭載
- **電源供給モード**
 - 外部の **DC 12V/2A** 電源
 - 電源投入後、**POWER** が点灯
 - 開発ボードは、**5V、3.3V、2.5V、1.8V、1.2V、0.9V** の電源を生成
- **クロックシステム**
 - **50MHz** のクロック
 - **148.5MHz** の **SerDes** クロック
 - **200MHz** の **SerDes** クロック
- **メモリ**
 - **64Mbit NOR Flash**
- **SDI インターフェース**
 - **2 つの SDI-TX** インターフェース
 - **2 つの SDI-RX** インターフェース
 - **3G SDI** インターフェイス。**2.97Gbps** の **SDI** データ転送をサポート
- **Type-C インターフェース**
 - **USB3.0** プロトコルをサポート
- **MIPI インターフェース**
 - **1 つの CPHY** ハードコア・インターフェース(**3 つのトリオ**を含む)
 - **1 つの DPHY** ハードコア・インターフェース(**4 data + 1 clk** を含む)
 - **1 つの DPHY** ソフトコア・インターフェース(**2 チャネル**：それぞれ **4 data + 1 clk** を含む)。LVDS インターフェースとして使用可能
- **HDMI インターフェース**
 - **1 つの HDMI-RX** インターフェース

- SPI インターフェース
 - 1 つの SPI インターフェース
 - リモートアップグレードに使用可能
- SMA インターフェース
 - 4 つの SMA インターフェース
 - 1 レーンの SerDes 信号
- I2C インターフェース
 - 1 つの I2C インターフェース
- キー
 - 1 つのリセットキー(アクティブ Low)

3 開発ボードの回路

3.1 FPGA

3.1.1 概要

GW5ART シリーズ FPGA 製品の詳細については、『GW5ART シリーズ FPGA 製品データシート([DS1118](#))』を参照してください。

3.1.2 I/O BANK の説明

詳しくは、『GW5ART シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG1233](#))』を参照してください。

3.2 電源

3.2.1 概要

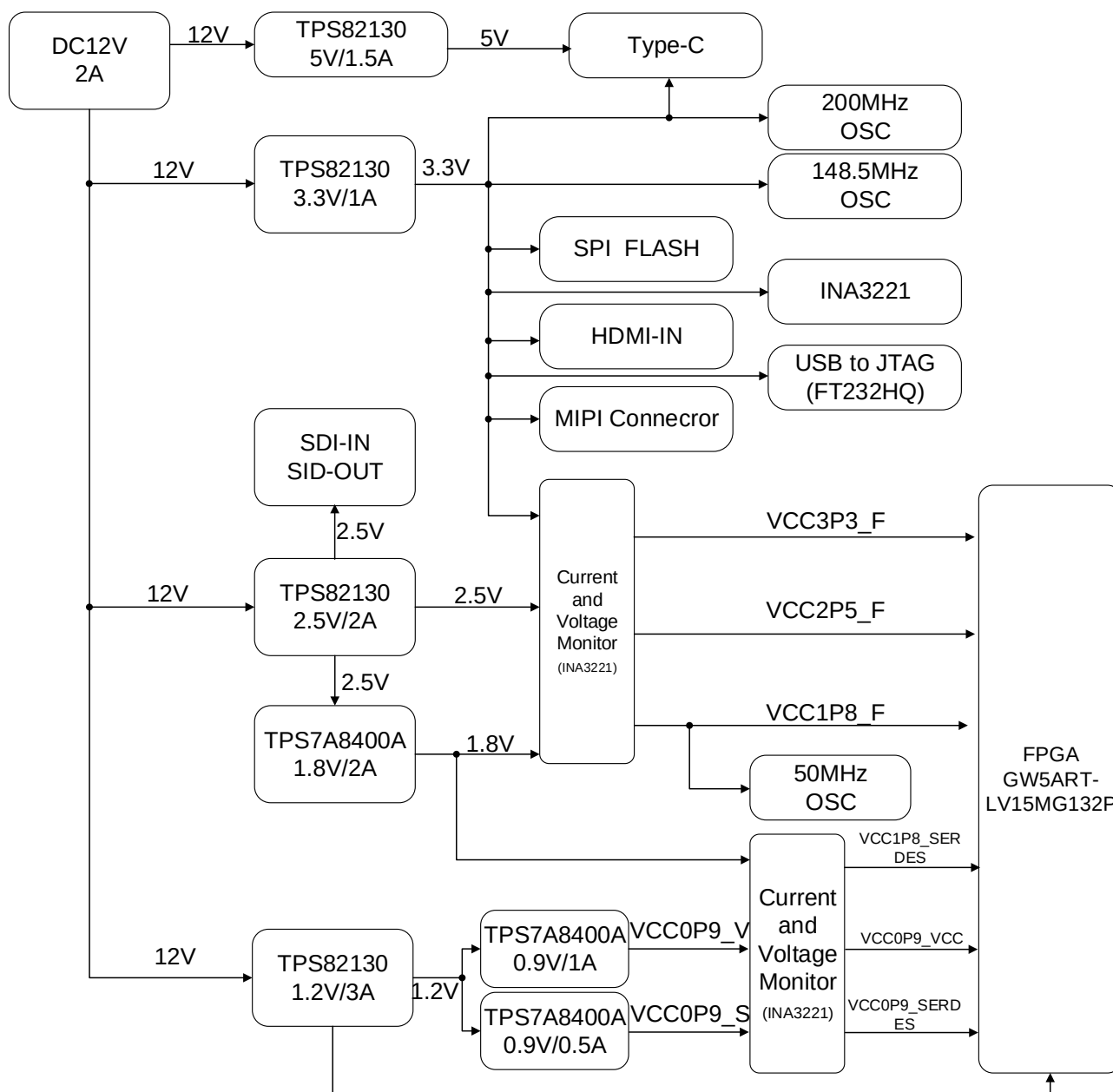
この開発ボードには、12V の電源アダプターが必要です。

電源アダプターの入力 : AC 100-240V~50/60MHz 0.6A、出力 : DC 12V 2A。

ボード上の電源変換チップは、入力される 12V を、5.0V、3.3V、2.5V、1.8V、1.2V、および 0.9V の電源に変換します。

3.2.2 電源の割り当て

図 3-1 電源の割り当ての説明図



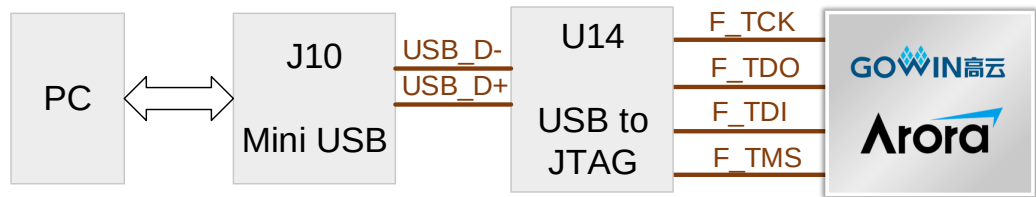
3.3 ダウンロード・モジュール

3.3.1 概要

開発ボードには、Mini USB-B ダウンロード ポート(J10)があります。このポートを介してコンフィギュレーション・データをオフチップ SPI Flash または SRAM にダウンロードすることができます。

その接続図を図 3-2 に示します。

図 3-2 ダウンロード・インターフェースの接続図



3.3.2 ピンの割り当て

表 3-1 JTAG のピンの割り当て

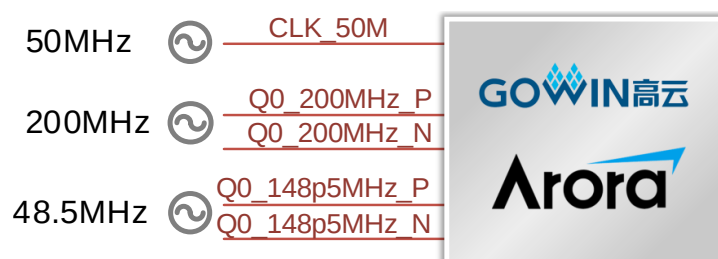
信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
F_TCK	G2	4	3.3V	JTAG 信号
F_TDO	J2	4	3.3V	
F_TDI	J3	4	3.3V	
F_TMS	G3	4	3.3V	

3.4 クロック

3.4.1 概要

開発ボードは、1つの 50MHz シングルエンド・クロック、1つの 200MHz SerDes 差動クロック、1つの 148.5MHz SerDes 差動クロックなど、さまざまな FPGA クロックソースを提供します。200MHz と 148.5MHz のクロックは、FPGA の SerDes のクロック・ピンに接続されます。クロック・ピンの割り当てを図 3-3 に示します。

図 3-3 クロックの接続図



3.4.2 ピンの割り当て

表 3-2 クロック・ピンの割り当て

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
CLK_50M	N9	1	1.8V	50MHz のシングルエ ンド・クロック
Q0_200MHz_P	A8	Q0	-	200MHz の差動クロッ ク
Q0_200MHz_N	A7	Q0	-	200MHz の差動クロッ ク
Q0_148p5MHz_P	C10	Q0	-	148.5MHz の差動クロ ック
Q0_148p5MHz_N	B10	Q0	-	148.5MHz の差動クロ ック

3.5 I2C インターフェース

3.5.1 概要

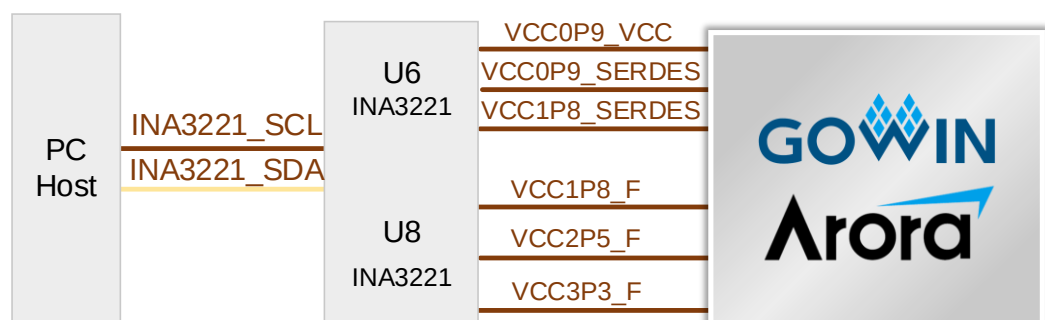
開発ボードは、ホストとの通信用に 1 つの I2C インターフェースを備えています。ホストはこのインターフェースを使用して、FPGA の VCC、SerDes、および Bank の消費電力を監視できます。

U6 の第一チャネルは VCC0P9_VCC、第二チャネルは VCC0P9_SERDES、第三チャネルは VCC1P8_SERDES で、I2C アドレスは 0x40 です。

U8 の第一チャネルは VCC1P8_F、第二チャネルは VCC2P5_F、第三チャネルは VCC3P3_F で、I2C アドレスは 0x41 です。

I2C インターフェースの接続図を図 3-4 に示します。

図 3-4 I2C インターフェースの接続図



3.5.2 ピンの割り当て

表 3-3 I2C インターフェースのピンの割り当て

J2 のピンの 番号	信号名	I/O 電圧レベル	説明
1	INA3221_SCL	3.3V	シリアル・クロック
2	INA3221_SDA	3.3V	シリアル・データ
3	GND	-	GND

3.6 MIPI インターフェース

3.6.1 概要

開発ボード上の FPGA は、1 つの MIPI CPHY ハードコア・インターフェース、1 つの MIPI DPHY ハードコア・インターフェース、1 つの MIPI DPHY ソフトコア・インターフェースを提供します。そのうち MIPI CPHY ハードコア・インターフェースと MIPI DPHY ハードコア・インターフェースは、80 ピン 0.5mm ピッチの AXK580147YG コネクタに接続され、MIPI DPHY ソフトコア・インターフェースは、1 つの 2x10P 2.0mm ピッチのピンヘッダーに接続されます。MIPI DPHY ソフトコア・インターフェースは LVDS 受信に使用可能です。MIPI インターフェースの接続図は次のとおりです。

図 3-5 MIPI CPHY&DPHY ハードコア・インターフェースの接続図

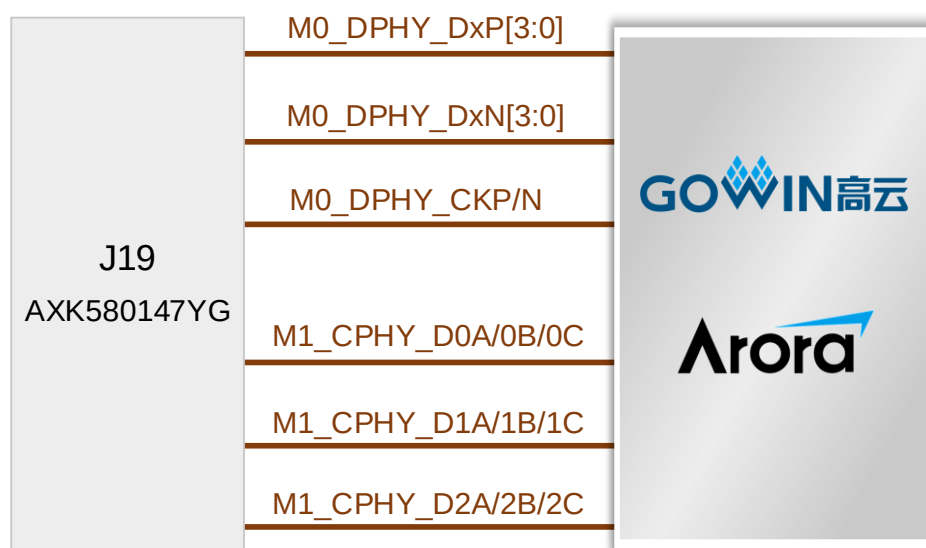


図 3-6 MIPI DPHY ソフトコア/LVDS インターフェースの接続図



3.6.2 ピンの割り当て

表 3-4 MIPI CPHY&DPHY ハードコア・インターフェースのピンの割り当て

J19 ピンの 番号	信号名	FPGA ピンの番 号	BANK	I/O 電圧 レベル	説明
1	M0_DPHY_D0N	P7	MIPI	-	MIPI DPHY のデータ 信号
2	VCC1P2	-	-	1.2V	POWER
3	M0_DPHY_D0P	N7	MIPI	-	MIPI DPHY のデータ 信号
4	VCC1P2	-	-	1.2V	POWER
5	GND	-	-	-	GND
6	GND	-	-	-	GND
7	M0_DPHY_D1N	P6	MIPI	-	MIPI DPHY のデータ 信号
8	GND	-	-	-	GND
9	M0_DPHY_D1P	N6	MIPI	-	MIPI DPHY のデータ 信号
10	GND	-	-	-	GND
11	GND	-	-	-	GND
12	NC	-	-	-	フローティング
13	M0_DPHY_CKN	P5	MIPI	-	MIPI DPHY のクロッ ク信号
14	NC	-	-	-	フローティング

J19 ピンの 番号	信号名	FPGA ピンの番 号	BANK	I/O 電圧 レベル	説明
15	M0_DPHY_CKP	N5	MIPI	-	MIPI DPHY のクロック信号
16	GND	-	-	-	GND
17	GND	-	-	-	GND
18	GND	-	-	-	GND
19	M0_DPHY_D2N	P4	MIPI	-	MIPI DPHY のデータ信号
20	GND	-	-	-	GND
21	M0_DPHY_D2P	N4	MIPI	-	MIPI DPHY のデータ信号
22	NC	-	-	-	フローティング
23	GND	-	-	-	GND
24	NC	-	-	-	フローティング
25	M0_DPHY_D3N	P3	MIPI	-	MIPI DPHY のデータ信号
26	NC	-	-	-	フローティング
27	M0_DPHY_D3P	N3	MIPI	-	MIPI DPHY のデータ信号
28	GND	-	-	-	GND
29	GND	-	-	-	GND
30	GND	-	-	-	GND
31	GND	-	-	-	GND
32	NC	-	-	-	フローティング
33	GND	-	-	-	GND
34	NC	-	-	-	フローティング
35	GND	-	-	-	GND
36	GND	-	-	-	GND
37	GND	-	-	-	GND
38	GND	-	-	-	GND
39	GND	-	-	-	GND

J19 ピンの 番号	信号名	FPGA ピンの番 号	BANK	I/O 電圧 レベル	説明
40	GND	-	-	-	GND
41	M1_CPHY_D1A	L1	MIPI	-	MIPI CPHY のデータ 信号
42	NC	-	-	-	フローティング
43	M1_CPHY_D1B	K1	MIPI	-	MIPI CPHY のデータ 信号
44	NC	-	-	-	フローティング
45	M1_CPHY_D1C	J1	MIPI	-	MIPI CPHY のデータ 信号
46	GND	-	-	-	GND
47	GND	-	-	-	GND
48	GND	-	-	-	GND
49	GND	-	-	-	GND
50	GND	-	-	-	GND
51	M1_CPHY_D0A	F2	MIPI	-	MIPI CPHY のデータ 信号
52	NC	-	-	-	フローティング
53	M1_CPHY_D0B	F1	MIPI	-	MIPI CPHY のデータ 信号
54	NC	-	-	-	フローティング
55	M1_CPHY_D0C	G1	MIPI	-	MIPI CPHY のデータ 信号
56	NC	-	-	-	フローティング
57	GND	-	-	-	GND
58	NC	-	-	-	フローティング
59	GND	-	-	-	GND
60	GND	-	-	-	GND
61	M1_CPHY_D2A	C1	MIPI	-	MIPI CPHY のデータ 信号
62	NC	-	-	-	フローティング

J19 ピンの 番号	信号名	FPGA ピンの番 号	BANK	I/O 電圧 レベル	説明
63	M1_CPHY_D2B	D2	MIPI	-	MIPI CPHY のデータ 信号
64	NC	-	-	-	フローティング
65	M1_CPHY_D2C	D1	MIPI	-	MIPI CPHY のデータ 信号
66	GND	-	-	-	GND
67	GND	-	-	-	GND
68	NC	-	-	-	フローティング
69	GND	-	-	-	GND
70	NC	-	-	-	フローティング
71	GND	-	-	-	GND
72	GND	-	-	-	GND
73	GND	-	-	-	GND
74	GND	-	-	-	GND
75	GND	-	-	-	GND
76	VCC3P3	-	-	3.3V	POWER
77	GND	-	-	-	GND
78	VCC3P3	-	-	3.3V	POWER
79	GND	-	-	-	GND
80	VCC3P3	-	-	3.3V	POWER

表 3-5 MIPI DPHY ソフトコア/LVDS インターフェースのピンの割り当て

J9 ピンの 番号	信号名	FPGA ピンの番 号	BANK	I/O 電圧 レベル	説明
1	DPHY_LVDS_D3P	N8	1	1.8V	MIPI/LVDS データ
2	DPHY_LVDS_D3N	P8	1	1.8V	MIPI/LVDS データ
3	GND	-	-	-	GND
4	GND	-	-	-	GND
5	DPHY_LVDS_D2P	P10	1	1.8V	MIPI/LVDS データ

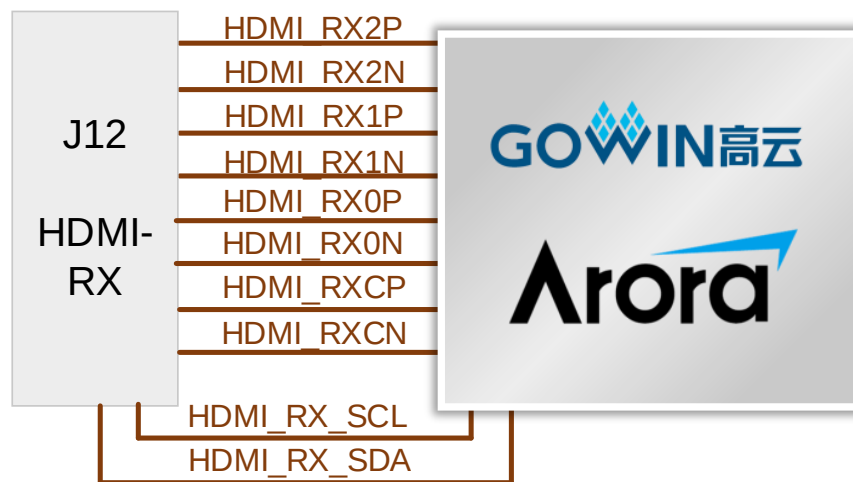
J9 ピンの 番号	信号名	FPGA ピンの番 号	BANK	I/O 電圧 レベル	説明
6	DPHY_LVDS_D2N	N10	1	1.8V	MIPI/LVDS データ
7	GND	-	-	-	GND
8	GND	-	-	-	GND
9	DPHY_LVDS_CK0P	N11	1	1.8V	MIPI/LVDS クロック
10	DPHY_LVDS_CK0N	P11	1	1.8V	MIPI/LVDS クロック
11	GND	-	-	-	GND
12	GND	-	-	-	GND
13	DPHY_LVDS_D1P	N12	1	1.8V	MIPI/LVDS データ
14	DPHY_LVDS_D1N	P12	1	1.8V	MIPI/LVDS データ
15	GND	-	-	-	GND
16	GND	-	-	-	GND
17	DPHY_LVDS_D0P	P13	1	1.8V	MIPI/LVDS データ
18	DPHY_LVDS_D0N	N13	1	1.8V	MIPI/LVDS データ
19	GND	-	-	-	GND
20	GND	-	-	-	GND

3.7 HDMI インターフェース

3.7.1 概要

開発ボードには HDMI 受信インターフェースが備わっており、HDMI 信号の受信は、FPGA の内部 IP を介して実装されます。インターフェースの接続図を図 3-7 に示します。

図 3-7 HDMI-RX インターフェースの接続図



3.7.2 ピンの割り当て

表 3-6 HDMI-RX インターフェースのピンの割り当て

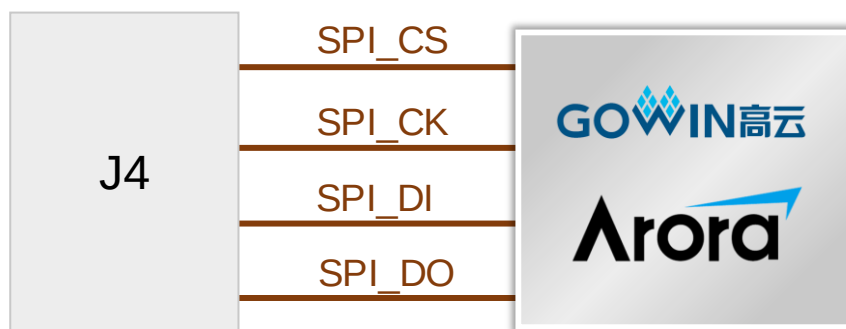
信号名	FPGA のピン の番号	BANK	I/O 電圧レ ベル	説明
HDMI_RXCP	M2	3	2.5V	HDMI 差動クロック
HDMI_RXCN	M1	3	2.5V	HDMI 差動クロック
HDMI_RX0P	P2	3	2.5V	HDMI の受信データ
HDMI_RX0N	P1	3	2.5V	HDMI の受信データ
HDMI_RX1P	H3	4	2.5V	HDMI の受信データ
HDMI_RX1N	H2	4	2.5V	HDMI の受信データ
HDMI_RX2P	K3	4	2.5V	HDMI の受信データ
HDMI_RX2N	K2	4	2.5V	HDMI の受信データ
HDMI_RX_SCL	N2	3	2.5V	I2C シリアル・クロ ック。MODE0 ピン と多重化されていま す
HDMI_RX_SDA	N1	3	2.5V	I2C シリアル・デー タ。MODE1 ピンと 多重化されています

3.8 SPI インターフェース

3.8.1 概要

開発ボードには、リモートアップグレード用の **SPI** インターフェースがあります。**SPI** インターフェースの接続図を図 3-8 に示します。

図 3-8 SPI インターフェースの接続図



3.8.2 ピンの割り当て

表 3-7 SPI インターフェースのピンの割り当て

J4 の ピンの 番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
1	SPI_CS	P14	1	1.8V	チップセレクト信号
3	SPI_CK	M8	1	1.8V	クロック信号
5	SPI_DI	N14	1	1.8V	FPGA への入力データ
7	SPI_DO	P9	1	1.8V	FPGA からの出力データ

3.9 Type-C インターフェース

3.9.1 概要

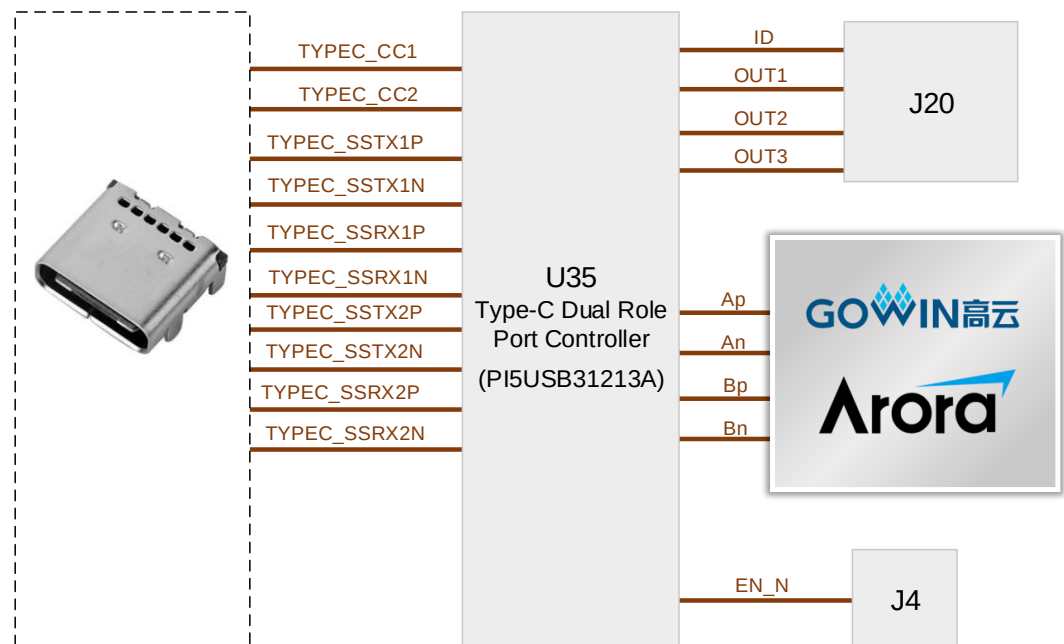
開発ボードは、**USB 3.0** データ転送用の **Type-C** インターフェースを備えており、このインターフェースは、**USB 3.0** の性能評価に使用できます。

開発ボード上の **Type-C** インターフェースは、**Type-C Dual Role Port** コントローラ経由で 1 つの **SerDes** 信号を **FPGA** に接続します。**Type-C Dual Role Port** コントローラは差動高速ラインの切り替えを処理します。

USB 3.0 実装には Gowin USB 3.0 PHY IP ソリューションが使用されます。

Type-C Dual Role Port コントローラの管理インターフェースは J20 を介して提供されており、これを SPI インターフェース (J4) にジャンパー接続することで、FPGA と Type-C Dual Role Port コントローラ間のデータやり取りが可能になります。Type-C Dual Role Port コントローラのイネーブル信号 (EN_N) は、SPI インターフェースのクロック信号 (SPI_CK) と多重化されています。

図 3-9 Type-C インターフェースの接続図



3.9.2 ピンの割り当て

表 3-8 Type-C インターフェースのピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
TYPECSSTXP	B8	SerDes Q0	-	Type-C TX+
TYPECSSTXN	C8	SerDes Q0	-	Type-C TX-
TYPECSSRXP	A10	SerDes Q0	-	Type-C RX+
TYPECSSRXN	A11	SerDes Q0	-	Type-C RX-

3.10 SDI インターフェース

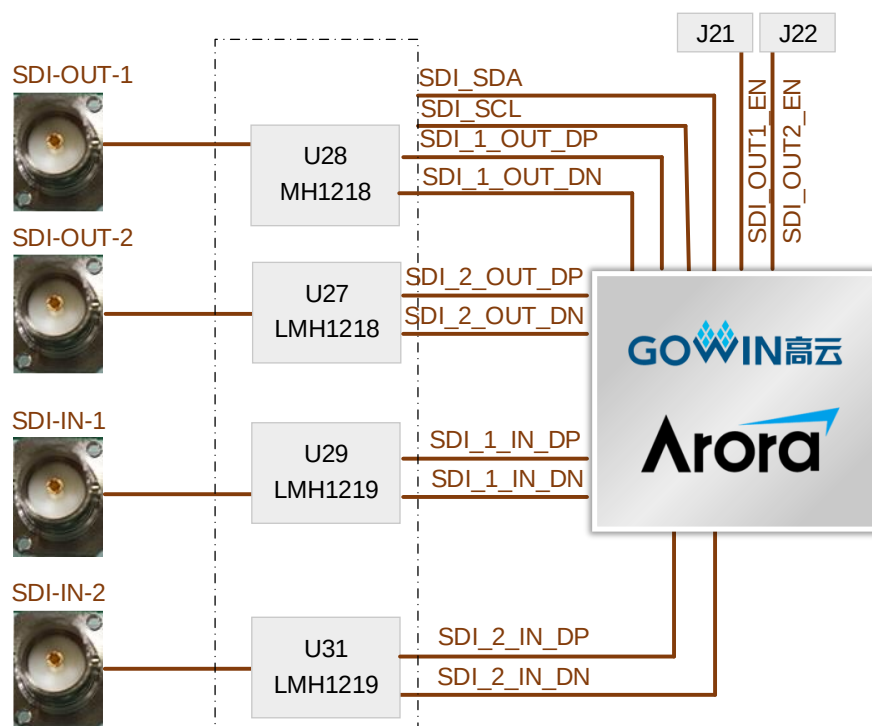
3.10.1 概要

開発ボードには、2つの **SDI-IN** インターフェースと 2つの **SDI-OUT** インターフェースが搭載されており、そのコネクタは **BNC** タイプです。
3G SDI インターフェースの性能評価に使用できます。

SDI-OUT-1 チャンネルの出力は、**J21** にジャンパーキャップを取り付けることでオフにできます。**SDI-OUT-2** チャンネルの出力は、**J22** にジャンパーキャップを取り付けることでオフにできます。

SDI インターフェースの接続図を図 3-10 に示します。

図 3-10 SDI インターフェースの接続図



3.10.2 ピンの割り当て

表 3-9 SDI インターフェースのピンの割り当て

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
SDI_OUT1_EN	-	-	-	U28 (LMH1218)出力イネーブル
SDI_OUT2_EN	-	-	-	U27 (LMH1218)出力イネーブル

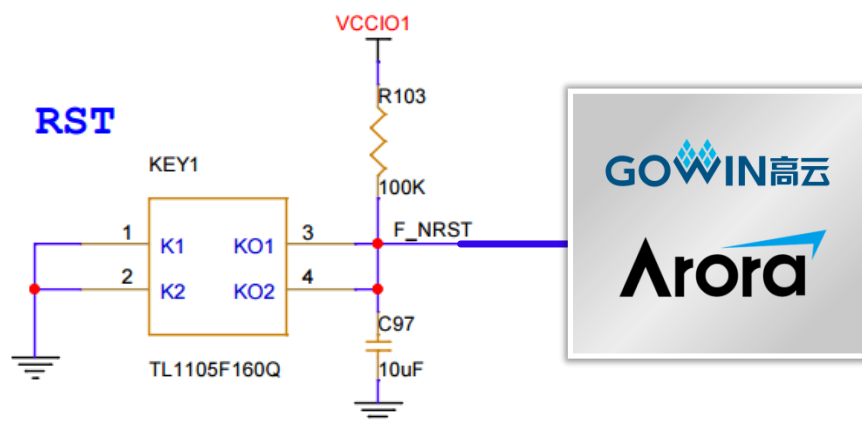
信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
SDI_SDA	N14	3	2.5V	LMH1218/LMH1219 の I2C 制御信号。SDA は SPI_DO 信号と多重化さ れ、SCL は SPI_DI 信号 と多重化されており、ジ ャンパーキャップを介し て接続されます。
SDI_SCL	P9	2	2.5V	
SDI_2_OUT_P	B3	SerDes Q0	-	LMH1218 IN0+
SDI_2_OUT_N	C3	SerDes Q0	-	LMH1218 IN0-
SDI_1_OUT_P	B6	SerDes Q0	-	LMH1218 IN0+
SDI_1_OUT_N	C6	SerDes Q0	-	LMH1218 IN0-
SDI_2_IN_P	A2	SerDes Q0	-	LMH1219 OUT0+
SDI_2_IN_N	A1	SerDes Q0	-	LMH1219 OUT0-
SDI_1_IN_P	A4	SerDes Q0	-	LMH1219 OUT0+
SDI_1_IN_N	A5	SerDes Q0	-	LMH1219 OUT0-

3.11 キー

3.11.1 概要

開発ボードには、FPGA の Bank1 の DONE のピンに接続される 1 つのリセット・キーがあります。キーが押されると FPGA の対応する IO 入力電圧は **Low** になり、キーが押されないと FPGA の対応する IO 入力電圧は **High** になります。その接続図を図 3-11 に示します。

図 3-11 キーの接続図



3.11.2 ピンの割り当て

表 3-10 キーモジュールのピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
F_NRST	L3	2	2.5V	リセット・キーは DONE ピンと多重化されています

3.12 SMA インターフェース

3.12.1 概要

開発ボードには、FPGA の SerDes ピンに接続される、送信用と受信用の 2 ペアの SMA 差動信号が提供されています。その接続図を図 3-12 に示します。

図 3-12 SMA インターフェースの接続図



3.12.2 ピンの割り当て

表 3-11 SMA インターフェースのピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
SMA_TXP	C12	SerDes Q0	--	FPGA の送信データ
SMA_TXN	B12	SerDes Q0	--	FPGA の送信データ
SMA_RXP	A13	SerDes Q0	--	FPGA の受信データ
SMA_RXN	A14	SerDes Q0	--	FPGA の受信データ

