

DK_START_GW5AT-LV60PG484A_V1.1 開 発ボード ユーザーガイド

著作権について(2026)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN 及び **Gowin** は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、**GOWINSEMI Terms and Conditions of Sale**(GOWINSEMI 取引条件)に規定されている内容を除き、(明示的か又は黙示的に拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2024/12/31	1.0J	初版。
2025/05/09	1.0.1J	「図 2-3 PCB のコンポーネント」を更新。
2025/08/15	1.0.2J	MIPI インターフェースの情報を更新。
2025/11/21	1.0.3J	「3.15 キーとインジケータ」の紹介を更新。
2026/03/13	1.0.4J	「2.1 概要」における DDR3 の説明を最適化。

目次

目次	i
図一覧	iv
表一覧	v
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	1
1.4 テクニカル・サポートとフィードバック	2
2 開発ボードの紹介	3
2.1 概要	3
2.2 開発ボードキット	4
2.3 PCB のコンポーネント	5
2.4 ブロック図	6
2.5 特徴	6
3 開発ボードの回路	9
3.1 FPGA	9
3.2 電源	9
3.2.1 概要	9
3.2.2 電源の割り当て	10
3.3 ダウンロード・モジュール	11
3.3.1 概要	11
3.3.2 ピンの割り当て	11
3.4 クロック	11
3.4.1 概要	11
3.4.2 ピンの割り当て	12

3.5 DDR3 モジュール	12
3.5.1 概要	12
3.5.2 ピンの割り当て	13
3.6 ADC インターフェース	17
3.6.1 概要	17
3.6.2 ピンの割り当て	17
3.7 SFP インターフェース	18
3.7.1 概要	18
3.7.2 ピンの割り当て	18
3.8 HDMI インターフェース	19
3.8.1 概要	19
3.8.2 ピンの割り当て	20
3.9 SDI インターフェース	23
3.9.1 概要	23
3.9.2 ピンの割り当て	24
3.10 イーサネット・インターフェース	25
3.10.1 概要	25
3.10.2 ピンの割り当て	25
3.11 MIPI インターフェース	27
3.11.1 概要	27
3.11.2 ピンの割り当て	27
3.12 LVDS インターフェース	31
3.12.1 概要	31
3.12.2 ピンの割り当て	31
3.13 UART インターフェース	33
3.13.1 概要	33
3.13.2 ピンの割り当て	33
3.14 I2C インターフェース	34
3.14.1 概要	34
3.14.2 ピンの割り当て	34
3.15 キーとインジケータ	34
3.15.1 概要	34
3.15.2 ピンの割り当て	35
3.16 GPIO	36

3.16.1 概要	36
3.16.2 ピンの割り当て	36

図一覧

図 2-1 DK_START_GW5AT-LV60PG484A_V1.1 開発ボード	3
図 2-2 開発ボードキット	4
図 2-3 PCB のコンポーネント	5
図 2-4 ブロック図	6
図 3-1 電源の割り当ての説明図	10
図 3-2 ダウンロード・インターフェースの接続図	11
図 3-3 クロックの接続図	12
図 3-4 DDR3 のハードウェア接続図	13
図 3-5 ADC インターフェースの接続図	17
図 3-6 SFP インターフェースの接続図	18
図 3-7 HDMI_TX インターフェースの接続図	20
図 3-8 HDMI_RX インターフェースの接続図	20
図 3-9 SDI インターフェースの接続図	24
図 3-10 イーサネット・インターフェースの接続図	25
図 3-11 MIPI インターフェースの接続図	27
図 3-12 LVDS インターフェースの接続図	31
図 3-13 UART インターフェースの接続図	33
図 3-14 I2C インターフェースの接続図	34
図 3-15 キーの接続図	35
図 3-16 LED の接続図	35
図 3-17 GPIO インターフェースの接続図	36

表一覧

表 1-1 用語、略語	1
表 3-1 JTAG のピンの割り当て	11
表 3-2 クロックピンの割り当て	12
表 3-3 DDR3 メモリの詳細	13
表 3-4 DDR3 モジュールのピンの割り当て	13
表 3-5 ADC インターフェースのピンの割り当て	17
表 3-6 SFP-1 インターフェースのピンの割り当て	18
表 3-7 SFP2 インターフェースのピンの割り当て	19
表 3-8 HDMI_TX インターフェースのピンの割り当て	20
表 3-9 HDMI_RX インターフェースのピンの割り当て	22
表 3-10 SDI インターフェースのピンの割り当て	24
表 3-11 イーサネット・インターフェース 1 のピンの割り当て	25
表 3-12 イーサネット・インターフェース 2 のピンの割り当て	26
表 3-13 MIPI インターフェースのピンの割り当て	27
表 3-14 LVDS インターフェースのピンの割り当て	31
表 3-15 UART インターフェースのピンの割り当て	33
表 3-16 I2C インターフェースのピンの割り当て	34
表 3-17 キーモジュールのピンの割り当て	35
表 3-18 LED のピンの割り当て	36
表 3-19 GPIO インターフェースのピンの割り当て	36

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、3つの部分で構成されています。

- 開発ボードの機能の概要。
- 開発ボードの構造およびそのハードウェアリソースの説明。
- 開発ボード上のハードウェア回路の機能およびピンの割り当ての説明。

1.2 関連ドキュメント

[ホームページ](#)から、以下の関連ドキュメントがダウンロード、参考できます：

- GW5AT シリーズ FPGA 製品データシート([DS981](#))
- GW5AT-60 デバイス Pinout([UG1222](#))
- GW5AT シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG983](#))
- Arora V 60K FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド([UG718](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
ADC	Analog-to-digital converter	アナログ-デジタル・コンバータ

用語、略語	正式名称	意味
DDR	Double Data Rate	ダブル・データ・レート
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
GPIO	Gowin Programmable I/O	Gowin プログラマブル汎用 IO
JTAG	Joint Test Action Group	ジョイント・テスト・アクション・グループ
LDO	Low Dropout Regulator	低ドロップアウト・レギュレータ
SDI	Serial digital interface	シリアル・デジタル・インターフェース
SFP	Small Form-factor Pluggable Transceiver	小型フォームファクタ・プラグブル・トランシーバー

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 開発ボードの紹介

2.1 概要

図 2-1 DK_START_GW5AT-LV60PG484A_V1.1 開発ボード



GOWIN セミコンダクターGW5AT シリーズ FPGA 製品は、豊富なリソースおよび向上したパフォーマンスを提供します。このシリーズの FPGA は、AI コンピューティング対応の新アーキテクチャの高性能 DSP リソース、高速 LVDS インターフェース、豊富なブロック SRAM リソース、独自の研究開発による DDR3 ソリューション、およびさまざまなパッケージ・オプションを提供しており、低消費電力、高性能、設計の互換性を重視した各種アプリケーションに最適です。

DK_START_GW5AT-LV60PG484A_V1.1 開発ボードは、DDR3 高速データ・ストレージと SFP 高速通信に適しています。さらに、LVDS イ

ンターフェース、SDI-IN インターフェース、SDI-OUT インターフェース、Ethernet インターフェース、HDMI-TX、HDMI-RX インターフェース、ADC ハードコア・インターフェースなどを統合しており、FPGA の機能評価、ハードウェア信頼性検証、ソフトウェアの学習とデバッグなど、さまざまなアプリケーションに対応しています。

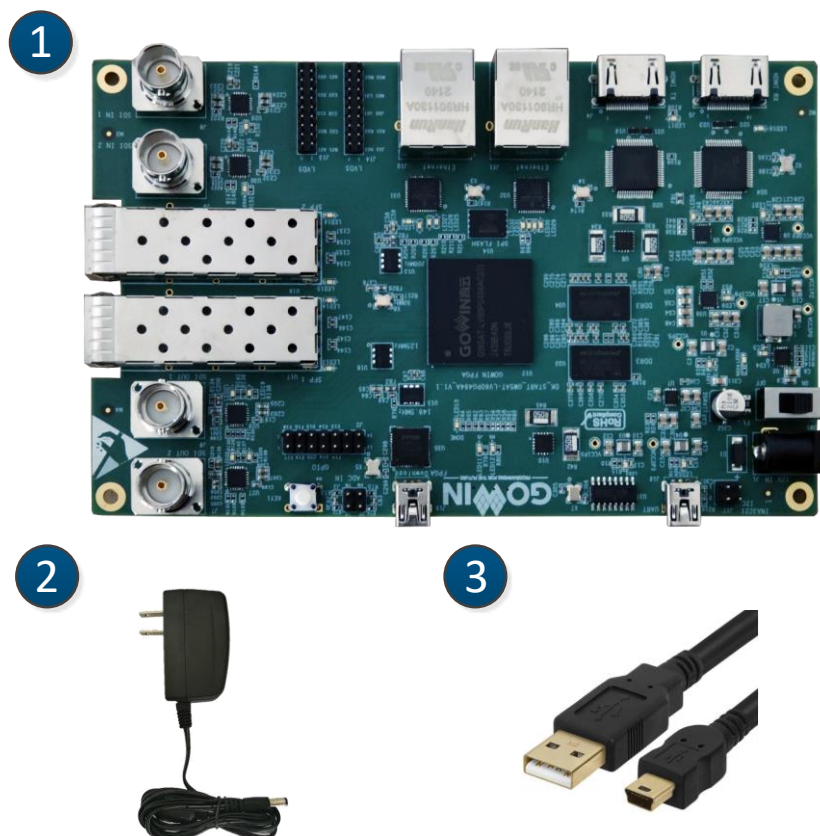
この開発ボードに搭載されている GW5AT-LV60PG484A FPGA の内部リソースについては、『GW5AT シリーズ FPGA 製品データシート ([DS981](#))』を参照してください。

2.2 開発ボードキット

開発ボードキットには次のものが含まれています。

1. DK_START_GW5AT-LV60PG484A_V1.1 開発ボード
2. 12V 電源アダプター(入力 : AC 100-240V~50/60Hz 0.6A、出力 : DC 12V 2A)
3. Mini USB-B ダウンロードケーブル

図 2-2 開発ボードキット

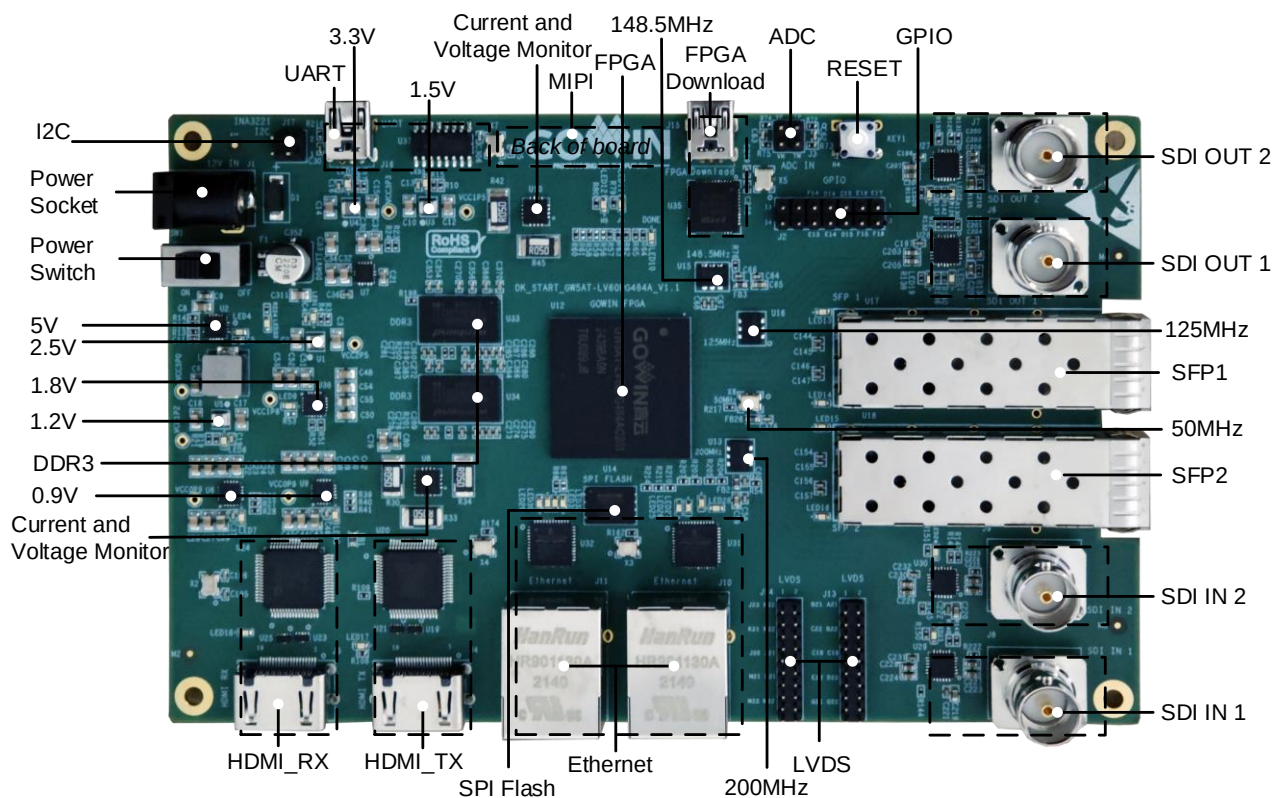


- ① DK_START_GW5AT-LV60PG484A_V1.1開発ボード

- ② 12V電源アダプター
- ③ Mini USB-Bダウンロードケーブル

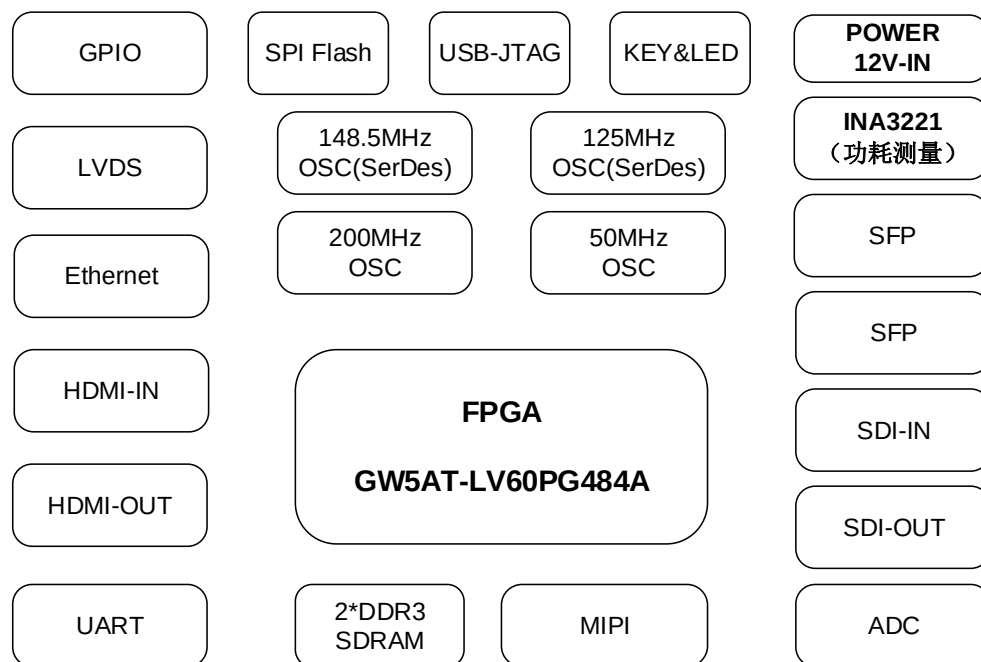
2.3 PCB のコンポーネント

図 2-3 PCB のコンポーネント



2.4 ブロック図

図 2-4 ブロック図



2.5 特徴

開発ボードの主な特徴は次のとおりです。

- **FPGA デバイス**
 - GW5AT-LV60PG484A FPGA
- **ダウンロードと起動**
 - Mini USB-B インターフェースによるダウンロードに使用される、ボード上の統合 USB ダウンロード回路
 - オフチップ SPI Flash による起動
- **電源供給モード**
 - 外部の DC 12V/2A 電源
 - 電源投入後、POWER が点灯
 - 開発ボードは、5V、3.3V、2.5V、1.8V、1.5V、1.2V、0.9V、および 0.75V の電源を提供
- **クロックシステム**
 - 50MHz のシングルエンド・クロック
 - 125MHz の差動クロック
 - 148.5MHz の差動クロック
 - 200MHz の差動クロック

- メモリ
 - 4Gbit DDR3 SDRAM
 - 256Mbit NOR Flash
- SFP インターフェース
 - 2 つの SFP インターフェース。SFP または SFP+モジュールに接続可能
- HDMI インターフェース
 - 1 つの HDMI-TX インターフェース。エンコーディング・チップを使用して HDMI-TX 通信を実装
 - 1 つの HDMI-RX インターフェース。デコーディング・チップを使用して HDMI-RX 通信を実装
- SDI インターフェース
 - 2 つの SDI-IN インターフェース
 - 2 つの SDI-OUT インターフェース
 - 6G SDI インターフェイス。5.94 Gbps の SDI データ転送をサポート。
- イーサネット・インターフェース
 - 2 つのイーサネット・インターフェース
 - RGMII インターフェース (10Base-T/100Base-T/1000BASE-T) をサポート
 - マグネティクス付きの RJ45 コネクタ
- MIPI インターフェース
 - LVDS 受信インターフェース(4 data + 1 clk または 8 data + 1 clk)
 - 4 本の 3.3V 規格の GPIO を予約
- LVDS インターフェース
 - 2 つの LVDS インターフェース (それぞれ 4 data + 1 clk を含む)
- I2C インターフェース
 - 1 つの I2C インターフェース
- UART インターフェース
 - 1 つの UART インターフェース
 - Mini USB-B コネクタを使用
- ADC インターフェース
 - 1 つの ADC インターフェース
- キーとインジケータ
 - 1 つのリセットキー(アクティブ Low)
 - 2 つの LED
- GPIO

- 10 本の 3.3V 規格の GPIO

3 開発ボードの回路

3.1 FPGA

概要

GW5AT シリーズ FPGA 製品の詳細については、『GW5AT シリーズ FPGA 製品データシート([DS981](#))』を参照してください。

I/O BANK の説明

詳しくは、『GW5AT シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG983](#))』を参照してください。

3.2 電源

3.2.1 概要

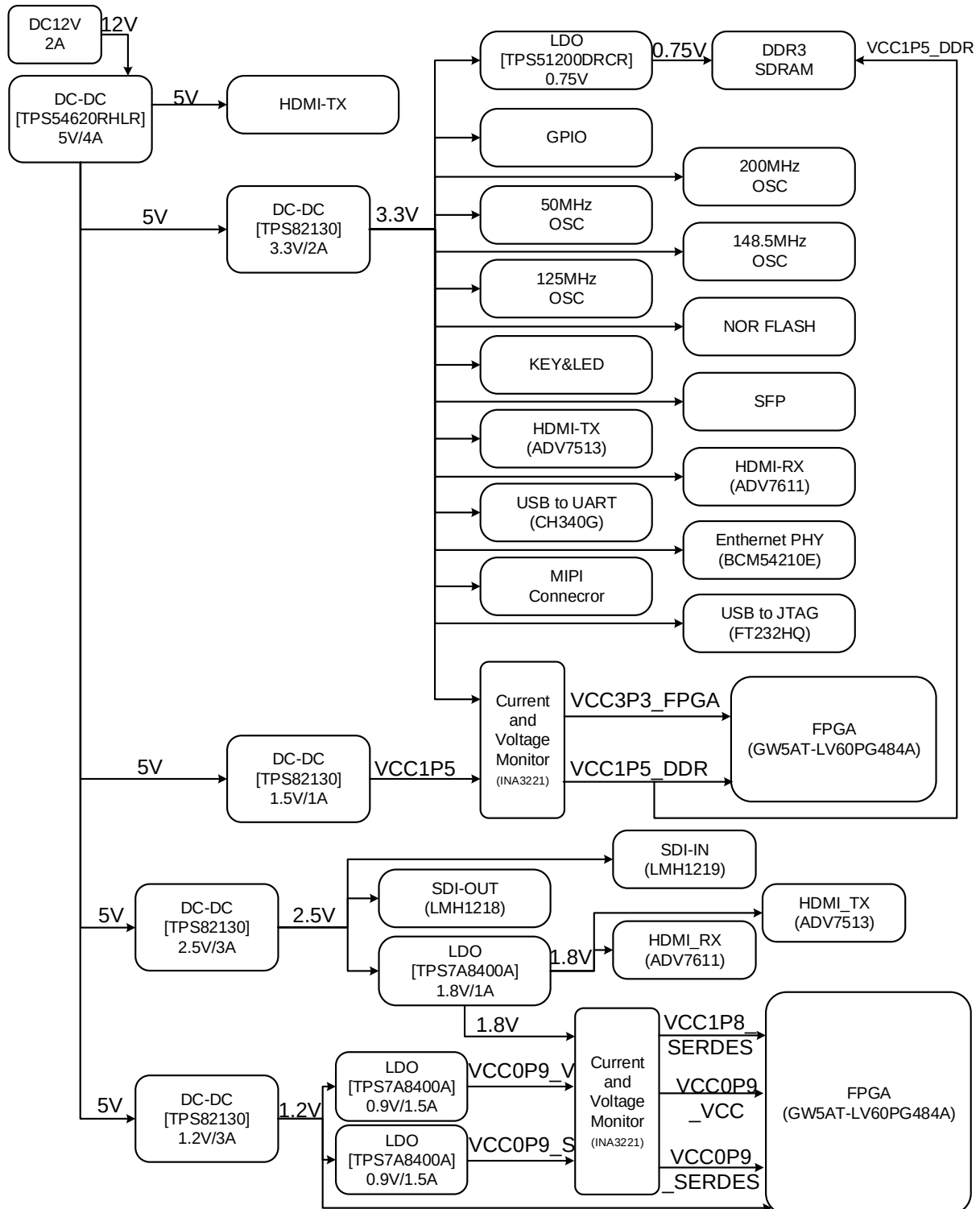
この開発ボードには、12V の電源アダプターが必要です。

電源アダプターの入力 : AC 100-240V~50/60MHz 0.6A、出力 : DC 12V 2A。

ボード上の電源変換チップは、入力される 12V を、5V、3.3V、2.5V、1.8V、1.5V、1.2V、0.9V、および 0.75V の電源に変換します。

3.2.2 電源の割り当て

図 3-1 電源の割り当ての説明図



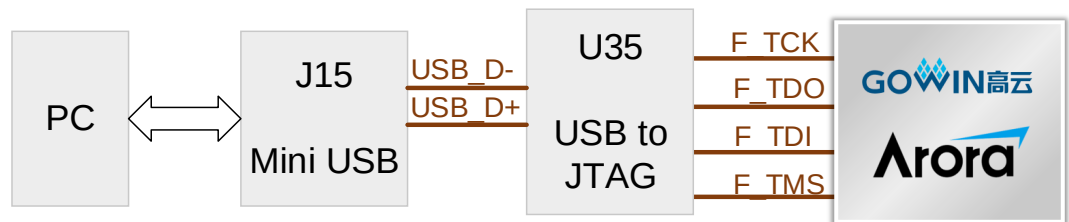
3.3 ダウンロード・モジュール

3.3.1 概要

開発ボードには、Mini USB-B ダウンロード ポート(J15)があります。このポートを介してコンフィギュレーションデータをオフチップ SPI Flash または SRAM にダウンロードすることができます。

その接続図を図 3-2 に示します。

図 3-2 ダウンロード・インターフェースの接続図



3.3.2 ピンの割り当て

表 3-1 JTAG のピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
F_TCK	V12	12	3.3V	JTAG 信号
F_TDO	U13	12	3.3V	
F_TDI	R13	12	3.3V	
F_TMS	T13	12	3.3V	

3.4 クロック

3.4.1 概要

開発ボードは、1つの 50MHz シングルエンド・クロック、1つの 200MHz 差動クロック、1つの 125MHz 差動クロック、1つの 148.5MHz 差動クロックを含む複数の FPGA クロック・ソースを提供しています。そのうち 125MHz と 148.5MHz の差動クロックは、FPGA の SerDes 高速クロック・ピンに接続されています。クロックピンの割り当てを図 3-3 に示します。

図 3-3 クロックの接続図



3.4.2 ピンの割り当て

表 3-2 クロックピンの割り当て

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
CLK_50MHz	F13	1	3.3V	50MHz のシングル エンド・クロック
F_CLK_200M_P	D17	1	3.3V	200MHz の差動クロ ック
F_CLK_200M_N	C17	1	3.3V	200MHz の差動クロ ック
Q0_REFCLKP_1	F10	Q0	-	125MHz の差動クロ ック
Q0_REFCLKM_1	E10	Q0	-	125MHz の差動クロ ック
Q0_REFCLKP_0	F6	Q0	-	148.5MHz の差動ク ロック
Q0_REFCLKM_0	E6	Q0	-	148.5MHz の差動ク ロック

3.5 DDR3 モジュール

3.5.1 概要

開発ボードには、2 つの 2Gbit DDR3 メモリが搭載されています。
DDR3 メモリの信号は、FPGA の BANK9、BANK10 に接続されていま

す。DDR3 メモリの詳細を表 3-3 に示します。

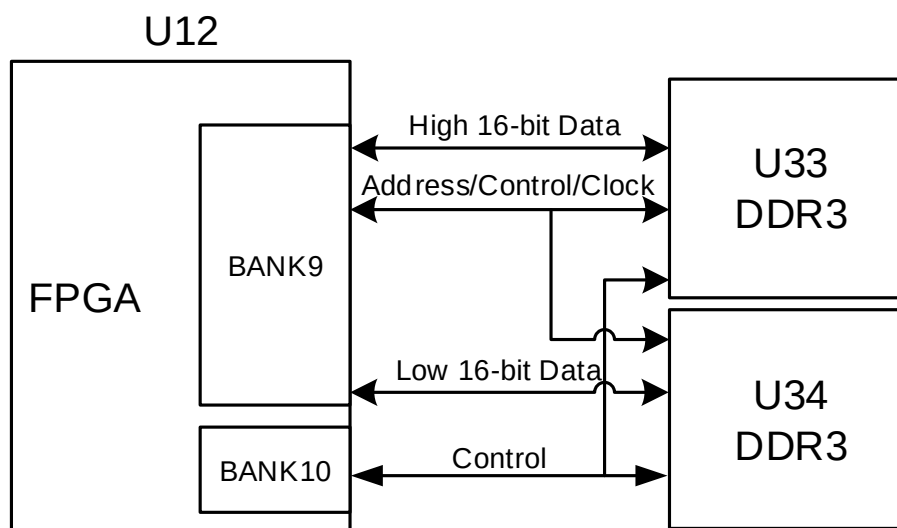
表 3-3 DDR3 メモリの詳細

番号	容量
U33	128M x 16bit
U34	128M x 16bit

DDR3 のハードウェア設計では、シグナルインテグリティを厳密に考慮する必要があり、DDR3 の高速で安定した動作を実現するために、終端抵抗、配線のインピーダンス制御、配線の等長化など、回路設計や PCB 設計で十分に考慮されています。

DDR3 メモリのハードウェア接続図は図 3-4 に示すとおりです。

図 3-4 DDR3 のハードウェア接続図



3.5.2 ピンの割り当て

表 3-4 DDR3 モジュールのピンの割り当て

信号名	FPGA(U1) の ピン の番号	BANK	I/O 電圧 レベル	説明
DDR3_A0	AA10	9	1.5V	アドレス
DDR3_A1	Y12	9	1.5V	アドレス
DDR3_A2	W10	9	1.5V	アドレス
DDR3_A3	Y2	9	1.5V	アドレス
DDR3_A4	AA13	9	1.5V	アドレス
DDR3_A5	AB10	9	1.5V	アドレス

信号名	FPGA(U1) の ピン の番号	BANK	I/O 電圧 レベル	説明
DDR3_A6	Y13	9	1.5V	アドレス
DDR3_A7	AB11	9	1.5V	アドレス
DDR3_A8	Y14	9	1.5V	アドレス
DDR3_A9	AA11	9	1.5V	アドレス
DDR3_A10	AB12	9	1.5V	アドレス
DDR3_A11	W11	9	1.5V	アドレス
DDR3_A12	W12	9	1.5V	アドレス
DDR3_A13	Y11	9	1.5V	アドレス
DDR3_BA0	V4	9	1.5V	Bank アドレ ス
DDR3_BA1	AB13	9	1.5V	Bank アドレ ス
DDR3_BA2	U2	9	1.5V	Bank アドレ ス
DDR3_CS#	P1	10	1.8V	チップストロ ープ
DDR3_CAS#	U7	9	1.5V	列アドレスス トロープ
DDR3_CKE	R1	10	1.8V	クロック・イ ネーブル
DDR3_ODT	N2	10	1.8V	ODT イネー ブル
DDR3_RAS#	AA9	9	1.5V	行アドレスス トロープ
DDR3_RESET	P2	10	1.8V	リセット
DDR3_WE#	R4	9	1.5V	書き込みイネ ーブル
DDR3_CLK_P	V7	9	1.5V	差動クロック
DDR3_CLK_N	W7	9	1.5V	差動クロック
DDR3_DQ0	AB7	9	1.5V	データ
DDR3_DQ1	Y8	9	1.5V	データ

信号名	FPGA(U1) の ピン の番号	BANK	I/O 電圧 レベル	説明
DDR3_DQ2	Y7	9	1.5V	データ
DDR3_DQ3	W9	9	1.5V	データ
DDR3_DQ4	AB8	9	1.5V	データ
DDR3_DQ5	V10	9	1.5V	データ
DDR3_DQ6	AB6	9	1.5V	データ
DDR3_DQ7	AA8	9	1.5V	データ
DDR3_DQ8	T5	9	1.5V	データ
DDR3_DQ9	Y6	9	1.5V	データ
DDR3_DQ10	U6	9	1.5V	データ
DDR3_DQ11	T4	9	1.5V	データ
DDR3_DQ12	T6	9	1.5V	データ
DDR3_DQ13	AA6	9	1.5V	データ
DDR3_DQ14	R6	9	1.5V	データ
DDR3_DQ15	U5	9	1.5V	データ
DDR3_DQ16	AB1	9	1.5V	データ
DDR3_DQ17	AA4	9	1.5V	データ
DDR3_DQ18	AA1	9	1.5V	データ
DDR3_DQ19	AA5	9	1.5V	データ
DDR3_DQ20	AB2	9	1.5V	データ
DDR3_DQ21	W4	9	1.5V	データ
DDR3_DQ22	AB3	9	1.5V	データ
DDR3_DQ23	Y4	9	1.5V	データ
DDR3_DQ24	W2	9	1.5V	データ
DDR3_DQ25	V2	9	1.5V	データ
DDR3_DQ26	U3	9	1.5V	データ
DDR3_DQ27	U1	9	1.5V	データ
DDR3_DQ28	Y1	9	1.5V	データ
DDR3_DQ29	T3	9	1.5V	データ
DDR3_DQ30	V3	9	1.5V	データ

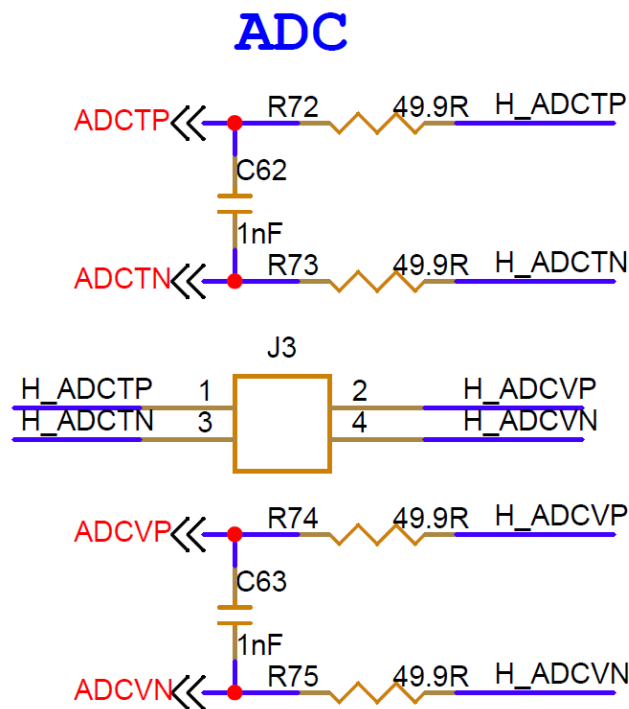
信号名	FPGA(U1) の ピン の番号	BANK	I/O 電圧 レベル	説明
DDR3_DQ31	T1	9	1.5V	データ
DDR3_LDM0	Y9	9	1.5V	データ入力マ スク
DDR3_UDM0	V5	9	1.5V	データ入力マ スク
DDR3_LDQS0_P	V9	9	1.5V	データクロッ ク
DDR3_LDQS0_N	V8	9	1.5V	データクロッ ク
DDR3_UDQS0_P	W6	9	1.5V	データクロッ ク
DDR3_UDQS0_N	W5	9	1.5V	データクロッ ク
DDR3_LDM1	AB5	9	1.5V	データ入力マ スク
DDR3_UDM1	W1	9	1.5V	データ入力マ スク
DDR3_LDQS1_P	Y3	9	1.5V	データクロッ ク
DDR3_LDQS1_N	AA3	9	1.5V	データクロッ ク
DDR3_UDQS1_P	R3	9	1.5V	データクロッ ク
DDR3_UDQS1_N	R2	9	1.5V	データクロッ ク

3.6 ADC インターフェース

3.6.1 概要

開発ボードでは、2.54mm ピッチの 2x2P ピンヘッダーを使用して ADC インターフェースが拡張されています。下図は ADC インターフェースの接続およびアンチエイリアシング・フィルタの説明図です。

図 3-5 ADC インターフェースの接続図



3.6.2 ピンの割り当て

表 3-5 ADC インターフェースのピンの割り当て

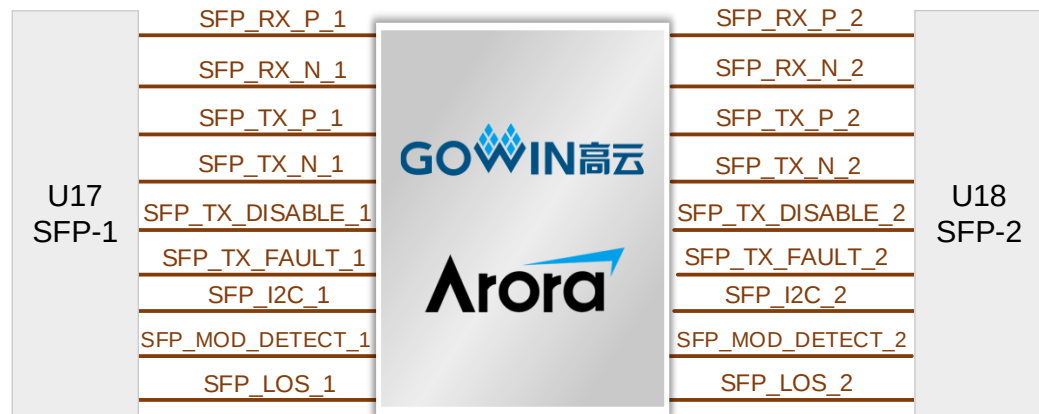
J3 のピン の番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
1	ADCTP	N10	ADC	-	アナログ信号 の入力
2	ADCVP	L10	ADC	-	アナログ信号 の入力
3	ADCTN	N9	ADC	-	アナログ信号 の入力
4	ADCVN	M9	ADC	-	アナログ信号 の入力

3.7 SFP インターフェース

3.7.1 概要

開発ボードには、SFP または SFP+モジュールを挿入できる 2 つの SFP インターフェースが搭載されています。SFP インターフェースの接続図を図 3-6 に示します。

図 3-6 SFP インターフェースの接続図



3.7.2 ピンの割り当て

表 3-6 SFP-1 インターフェースのピンの割り当て

信号名	FPGA の ピ ン の 番 号	BANK	I/O 電圧 レベル	説明
SFP_RX_P_1	D9	Q0	-	受信部の差動信号出力
SFP_RX_N_1	C9	Q0	-	受信部の差動信号出力
SFP_TX_P_1	D7	Q0	-	送信部の差動信号入力
SFP_TX_N_1	C7	Q0	-	送信部の差動信号入力
SFP_TX_FAULT_1	E2	11	3.3V	送信エラー
SFP_TX_DISABLE_1	G2	11	3.3V	ディスエーブル/イネーブル入力
SFP_IIC_SDA_1	D1	11	3.3V	I2C データ・ライン
SFP_IIC_SCL_1	E1	11	3.3V	I2C クロック・ライン
SFP_MOD_DETECT_1	F1	11	3.3V	モジュール存在の検出
SFP_RS0_1	-	-	-	レートを選択
SFP_RS1_1	-	-	-	レートを選択

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
SFP_LOS_1	G1	11	3.3V	受信側ロスの表示

表 3-7 SFP2 インターフェースのピンの割り当て

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
SFP_RX_P_2	D11	Q0	-	受信部の差動信号出力
SFP_RX_N_2	C11	Q0	-	受信部の差動信号出力
SFP_TX_P_2	D5	Q0	-	送信部の差動信号入力
SFP_TX_N_2	C5	Q0	-	送信部の差動信号入力
SFP_TX_FAULT_2	F4	11	3.3V	送信エラー
SFP_TX_DISABLE_2	G4	11	3.3V	ディスエーブル/イネーブル入力
SFP_IIC_SDA_2	E3	11	3.3V	I2C データ・ライン
SFP_IIC_SCL_2	F3	11	3.3V	I2C クロック・ライン
SFP_MOD_DETECT_2	G3	11	3.3V	モジュール存在の検出
SFP_RS0_2	-	-	-	レートを選択
SFP_RS1_2	-	-	-	レートを選択
SFP_LOS_2	D2	11	3.3V	受信側ロスの表示

3.8 HDMI インターフェース

3.8.1 概要

開発ボードには、1つの HDMI_TX インターフェースと 1つの HDMI_RX インターフェースが搭載されています。HDMI 入出力通信はエンコーディング・チップ/デコーディング・チップを使用して実装されます。HDMI インターフェースの接続図は次のとおりです。

図 3-7 HDMI_TX インターフェースの接続図

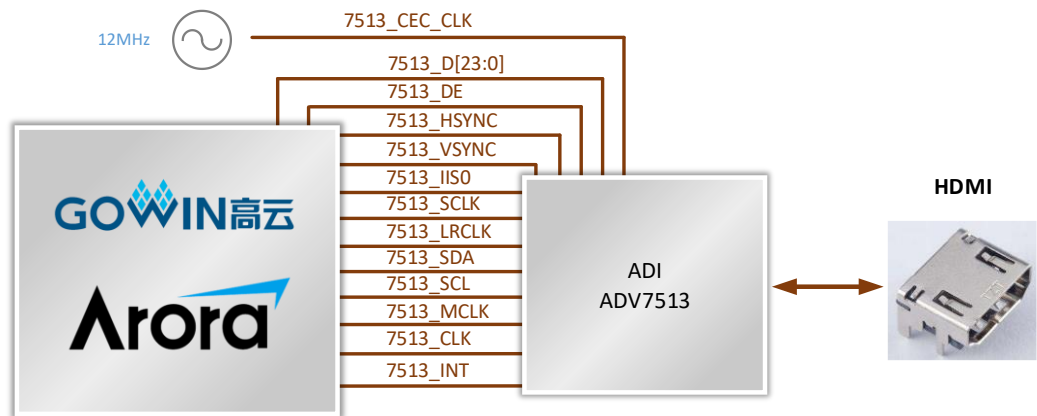
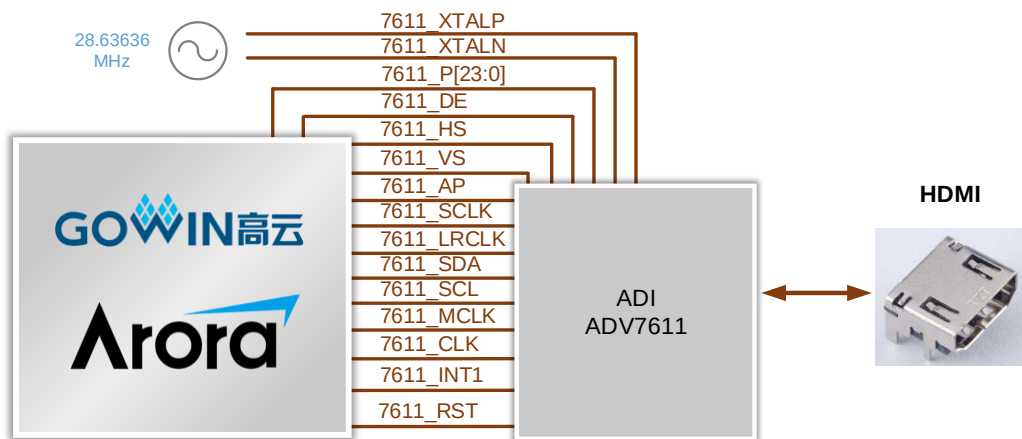


図 3-8 HDMI_RX インターフェースの接続図



3.8.2 ピンの割り当て

表 3-8 HDMI_TX インターフェースのピンの割り当て

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
7513_CLK	K18	5	3.3V	RGB データのラインロック出力クロック
7513_D0	P20	7	3.3V	RGB データ信号
7513_D1	P19	7	3.3V	RGB データ信号
7513_D2	P17	6	3.3V	RGB データ信号
7513_D3	P16	6	3.3V	RGB データ信号
7513_D4	P15	6	3.3V	RGB データ信号
7513_D5	N20	5	3.3V	RGB データ信号

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
7513_D6	N19	5	3.3V	RGB データ信号
7513_D7	N17	6	3.3V	RGB データ信号
7513_D8	N15	6	3.3V	RGB データ信号
7513_D9	N18	5	3.3V	RGB データ信号
7513_D10	M20	5	3.3V	RGB データ信号
7513_D11	M18	5	3.3V	RGB データ信号
7513_D12	M17	5	3.3V	RGB データ信号
7513_D13	M16	5	3.3V	RGB データ信号
7513_D14	M15	5	3.3V	RGB データ信号
7513_D15	K17	5	3.3V	RGB データ信号
7513_D16	K16	4	3.3V	RGB データ信号
7513_D17	J17	5	3.3V	RGB データ信号
7513_D18	J16	5	3.3V	RGB データ信号
7513_D19	J15	4	3.3V	RGB データ信号
7513_D20	H18	4	3.3V	RGB データ信号
7513_D21	H17	4	3.3V	RGB データ信号
7513_D22	H15	4	3.3V	RGB データ信号
7513_D23	G18	4	3.3V	RGB データ信号
7513_VS	R18	6	3.3V	垂直同期信号
7513_HSYNC	R17	6	3.3V	水平同期信号
7513_DE	R16	6	3.3V	RGB データイネーブル
7513_SCLK	T16	2	3.3V	IIS インターフェースの SCLK
7513_LRCLK	T18	6	3.3V	IIS インターフェースの LRCLK
7513_MCLK	R19	7	3.3V	IIS インターフェースの MCLK
7513_IIS0	T15	6	3.3V	IIS インターフェースのデータ
7513_SCL	G16	4	3.3V	I2C インターフェースのク

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
				ロック
7513_SDA	G17	4	3.3V	I2C インターフェースのデータ
7513_INT	G15	4	3.3V	割り込み信号

表 3-9 HDMI_RX インターフェースのピンの割り当て

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
7611_CLK	U20	8	3.3V	RGB データのラインロック出力クロック
7611_P0	AA19	8	3.3V	RGB データ信号
7611_P1	Y19	8	3.3V	RGB データ信号
7611_P2	AB20	8	3.3V	RGB データ信号
7611_P3	AA20	7	3.3V	RGB データ信号
7611_P4	W19	8	3.3V	RGB データ信号
7611_P5	AB21	8	3.3V	RGB データ信号
7611_P6	AA21	7	3.3V	RGB データ信号
7611_P7	Y21	8	3.3V	RGB データ信号
7611_P8	AB22	8	3.3V	RGB データ信号
7611_P9	W20	8	3.3V	RGB データ信号
7611_P10	W21	7	3.3V	RGB データ信号
7611_P11	Y22	8	3.3V	RGB データ信号
7611_P12	V19	8	3.3V	RGB データ信号
7611_P13	W22	8	3.3V	RGB データ信号
7611_P14	V20	8	3.3V	RGB データ信号
7611_P15	V18	8	3.3V	RGB データ信号
7611_P16	U17	8	3.3V	RGB データ信号
7611_P17	V22	7	3.3V	RGB データ信号
7611_P18	U18	8	3.3V	RGB データ信号
7611_P19	U16	6	3.3V	RGB データ信号

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
7611_P20	U21	7	3.3V	RGB データ信号
7611_P21	U15	6	3.3V	RGB データ信号
7611_P22	T21	7	3.3V	RGB データ信号
7611_P23	T20	7	3.3V	RGB データ信号
7611_VS	AA18	8	3.3V	垂直同期信号
7611_HS	AB18	8	3.3V	水平同期信号
7611_DE	Y18	8	3.3V	RGB データイネーブル
7611_SCLK	AB17	7	3.3V	IIS インターフェースの SCLK
7611_LRCLK	Y17	7	3.3V	IIS インターフェースの LRCLK
7611_MCLK	W17	8	3.3V	IIS インターフェースの MCLK
7611_AP	V17	8	3.3V	オーディオ入力ピン
7611_SCL	AB16	7	3.3V	I2C インターフェースのク ロック
7611_SDA	AA16	7	3.3V	I2C インターフェースのデ ータ
7611_INT1	Y16	7	3.3V	割り込み信号
7611_RST	AB15	8	3.3V	システム・リセット

3.9 SDI インターフェース

3.9.1 概要

開発ボードは、2つの受信インターフェースと2つの送信インターフェースを含むSDIインターフェースを提供しています。2つのSDI-INインターフェースはBNCコネクタを介してシリアル・データを受信し、2つのSDI-OUTインターフェースはBNCコネクタを介して処理済みのシリアル・データを送信します。SDIインターフェースの接続図を図3-9に示します。

図 3-9 SDI インターフェースの接続図



3.9.2 ピンの割り当て

表 3-10 SDI インターフェースのピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
SDI_1_IN_P	B10	Q0	-	SDI+入力
SDI_1_IN_N	A10	Q0	-	SDI-入力
SDI_2_IN_P	B8	Q0	-	SDI+入力
SDI_2_IN_N	A8	Q0	-	SDI-入力
SDI_1_OUT_P	B6	Q0	-	SDI+出力
SDI_1_OUT_N	A6	Q0	-	SDI-出力
SDI_2_OUT_P	B4	Q0	-	SDI+出力
SDI_2_OUT_N	A4	Q0	-	SDI-出力

3.10 イーサネット・インターフェース

3.10.1 概要

開発ボードは、RGMII（10BASE-T/100BASE-T/1000BASE-T）をサポートする 2 つのイーサネット・インターフェースを備えています。マグネティクス付きの RJ45 コネクタが使用されています。その接続図を図 3-10 に示します。

図 3-10 イーサネット・インターフェースの接続図



3.10.2 ピンの割り当て

表 3-11 イーサネット・インターフェース 1 のピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
PHY1_RXC	E19	2	3.3V	RGMII の受信クロック
PHY1_GTXCLK	H19	5	3.3V	RGMII の送信クロック
PHY1_RXD3	C20	2	3.3V	RGMII の受信データ
PHY1_RXDV	A19	2	3.3V	RGMII の受信データ有効
PHY1_RXD2	D19	2	3.3V	RGMII の受信データ
PHY1_RXD1	D20	2	3.3V	RGMII の受信データ
PHY1_RXD0	D21	2	3.3V	RGMII の受信データ
PHY1_TXEN	E21	2	3.3V	RGMII の送信イネーブル
PHY1_TXD3	F19	2	3.3V	RGMII の送信データ
PHY1_TXD2	F20	2	3.3V	RGMII の送信データ
PHY1_TXD1	F21	2	3.3V	RGMII の送信データ

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
PHY1_TXD0	G20	5	3.3V	RGMII の送信データ
PHY_MDC	K19	5	3.3V	管理データクロック
PHY_MDIO	J19	5	3.3V	管理データ I/O
PHY_RST_N	H20	5	3.3V	リセット

表 3-12 イーサネット・インターフェース 2 のピンの割り当て

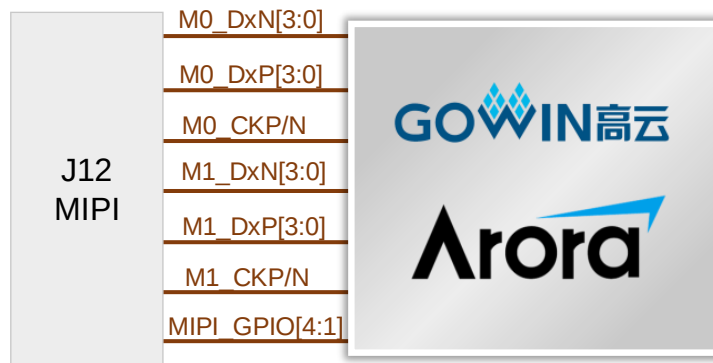
信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
PHY2_RXC	B17	1	3.3V	RGMII の受信クロック
PHY2_GTXCLK	B20	2	3.3V	RGMII の送信クロック
PHY2_RXD3	B13	1	3.3V	RGMII の受信データ
PHY2_RXDV	C13	1	3.3V	RGMII の受信データ有効
PHY2_RXD2	A13	1	3.3V	RGMII の受信データ
PHY2_RXD1	C14	1	3.3V	RGMII の受信データ
PHY2_RXD0	A14	1	3.3V	RGMII の受信データ
PHY2_TXEN	A15	1	3.3V	RGMII の送信イネーブル
PHY2_TXD3	A16	1	3.3V	RGMII の送信データ
PHY2_TXD2	B16	1	3.3V	RGMII の送信データ
PHY2_TXD1	B15	1	3.3V	RGMII の送信データ
PHY2_TXD0	A20	2	3.3V	RGMII の送信データ
PHY_MDC	K19	5	3.3V	管理データクロック
PHY_MDIO	J19	5	3.3V	管理データ I/O
PHY_RST_N	H20	5	3.3V	リセット

3.11 MIPI インターフェース

3.11.1 概要

このインターフェースは、1 チャンネルの LVDS 受信機能(4 data + 1 clk または 8 data + 1 clk)を実装できるほか、4 本の 3.3V 規格の GPIO ピンを備えています。このインターフェースは、80 ピン、0.5mm ピッチの AXK580147YG コネクタを使用しています。MIPI インターフェースの接続図を図 3-11 に示します。

図 3-11 MIPI インターフェースの接続図



3.11.2 ピンの割り当て

表 3-13 MIPI インターフェースのピンの割り当て

J12 ピンの 番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
1	M0_D0N	J6	10	1.8V	LVDS 受信データ信号
2	NC	-	-	-	フローティング
3	M0_D0P	K6	10	1.8V	LVDS 受信データ信号
4	NC	-	-	-	フローティング
5	GND	-	-	-	GND
6	GND	-	-	-	GND
7	M0_D1N	J4	10	1.8V	LVDS 受信データ信号
8	GND	-	-	-	GND

J12 ピンの 番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
9	M0_D1P	K4	10	1.8V	LVDS 受信データ信号
10	GND	-	-	-	GND
11	GND	-	-	-	GND
12	NC	-	-	-	フローティング
13	M0_CKN	K3	10	1.8V	LVDS 受信クロック信号
14	NC	-	-	-	フローティング
15	M0_CKP	L3	10	1.8V	LVDS 受信クロック信号
16	GND	-	-	-	GND
17	GND	-	-	-	GND
18	GND	-	-	-	GND
19	M0_D2N	L4	10	1.8V	LVDS 受信データ信号
20	GND	-	-	-	GND
21	M0_D2P	L5	10	1.8V	LVDS 受信データ信号
22	NC	-	-	-	フローティング
23	GND	-	-	-	GND
24	NC	-	-	-	フローティング
25	M0_D3N	L1	10	1.8V	LVDS 受信データ信号
26	NC	-	-	-	フローティング
27	M0_D3P	M1	10	1.8V	LVDS 受信データ信号
28	GND	-	-	-	GND
29	GND	-	-	-	GND
30	GND	-	-	-	GND
31	M1_D0N	M5	10	1.8V	LVDS 受信データ信

J12 ピンの 番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
					号
32	NC	-	-	-	フローティング
33	M1_D0P	M6	10	1.8V	LVDS 受信データ信号
34	NC	-	-	-	フローティング
35	GND	-	-	-	GND
36	GND	-	-	-	GND
37	M1_D1N	M2	10	1.8V	LVDS 受信データ信号
38	GND	-	-	-	GND
39	M1_D1P	M3	10	1.8V	LVDS 受信データ信号
40	GND	-	-	-	GND
41	GND	-	-	-	GND
42	NC	-	-	-	フローティング
43	M1_CKN	N5	10	1.8V	Reserved
44	NC	-	-	-	フローティング
45	M1_CKP	P6	10	1.8V	Reserved
46	GND	-	-	-	GND
47	GND	-	-	-	GND
48	GND	-	-	-	GND
49	M1_D2N	N3	10	1.8V	LVDS 受信データ信号
50	GND	-	-	-	GND
51	M1_D2P	N4	10	1.8V	LVDS 受信データ信号
52	MIPI_GPI O1	J2	11	3.3V	GPIO
53	GND	-	-	-	GND
54	MIPI_GPI	K2	11	3.3V	GPIO

J12 ピンの 番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
	O2				
55	M1_D3N	P4	10	1.8V	LVDS 受信データ信号
56	MIPI_GPI O3	J1	11	3.3V	GPIO
57	M1_D3P	P5	10	1.8V	LVDS 受信データ信号
58	MIPI_GPI O4	K1	11	3.3V	GPIO
59	GND	-	-	-	GND
60	GND	-	-	-	GND
61	NC	-	-	-	フローティング
62	NC	-	-	-	フローティング
63	NC	-	-	-	フローティング
64	NC	-	-	-	フローティング
65	GND	-	-	-	GND
66	GND	-	-	-	GND
67	NC	-	-	-	フローティング
68	NC	-	-	-	フローティング
69	NC	-	-	-	フローティング
70	NC	-	-	-	フローティング
71	GND	-	-	-	GND
72	GND	-	-	-	GND
73	NC	-	-	-	フローティング
74	GND	-	-	-	GND
75	NC	-	-	-	フローティング
76	VCC3P3	-	-	3.3V	POWER
77	GND	-	-	-	GND
78	VCC3P3	-	-	3.3V	POWER

J12 ピンの 番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
79	GND	-	-	-	GND
80	VCC3P3	-	-	3.3V	POWER

3.12 LVDS インターフェース

3.12.1 概要

開発ボードは、合計 10 ペアの差動信号(8Data+2Clk)を含む 2 つの LVDS インターフェースを提供しています。これらのインターフェースは、2 つの 2.00mm ピッチ 2x10P のピンヘッダーを使用しています。LVDS インターフェースの接続図を図 3-12 に示します。

図 3-12 LVDS インターフェースの接続図



3.12.2 ピンの割り当て

表 3-14 LVDS インターフェースのピンの割り当て

J13 ピンの 番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
1	LVDS25_P1	B21	2	3.3V	LVDS データ
2	LVDS25_N1	A21	2	3.3V	LVDS データ
3	GND	-	-	-	GND
4	GND	-	-	-	GND
5	LVDS25_P2	C22	2	3.3V	LVDS データ
6	LVDS25_N2	B22	2	3.3V	LVDS データ
7	GND	-	-	-	GND
8	GND	-	-	-	GND

J13 ピンの 番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
9	LVDS25_CK_P1	C18	2	3.3V	LVDS クロック
10	LVDS25_CK_N1	C19	2	3.3V	LVDS クロック
11	GND	-	-	-	GND
12	GND	-	-	-	GND
13	LVDS25_P3	E22	2	3.3V	LVDS データ
14	LVDS25_N3	D22	2	3.3V	LVDS データ
15	GND	-	-	-	GND
16	GND	-	-	-	GND
17	LVDS25_P4	G21	2	3.3V	LVDS データ
18	LVDS25_N4	G22	2	3.3V	LVDS データ
19	GND	-	-	-	GND
20	GND	-	-	-	GND

J14 ピンの 番号	信号名	FPGA ピンの番号	BANK	I/O 電圧 レベル	説明
1	LVDS25_P5	J22	5	3.3V	LVDS データ
2	LVDS25_N5	H22	5	3.3V	LVDS データ
3	GND	-	-	-	GND
4	GND	-	-	-	GND
5	LVDS25_P6	K21	5	3.3V	LVDS データ
6	LVDS25_N6	K22	5	3.3V	LVDS データ
7	GND	-	-	-	GND
8	GND	-	-	-	GND
9	LVDS25_CK_P2	J20	5	3.3V	LVDS クロック
10	LVDS25_CK_N2	J21	5	3.3V	LVDS クロック

J14 ピンの 番号	信号名	FPGA ピンの番号	BANK	I/O 電圧 レベル	説明
11	GND	-	-	-	GND
12	GND	-	-	-	GND
13	LVDS25_P7	M21	5	3.3V	LVDS データ
14	LVDS25_N7	L21	5	3.3V	LVDS データ
15	GND	-	-	-	GND
16	GND	-	-	-	GND
17	LVDS25_P8	N22	5	3.3V	LVDS データ
18	LVDS25_N8	M22	5	3.3V	LVDS データ
19	GND	-	-	-	GND
20	GND	-	-	-	GND

3.13 UART インターフェース

3.13.1 概要

開発ボード上の UART インターフェースは、Mini USB-B コネクタを使用し、USB 変換チップを介して実装されています。UART インターフェースの接続図を図 3-13 に示します。

図 3-13 UART インターフェースの接続図

Mini USB-B



3.13.2 ピンの割り当て

表 3-15 UART インターフェースのピンの割り当て

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
UART_TXD	H2	11	3.3V	FPGA へのシリアル・データ入力

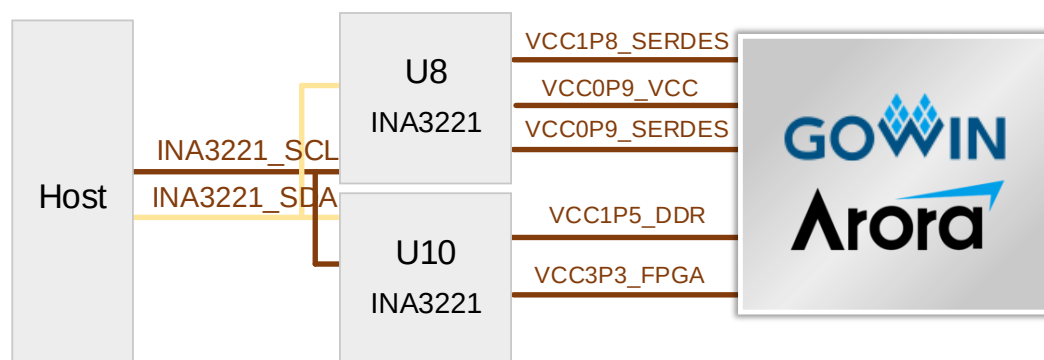
信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
UART_RXD	H3	11	3.3V	FPGA からのシリアル・データ出力

3.14 I2C インターフェース

3.14.1 概要

開発ボードは、ホストとの通信用に 1 つの I2C インターフェースを備えています。ホストはこのインターフェースを使用して、FPGA の VCC、VCCX、SerDes、および各 Bank の消費電力を監視できます。I2C インターフェースの接続図を図 3-14 に示します。

図 3-14 I2C インターフェースの接続図



3.14.2 ピンの割り当て

表 3-16 I2C インターフェースのピンの割り当て

J17 のピンの番号	信号名	I/O 電圧レベル	説明
1	GND	-	GND
2	INA3221_SCL	3.3V	シリアル・クロック
3	GND	-	GND
4	INA3221_SDA	3.3V	シリアル・データ

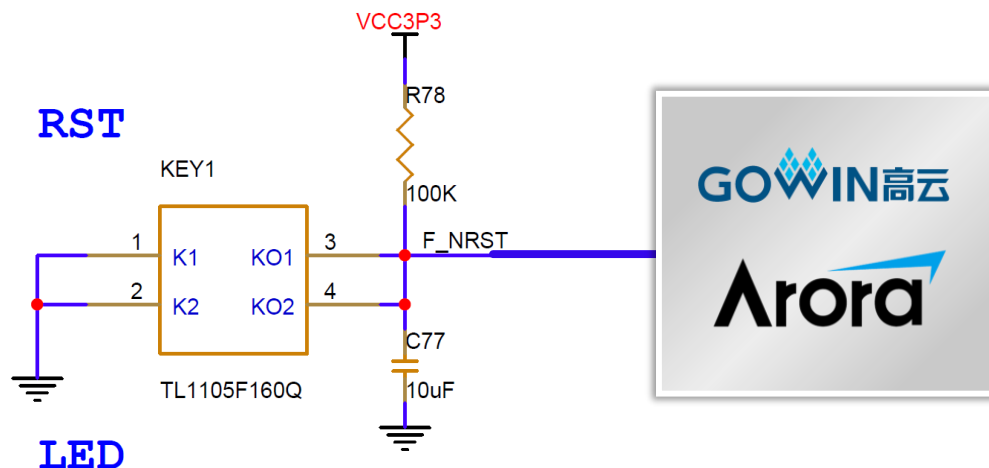
3.15 キーとインジケータ

3.15.1 概要

開発ボードには、FPGA の Bank11 の通常の IO に接続される 1 つの

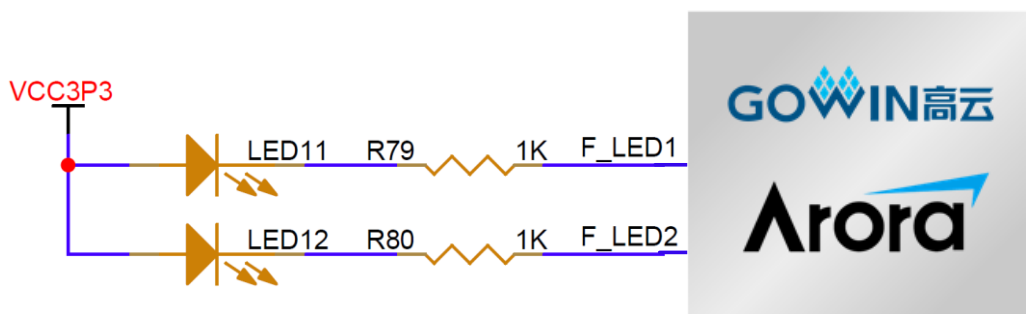
リセット・キーがあります。キーが押されると **FPGA** の対応する **IO** 入力電圧は **Low** になり、キーが押されないと **FPGA** の対応する **IO** 入力電圧は **High** になります。その接続図を図 3-15 に示します。

図 3-15 キーの接続図



開発ボード上の 2 つのユーザー LED は、**FPGA Bank11** の **IO** に接続されており、その点灯・消灯はプログラムにより制御することができます。ユーザー LED に接続された **IO** の電圧が **Low** の場合ユーザー LED は点灯し、接続された **IO** の電圧が **High** の場合ユーザー LED は消灯します。その接続図を図 3-16 に示します。

図 3-16 LED の接続図



3.15.2 ピンの割り当て

表 3-17 キーモジュールのピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
F_NRST	H4	11	3.3V	リセットキー

表 3-18 LED のピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
F_LED1	J5	11	3.3V	LED
F_LED2	H5	11	3.3V	LED

3.16 GPIO

3.16.1 概要

開発ボードは、1 つの 2.54mm ピッチの 2x7P ピンヘッダーを通して 10 本の 3.3V 規格 GPIO を提供しています。GPIO インターフェース内は、ESD 保護回路があります。

図 3-17 GPIO インターフェースの接続図



3.16.2 ピンの割り当て

表 3-19 GPIO インターフェースのピンの割り当て

J2 のピンの番号	信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
1	F_GPIO0	E17	1	3.3V	GPIO
2	F_GPIO1	F16	1	3.3V	GPIO
3	F_GPIO2	E16	1	3.3V	GPIO
4	F_GPIO3	F15	1	3.3V	GPIO
5	F_GPIO4	C15	1	3.3V	GPIO
6	F_GPIO5	D15	1	3.3V	GPIO
7	F_GPIO6	D14	1	3.3V	GPIO
8	F_GPIO7	E14	1	3.3V	GPIO
9	F_GPIO8	F14	1	3.3V	GPIO
10	F_GPIO9	E13	1	3.3V	GPIO

J2 のピン の番号	信号名	FPGA のピン の番号	BANK	I/O 電圧レ ベル	説明
11	VCC3P3	-	-	3.3V	POWER
12	VCC3P3	-	-	3.3V	POWER
13	GND	-	-	-	GND
14	GND	-	-	-	GND

