

DK_START_GW5AST-LV138FPG676A_V2.1 開発ボード ユーザーガイド

著作権について(2026)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN 及び **Gowin** は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、**GOWINSEMI Terms and Conditions of Sale**(GOWINSEMI 取引条件)に規定されている内容を除き、(明示的か又は黙示的に拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2024/12/13	1.0J	初版。
2025/04/30	1.0.1J	「表 3-1 JTAG のピンの割り当て」における I/O 電圧レベルを更新。
2026/03/13	1.0.2J	「2.1 概要」における DDR3 の説明を最適化。

目次

目次	i
図一覧	iv
表一覧	v
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	1
1.4 テクニカル・サポートとフィードバック	2
2 開発ボードの紹介	3
2.1 概要	3
2.2 開発ボードキット	4
2.3 PCB のコンポーネント	5
2.4 ブロック図	6
2.5 特徴	6
3 開発ボードの回路	9
3.1 FPGA	9
3.2 電源	9
3.2.1 概要	9
3.2.2 電源の割り当て	10
3.3 ダウンロード・モジュール	11
3.3.1 概要	11
3.3.2 ピンの割り当て	11
3.4 クロック	11
3.4.1 概要	11
3.4.2 ピンの割り当て	12

3.5 DDR3 モジュール	13
3.5.1 概要	13
3.5.2 ピンの割り当て	13
3.6 ADC インターフェース	16
3.6.1 概要	16
3.6.2 ピンの割り当て	17
3.7 I2C インターフェース	18
3.7.1 概要	18
3.7.2 ピンの割り当て	18
3.8 MIPI インターフェース	18
3.8.1 概要	18
3.8.2 ピンの割り当て	19
3.9 PCIE インターフェース	22
3.9.1 概要	22
3.9.2 ピンの割り当て	23
3.10 SFP インターフェース	25
3.10.1 概要	25
3.10.2 ピンの割り当て	25
3.11 LVDS インターフェース	28
3.11.1 概要	28
3.11.2 ピンの割り当て	29
3.12 GPIO インターフェース	31
3.12.1 概要	31
3.12.2 ピンの割り当て	31
3.13 USB 2.0 インターフェース	32
3.13.1 概要	32
3.13.2 ピンの割り当て	32
3.14 HDMI インターフェース	33
3.14.1 概要	33
3.14.2 ピンの割り当て	34
3.15 UART インターフェース	37
3.15.1 概要	37
3.15.2 ピンの割り当て	38
3.16 キーとインジケータ	38

3.16.1 概要	38
3.16.2 ピンの割り当て	39
3.17 6G SDI インターフェース	40
3.17.1 概要	40
3.17.2 ピンの割り当て	40
3.18 3G SDI インターフェース	40
3.18.1 概要	40
3.18.2 ピンの割り当て	41
3.19 イーサネット・インターフェース	42
3.19.1 概要	42
3.19.2 ピンの割り当て	42

図一覧

図 2-1 DK_START_GW5AST-LV138FPG676A_V2.1 開発ボード	3
図 2-2 開発ボードキット	4
図 2-3 PCB のコンポーネント	5
図 2-4 ブロック図	6
図 3-1 電源の割り当ての説明図	10
図 3-2 ダウンロード・インターフェースの接続図	11
図 3-3 クロックの接続図	12
図 3-4 DDR3 のハードウェア接続図	13
図 3-5 ADC の接続図	17
図 3-6 I2C インターフェースの接続図	18
図 3-7 MIPI インターフェースの接続図	19
図 3-8 PCIE インターフェースの接続図	22
図 3-9 SFP インターフェースの接続図	25
図 3-10 LVDS インターフェースの接続図	28
図 3-11 GPIO インターフェースの接続図	31
図 3-12 USB2.0 インターフェースの接続図	32
図 3-13 HDMI_TX インターフェースの接続図	34
図 3-14 HDMI_RX インターフェースの接続図	34
図 3-15 UART インターフェースの接続図	37
図 3-16 キーの接続図	38
図 3-17 LED の接続図	39
図 3-18 6G SDI インターフェースの接続図	40
図 3-19 3G SDI インターフェースの接続図	41
図 3-20 イーサネット・インターフェースの接続図	42

表一覧

表 1-1 用語、略語	1
表 3-1 JTAG のピンの割り当て	11
表 3-2 クロック・ピンの割り当て	12
表 3-3 DDR3 メモリの詳細	13
表 3-4 DDR3 モジュールのピンの割り当て	13
表 3-5 ADC インターフェースのピンの割り当て	17
表 3-6 I2C インターフェースのピンの割り当て	18
表 3-7 MIPI インターフェースのピンの割り当て	19
表 3-8 PCIE インターフェースのピンの割り当て	23
表 3-9 SFP1 インターフェースのピンの割り当て	25
表 3-10 SFP2 インターフェースのピンの割り当て	27
表 3-11 LVDS_TX インターフェースのピンの割り当て	29
表 3-12 LVDS_RX インターフェースのピンの割り当て	30
表 3-13 GPIO インターフェースのピンの割り当て	31
表 3-14 USB2.0 インターフェースのピンの割り当て	32
表 3-15 HDMI_TX インターフェースのピンの割り当て	34
表 3-16 HDMI_RX インターフェースのピンの割り当て	36
表 3-17 UART インターフェースのピンの割り当て	38
表 3-18 キーモジュールのピンの割り当て	39
表 3-19 LED のピンの割り当て	39
表 3-20 6G SDI インターフェースのピンの割り当て	40
表 3-21 3G SDI-IN インターフェースのピンの割り当て	41
表 3-22 3G SDI-OUT インターフェースのピンの割り当て	41
表 3-23 イーサネット・インターフェースのピンの割り当て	42

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、3つの部分で構成されています。

- 開発ボードの機能の概要。
- 開発ボードの構造およびそのハードウェアリソースの説明。
- 開発ボード上のハードウェア回路の機能およびピンの割り当ての説明。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW5AST シリーズ FPGA 製品データシート([DS1239](#))
- GW5AST-138 デバイス Pinout([UG986](#))
- GW5AST シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG1102](#))
- Arora V 138K FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド([UG704](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
ADC	Analog-to-digital converter	アナログ-デジタル・コンバータ

用語、略語	正式名称	意味
DDR	Double Data Rate	ダブル・データ・レート
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
GPIO	Gowin Programmable I/O	Gowin プログラマブル汎用 IO
HDMI	High-Definition Multimedia Interface	高精細度マルチメディア・インターフェース
JTAG	Joint Test Action Group	ジョイント・テスト・アクション・グループ
LDO	Low Dropout Regulator	低ドロップアウト・レギュレータ
LVDS	Low-Voltage Differential Signaling	低電圧差動信号
MIPI	Mobile Industry Processor Interface	モバイル産業用プロセッサ・インターフェース
SDI	Serial digital interface	シリアル・デジタル・インターフェース
SFP	Small Form Pluggable	小型フォームファクタ・プラグابل

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

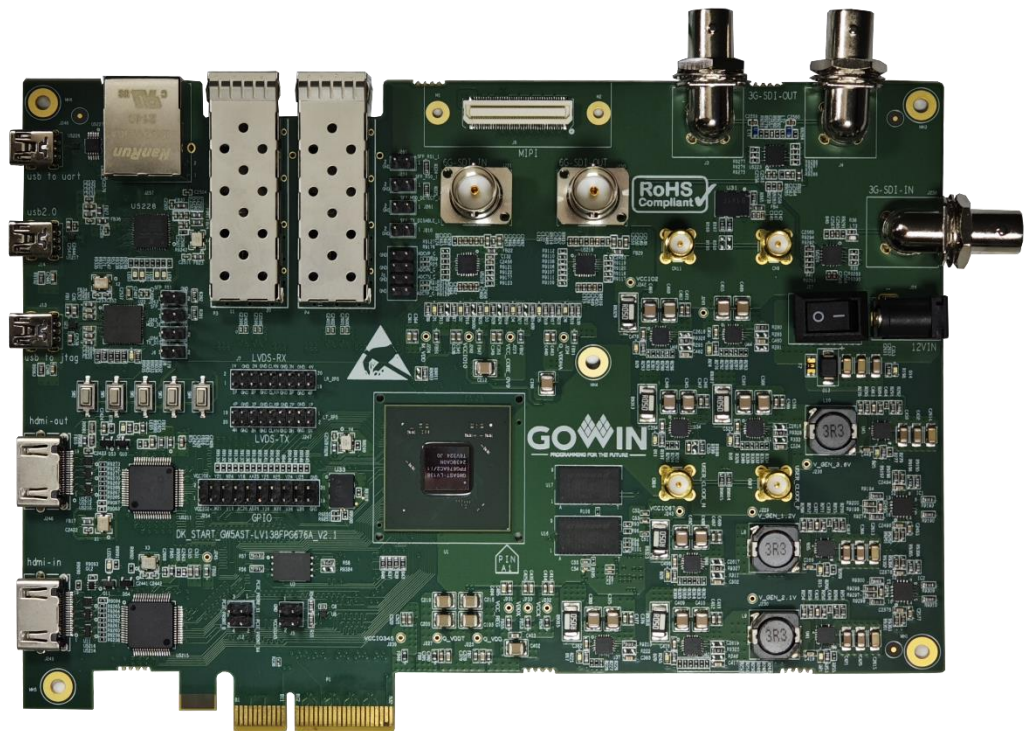
ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 開発ボードの紹介

2.1 概要

図 2-1 DK_START_GW5AST-LV138FPG676A_V2.1 開発ボード



GOWIN セミコンダクターGW5AST シリーズ FPGA 製品は、豊富なリソースおよび向上したパフォーマンスを提供します。このシリーズの FPGA は、AI コンピューティング対応の新アーキテクチャの高性能 DSP リソース、高速 LVDS インターフェース、豊富なブロック SRAM リソース、独自の研究開発による DDR3 ソリューション、数プロトコル対応の 12.5Gbps SerDes、ハードコア・プロセッサの RiscV AE350_SOC、およびさまざまなパッケージ・オプションを提供しており、低消費電力、高性能、設計の互換性を重視した各種アプリケーションに最適です。

DK_START_GW5AST-LV138FPG676A_V2.1 開発ボードは、DDR3 高速データ・ストレージ、MIPI 高速通信、SFP 高速通信に適しています。さらに、LVDS インターフェース、SDI インターフェース、Ethernet インターフェース、HDMI インターフェース、ADC ハードコア・インターフェースなどを統合しており、FPGA 機能評価、ハードウェア信頼性検証、ソフトウェアの学習とデバッグなど、さまざまなアプリケーションに対応しています。

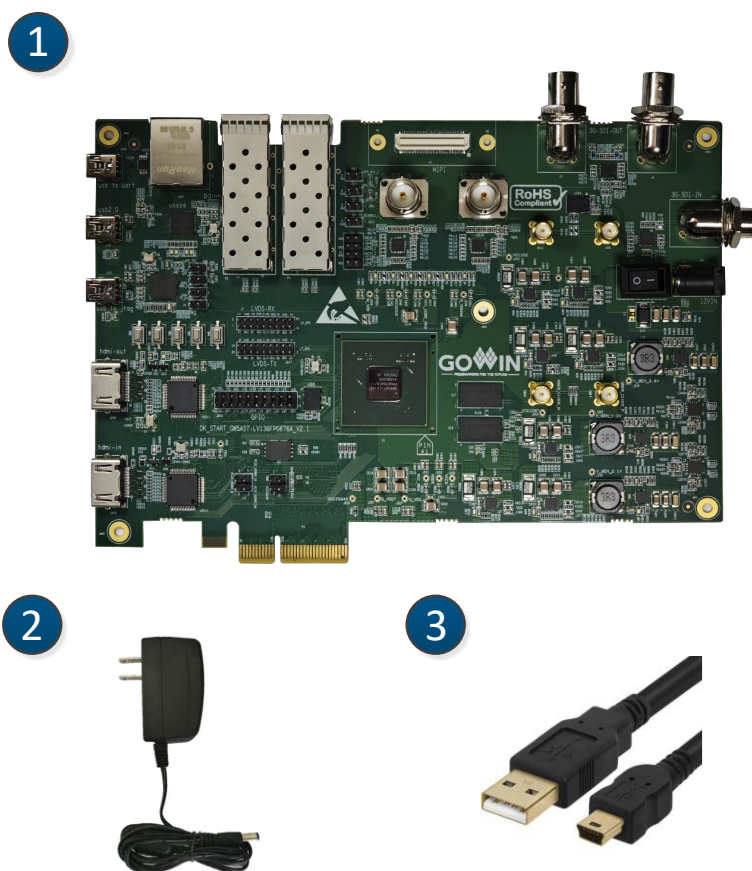
この開発ボードに搭載されている GW5AST-LV138FPG676A FPGA の内部リソースについては、『GW5AST シリーズ FPGA 製品データシート([DS1239](#))』を参照してください。

2.2 開発ボードキット

開発ボードキットには次のものが含まれています。

1. DK_START_GW5AST-LV138FPG676A_V2.1 開発ボード
2. 12V 電源アダプター(入力 : AC 100-240V~50/60Hz 0.6A、出力 : DC 12V 2A)
3. Mini USB-B ダウンロードケーブル

図 2-2 開発ボードキット



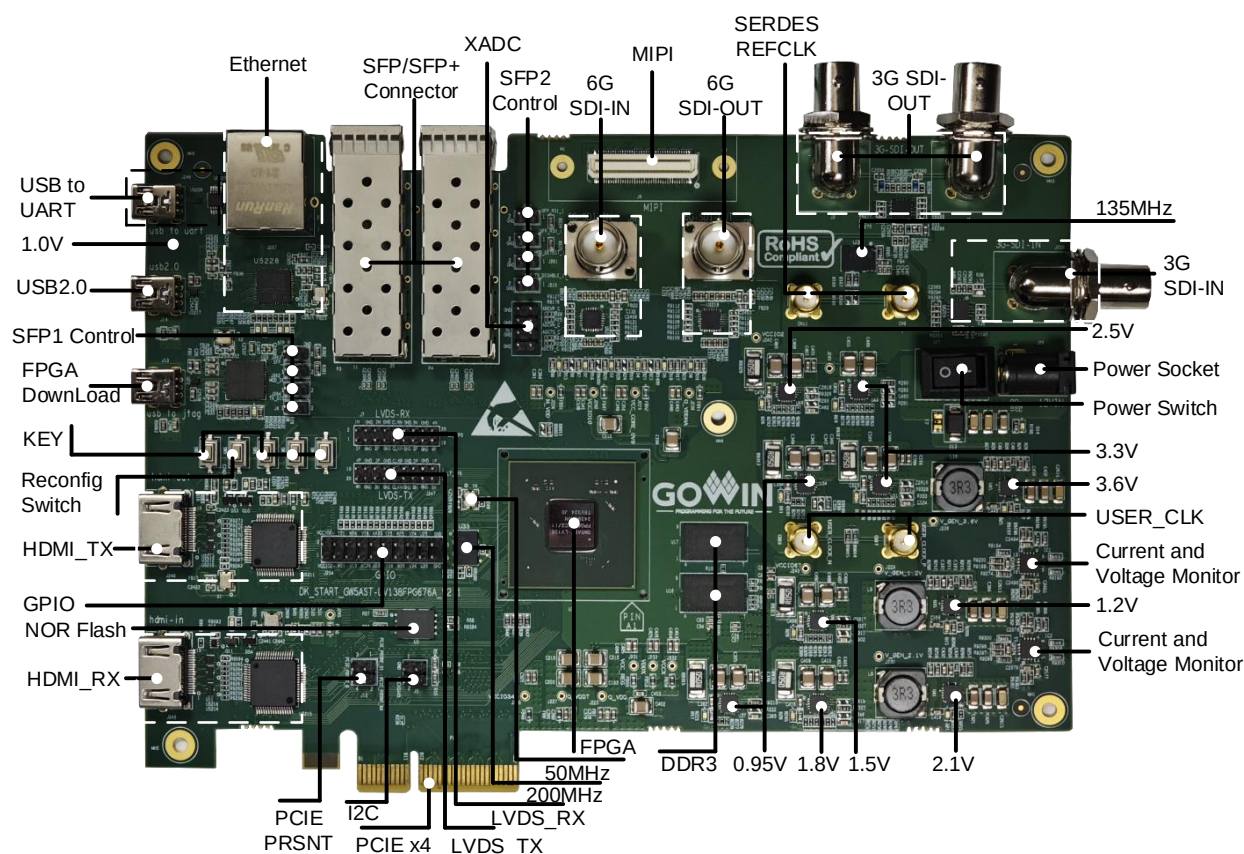
① DK_START_GW5AST-

LV138FPG676A_V2.1開発ボード

- ② 12V電源アダプター
- ③ Mini USB-Bダウンロードケーブル

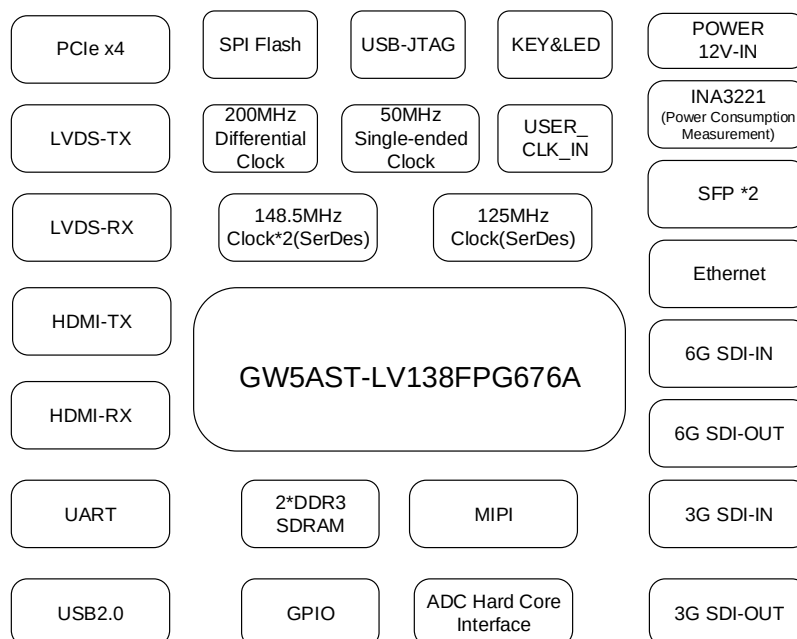
2.3 PCB のコンポーネント

図 2-3 PCB のコンポーネント



2.4 ブロック図

図 2-4 ブロック図



2.5 特徴

開発ボードの主な特徴は次のとおりです。

- **FPGA デバイス**
 - **GW5AST-LV138FPG676A FPGA**
- **ダウンロードと起動**
 - **Mini USB-B** インターフェースによるダウンロードに使用される、ボード上の統合 **USB** ダウンロード回路
 - オフチップ **SPI Flash** による起動
- **電源供給モード**
 - 外部の **DC 12V 2A** 電源
 - 電源投入後、**POWER** が点灯
 - 開発ボードは、**3.6V、3.3V、2.5V、2.1V、1.8V、1.5V、1.2V、0.95V、および 0.75V** の電源を提供
- **クロックシステム**
 - **50MHz** のシングルエンド・クロック
 - **125MHz** の差動クロック
 - **148.5MHz** の差動クロック
 - **200MHz** の差動クロック
 - **SMA** コネクタ経由で差動クロック信号を受信可能

- メモリ
 - 4Gbit DDR3 SDRAM
 - 256Mbit NOR Flash
- SFP インターフェース
 - SFP または SFP+モジュールを接続するための 2 つの小型プラグ式 SFP コネクタ
- HDMI インターフェース
 - 1 つの HDMI-TX インターフェース。エンコーディング・チップを使用して HDMI-TX 通信を実装
 - 1 つの HDMI-RX インターフェース。デコーディング・チップを使用して HDMI-RX 通信を実装
- SDI インターフェース
 - 1 つの 3G SDI-IN インターフェースと 2 つの 3G SDI-OUT インターフェースを含む 3G SDI インターフェース
 - 1 つの 6G SDI-IN インターフェースと 1 つの 6G SDI-OUT インターフェースを含む 6G SDI インターフェース
 - 3G SDI インターフェイス。2.97 Gbps の SDI データ転送をサポート
 - 6G SDI インターフェイス。5.94 Gbps の SDI データ転送をサポート
- イーサネット・インターフェース
 - 1 つのイーサネット・インターフェース
 - RGMII インターフェース (10Base-T/100Base-TX/1000BASE-T) をサポート
 - マグネティクス付きの RJ45 コネクタ
- MIPI インターフェース
 - 2 つのチャンネル (それぞれ 4 data + 1 clk を含む)
 - MIPI D-PHY RX ハードコア
 - 4 つのシングルエンド信号
- PCIe インターフェース
 - 1 つの PClex4 インターフェース
- LVDS インターフェース
 - 4Data+1Clk を含む 1 つの LVDS-TX インターフェース
 - 4Data+1Clk を含む 1 つの LVDS-RX インターフェース
- USB 2.0 インターフェース
 - 1 つの USB2.0 インターフェース
 - Mini USB-B コネクタを使用

- UART インターフェース
 - 1 つの UART インターフェース
 - Mini USB-B コネクタを使用
- ADC インターフェース
 - 1 つの ADC インターフェース
- LED とキー
 - 4 つのキー
 - 4 つの LED
- GPIO
 - 16 本の 2.5V 規格の GPIO

3 開発ボードの回路

3.1 FPGA

概要

GW5AST シリーズ FPGA 製品の詳細については、『GW5AST シリーズ FPGA 製品データシート([DS1239](#))』を参照してください。

I/O BANK の説明

詳しくは、『GW5AST シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG1102](#))』を参照してください。

3.2 電源

3.2.1 概要

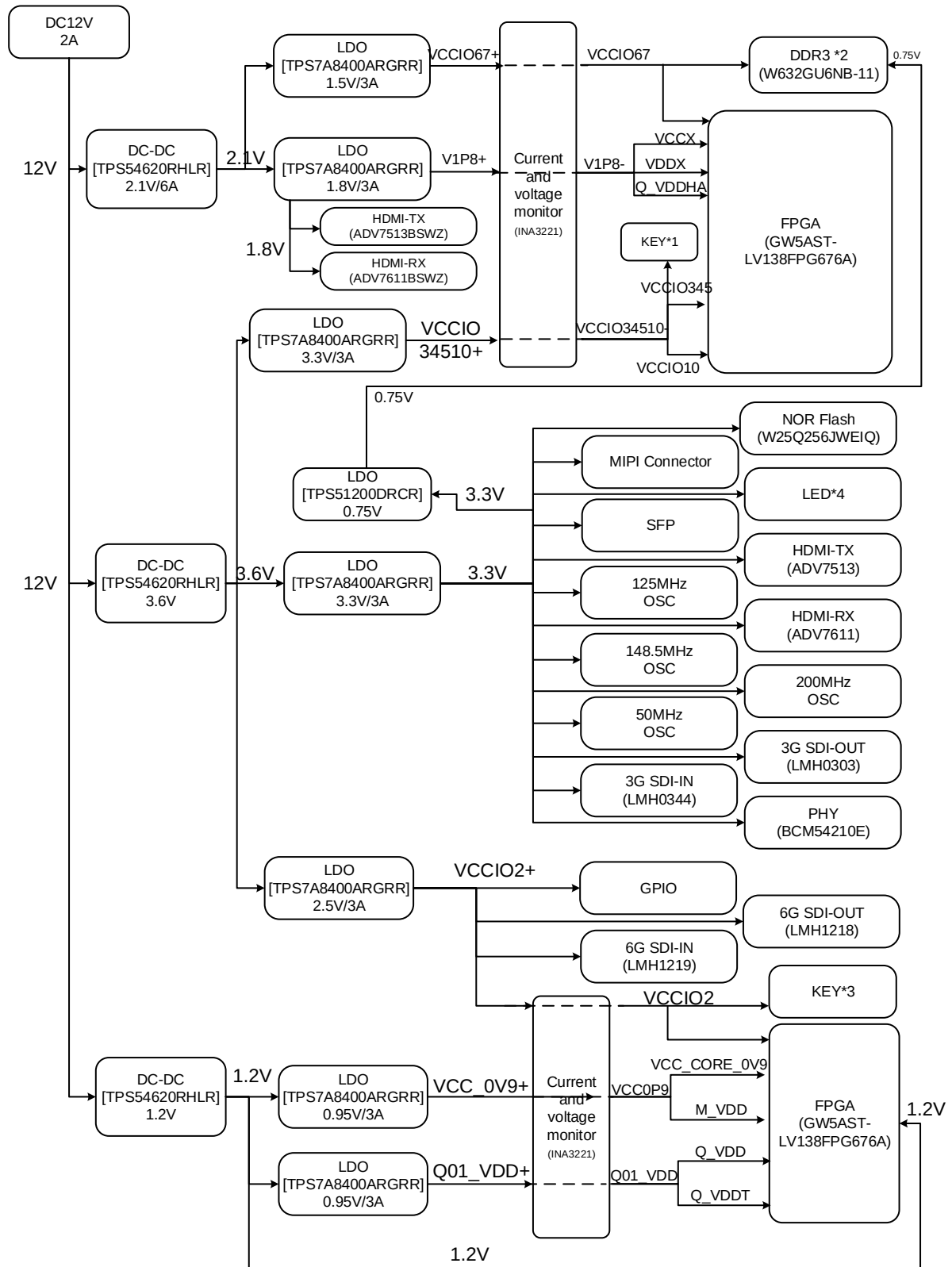
この開発ボードには、12V の電源アダプターが必要です。

電源アダプターの入力 : AC 100-240V~50/60MHz 0.6A、出力 : DC 12V 2A。

ボード上の電源変換チップは、入力される 12V を、3.6V、3.3V、2.5V、2.1V、1.8V、1.5V、1.2V、0.95V、および 0.75V の電源に変換します。

3.2.2 電源の割り当て

図 3-1 電源の割り当ての説明図



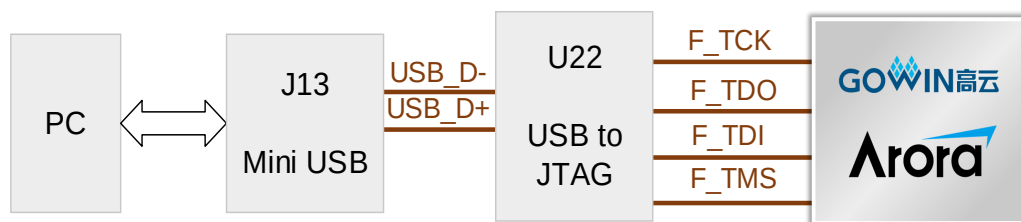
3.3 ダウンロード・モジュール

3.3.1 概要

開発ボードには、Mini USB-B ダウンロード ポート(J13)があります。このポートを介してコンフィギュレーションデータをオフチップ SPI Flash または SRAM にダウンロードすることができます。

その接続図を図 3-2 に示します。

図 3-2 ダウンロード・インターフェースの接続図



3.3.2 ピンの割り当て

表 3-1 JTAG のピンの割り当て

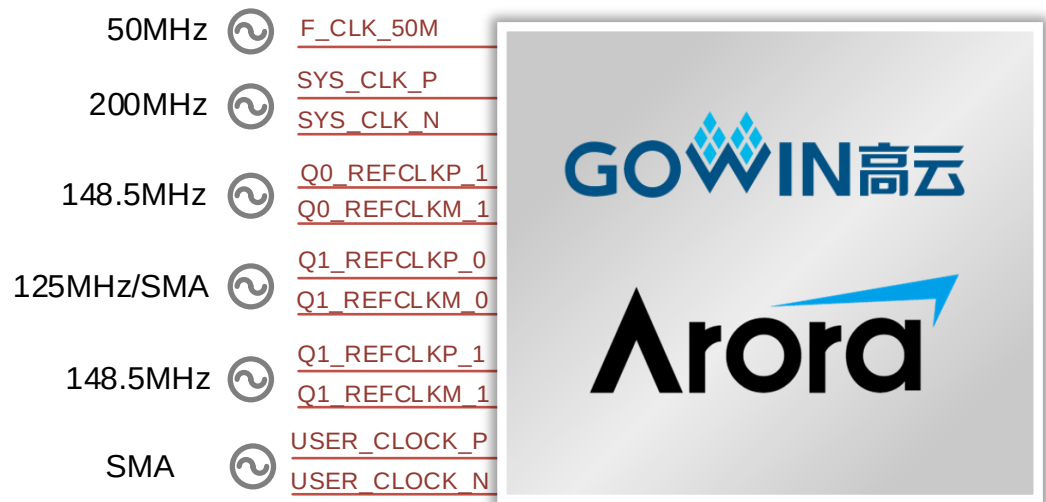
信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
TCK	H12	10	3.3V	JTAG 信号
TDO	J10	10	3.3V	
TDI	H10	10	3.3V	
TMS	H11	10	3.3V	

3.4 クロック

3.4.1 概要

開発ボードは、1つの 50MHz シングルエンド・クロック、1つの 200MHz 差動クロック、1つの 125MHz 差動クロック、2つの 148.5MHz 差動クロック、および1つの SMA 入力差動クロックなど、さまざまな FPGA クロックソースを提供します。125MHz 差動クロック信号と 148.5MHz 差動クロック信号は、FPGA の SerDes 高速クロック・ピンに接続されます。SerDes Q1 にクロックを供給する 125MHz 差動クロックは、外部 SMA 入力クロックに置き換えることができます。クロック・ピンの割り当てを図 3-3 に示します。

図 3-3 クロックの接続図



3.4.2 ピンの割り当て

表 3-2 クロック・ピンの割り当て

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
F_CLK_50M	N21	3	3.3V	50MHz のシングルエンド・ クロック
SYS_CLK_P	M21	3	3.3V	200MHz の差動クロック
SYS_CLK_N	M22	3	3.3V	200MHz の差動クロック
Q1_REFCLKP_0	AA11	Q1	-	125MHz の差動クロック /SMA 入力差動クロック
Q1_REFCLKM_0	AB11	Q1	-	125MHz の差動クロック /SMA 入力差動クロック
Q1_REFCLKP_1	AA13	Q1	-	148.5MHz の差動クロック
Q1_REFCLKM_1	AB13	Q1	-	148.5MHz の差動クロック
Q0_REFCLKP_1	F13	Q0	-	148.5MHz の差動クロック
Q0_REFCLKM_1	E13	Q0	-	148.5MHz の差動クロック
USER_CLOCK_P	R3	7	1.5V	SMA 入力差動クロック
USER_CLOCK_N	P3	7	1.5V	SMA 入力差動クロック

3.5 DDR3 モジュール

3.5.1 概要

開発ボードには、2つの2Gbit DDR3メモリが搭載されています。DDR3メモリの信号は、FPGAのBANK6、BANK7に接続されています。DDR3メモリの詳細を表3-3に示します。

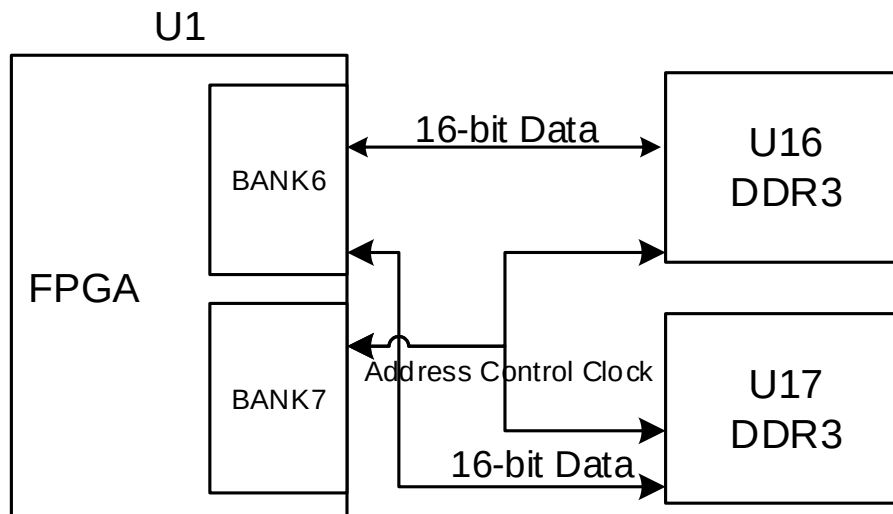
表 3-3 DDR3 メモリの詳細

番号	容量
U16	16M x 8 Banks x 16bit
U17	16M x 8 Banks x 16bit

DDR3のハードウェア設計では、シグナルインテグリティを厳密に考慮する必要があり、DDR3の高速で安定した動作を実現するために、終端抵抗、配線のインピーダンス制御、配線の等長化など、回路設計やPCB設計で十分に考慮されています。

DDR3メモリのハードウェア接続図は図3-4に示すとおりです。

図 3-4 DDR3 のハードウェア接続図



3.5.2 ピンの割り当て

表 3-4 DDR3 モジュールのピンの割り当て

信号名	FPGA のピン の番号	BANK	I/O 電圧レ ベル	説明
DDR3_A0	N1	7	1.5V	アドレス

信号名	FPGA のピン の番号	BANK	I/O 電圧レ ベル	説明
DDR3_A1	R1	7	1.5V	アドレス
DDR3_A2	R2	7	1.5V	アドレス
DDR3_A3	N2	7	1.5V	アドレス
DDR3_A4	P1	7	1.5V	アドレス
DDR3_A5	T2	7	1.5V	アドレス
DDR3_A6	N4	7	1.5V	アドレス
DDR3_A7	U1	7	1.5V	アドレス
DDR3_A8	T4	7	1.5V	アドレス
DDR3_A9	T3	7	1.5V	アドレス
DDR3_A10	M1	7	1.5V	アドレス
DDR3_A11	P4	7	1.5V	アドレス
DDR3_A12	N3	7	1.5V	アドレス
DDR3_A13	U2	7	1.5V	アドレス
DDR3_BA0	M4	7	1.5V	Bank アドレス
DDR3_BA1	L5	7	1.5V	Bank アドレス
DDR3_BA2	K3	7	1.5V	Bank アドレス
DDR3_CS#	L4	7	1.5V	チップストローブ
DDR3_CAS#	H1	7	1.5V	列アドレスストローブ
DDR3_CKE	L3	7	1.5V	クロック・イネーブル
DDR3_ODT	J1	7	1.5V	ODT イネーブル
DDR3_RAS#	H2	7	1.5V	行アドレスストローブ
DDR3_RESET	N8	7	1.5V	リセット
DDR3_WE#	J3	7	1.5V	書き込みイネーブル
DDR3_CLK0_P	M2	7	1.5V	差動クロック
DDR3_CLK0_N	L2	7	1.5V	差動クロック

信号名	FPGA のピン の番号	BANK	I/O 電圧レ ベル	説明
DDR3_DQ0	G4	6	1.5V	データ
DDR3_DQ1	J6	6	1.5V	データ
DDR3_DQ2	L8	6	1.5V	データ
DDR3_DQ3	G5	6	1.5V	データ
DDR3_DQ4	K7	6	1.5V	データ
DDR3_DQ5	J5	6	1.5V	データ
DDR3_DQ6	K8	6	1.5V	データ
DDR3_DQ7	K6	6	1.5V	データ
DDR3_DQ8	E6	6	1.5V	データ
DDR3_DQ9	H8	6	1.5V	データ
DDR3_DQ10	H6	6	1.5V	データ
DDR3_DQ11	G8	6	1.5V	データ
DDR3_DQ12	D6	6	1.5V	データ
DDR3_DQ13	F8	6	1.5V	データ
DDR3_DQ14	G6	6	1.5V	データ
DDR3_DQ15	F7	6	1.5V	データ
DDR3_DM0	F4	6	1.5V	データ入力マス ク
DDR3_DM1	H9	6	1.5V	データ入力マス ク
DDR3_DQS0_P	J4	6	1.5V	データストロー ブ
DDR3_DQS0_N	H4	6	1.5V	データストロー ブ
DDR3_DQS1_P	H7	6	1.5V	データストロー ブ
DDR3_DQS1_N	G7	6	1.5V	データストロー ブ
DDR3_DQ0_1	C4	6	1.5V	データ
DDR3_DQ1_1	F3	6	1.5V	データ
DDR3_DQ2_1	B4	6	1.5V	データ

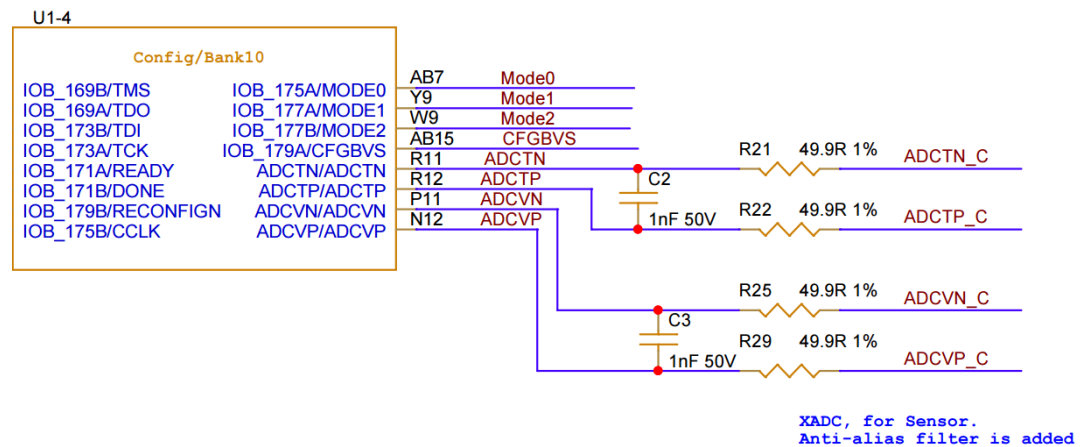
信号名	FPGA のピン の番号	BANK	I/O 電圧レ ベル	説明
DDR3_DQ3_1	E5	6	1.5V	データ
DDR3_DQ4_1	D3	6	1.5V	データ
DDR3_DQ5_1	D5	6	1.5V	データ
DDR3_DQ6_1	A4	6	1.5V	データ
DDR3_DQ7_1	D4	6	1.5V	データ
DDR3_DQ8_1	E1	6	1.5V	データ
DDR3_DQ9_1	A2	6	1.5V	データ
DDR3_DQ10_1	G2	6	1.5V	データ
DDR3_DQ11_1	C2	6	1.5V	データ
DDR3_DQ12_1	F2	6	1.5V	データ
DDR3_DQ13_1	E2	6	1.5V	データ
DDR3_DQ14_1	G1	6	1.5V	データ
DDR3_DQ15_1	D1	6	1.5V	データ
DDR3_DM0_1	E3	6	1.5V	データ入力マス ク
DDR3_DM1_1	A3	6	1.5V	データ入力マス ク
DDR3_DQS0_P_1	B5	6	1.5V	データストロー ブ
DDR3_DQS0_N_1	A5	6	1.5V	データストロー ブ
DDR3_DQS1_P_1	C1	6	1.5V	データストロー ブ
DDR3_DQS1_N_1	B1	6	1.5V	データストロー ブ

3.6 ADC インターフェース

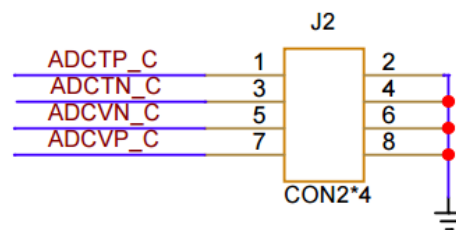
3.6.1 概要

開発ボードでは、2.54mm ピッチの 2x4P ピンヘッダーを使用して ADC インターフェースが拡張されています。下図は ADC の接続およびアンチエイリアシング・フィルタの説明図です。

図 3-5 ADC の接続図



XADC Header



3.6.2 ピンの割り当て

表 3-5 ADC インターフェースのピンの割り当て

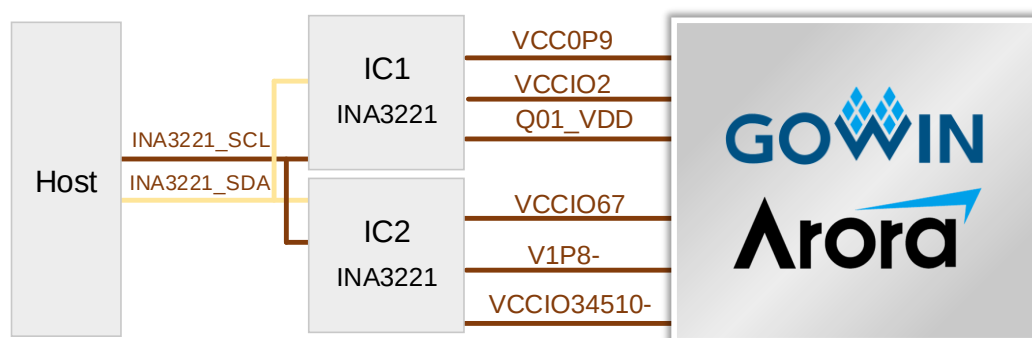
J2 のピンの番号	信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
1	ADCTP_C	R12	10	3.3V	アナログ信号の入力
3	ADCTN_C	R11	10	3.3V	アナログ信号の入力
5	ADCVN_C	P11	10	3.3V	アナログ信号の入力
7	ADCVP_C	N12	10	3.3V	アナログ信号の入力

3.7 I2C インターフェース

3.7.1 概要

開発ボードは、ホストとの通信用に 1 つの I2C インターフェースを備えています。ホストはこのインターフェースを使用して、FPGA の VCC、MIPI、VCCX、SerDes、および各 Bank の消費電力を監視できます。I2C インターフェースの接続図を図 3-6 に示します。

図 3-6 I2C インターフェースの接続図



3.7.2 ピンの割り当て

表 3-6 I2C インターフェースのピンの割り当て

J5 のピンの番号	信号名	I/O 電圧レベル	説明
1	GND	-	GND
2	VCCIO345	3.3V	POWER
3	INA3221_SDA	3.3V	シリアル・データ
4	INA3221_SCL	3.3V	シリアル・クロック

3.8 MIPI インターフェース

3.8.1 概要

この開発ボードは、FPGA に接続されるデュアルチャネル MIPI インターフェースを提供し、各チャネルには 4 data + 1 clk が含まれています。MIPI インターフェースは、80 ピン 0.5mm ピッチの AXK580147YG コネクタを使用しており、FPGA の MIPI-DPHY RX ハードコアに接続されています。さらに、この MIPI インターフェースは 4 つのシングルエンド信号、電源ピン、および GND ピンも提供します。MIPI インターフェース

スの接続図を図 3-7 に示します。

図 3-7 MIPI インターフェースの接続図



3.8.2 ピンの割り当て

表 3-7 MIPI インターフェースのピンの割り当て

J9 のピン の番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
1	M0_D0N	W1	MIPI	-	MIPI のデータ信号
2	NC	-	-	-	フローティング
3	M0_D0P	V1	MIPI	-	MIPI のデータ信号
4	NC	-	-	-	フローティング
5	GND	-	-	-	GND
6	NC	-	-	-	フローティング
7	M0_D1N	AA2	MIPI	-	MIPI のデータ信号
8	NC	-	-	-	フローティング
9	M0_D1P	Y2	MIPI	-	MIPI のデータ信号
10	GND	-	-	-	GND
11	GND	-	-	-	GND
12	NC	-	-	-	フローティング
13	M0_CKN	AA3	MIPI	-	MIPI のクロック信号
14	NC	-	-	-	フローティング
15	M0_CKP	Y3	MIPI	-	MIPI のクロック信号

J9 のピン の番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
16	NC	-	-	-	フローティング
17	GND	-	-	-	GND
18	NC	-	-	-	フローティング
19	M0_D2N	W3	MIPI	-	MIPI のデータ信号
20	GND	-	-	-	GND
21	M0_D2P	V3	MIPI	-	MIPI のデータ信号
22	NC	-	-	-	フローティング
23	GND	-	-	-	GND
24	NC	-	-	-	フローティング
25	M0_D3N	W4	MIPI	-	MIPI のデータ信号
26	NC	-	-	-	フローティング
27	M0_D3P	V4	MIPI	-	MIPI のデータ信号
28	NC	-	-	-	フローティング
29	GND	-	-	-	GND
30	GND	-	-	-	GND
31	M1_D0N	AC1	MIPI	-	MIPI のデータ信号
32	NC	-	-	-	フローティング
33	M1_D0P	AB1	MIPI	-	MIPI のデータ信号
34	NC	-	-	-	フローティング
35	GND	-	-	-	GND
36	NC	-	-	-	フローティング
37	M1_D1N	AE1	MIPI	-	MIPI のデータ信号
38	NC	-	-	-	フローティング
39	M1_D1P	AD1	MIPI	-	MIPI のデータ信号
40	GND	-	-	-	GND
41	GND	-	-	-	GND
42	NC	-	-	-	フローティング
43	M1_CKN	AF2	MIPI	-	MIPI のクロック信号

J9 のピン の番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
44	NC	-	-	-	フローティング
45	M1_CKP	AE2	MIPI	-	MIPI のクロック信号
46	NC	-	-	-	フローティング
47	GND	-	-	-	GND
48	NC	-	-	-	フローティング
49	M1_D2N	AF3	MIPI	-	MIPI データ信号
50	GND	-	-	-	GND
51	M1_D2P	AE3	MIPI	-	MIPI のデータ信号
52	CSI_RST	G17	5	3.3V	リセット信号
53	GND	-	-	-	GND
54	CSI_CLK	J23	4	3.3V	クロック信号
55	M1_D3N	AF5	MIPI	-	MIPI のデータ信号
56	CSI_SCL	H23	4	3.3V	I2C のクロック信号
57	M1_D3P	AE5	MIPI	-	MIPI のデータ信号
58	CSI_SDA	H24	4	3.3V	I2C のデータ信号
59	GND	-	-	-	GND
60	GND	-	-	-	GND
61	GND	-	-	-	GND
62	NC	-	-	-	フローティング
63	NC	-	-	-	フローティング
64	NC	-	-	-	フローティング
65	NC	-	-	-	フローティング
66	GND	-	-	-	GND
67	NC	-	-	-	フローティング
68	NC	-	-	-	フローティング
69	NC	-	-	-	フローティング
70	NC	-	-	-	フローティング
71	GND	-	-	-	GND

J9 のピンの番号	信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
72	NC	-	-	-	フローティング
73	NC	-	-	-	フローティング
74	GND	-	-	-	GND
75	NC	-	-	-	フローティング
76	AlwaysOn_3.3V	-	-	3.3V	POWER
77	NC	-	-	-	フローティング
78	AlwaysOn_3.3V	-	-	3.3V	POWER
79	NC	-	-	-	フローティング
80	AlwaysOn_3.3V	-	-	3.3V	POWER

3.9 PCIE インターフェース

3.9.1 概要

開発ボードは、1 つの PCIe x4 インターフェースを提供しています。PCIe インターフェースの受送信信号は、FPGA の SerDes 高速信号ピンに接続されています。4 レーンの TX、RX 信号はすべて差動信号として FPGA に接続されています。PCIe インターフェースの接続図を図 3-8 に示します。

図 3-8 PCIE インターフェースの接続図



3.9.2 ピンの割り当て

表 3-8 PCIE インターフェースのピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
PCIE_WAKE_B	N26	3	3.3V	PCIE デバイスのウェイクアップ
PCIE_PERST	M26	3	3.3V	PCIE デバイスのリセット
PCIE_CLK_QO_C_P	F11	Q0	-	PCle のリファレンス・クロック
PCIE_CLK_QO_C_N	E11	Q0	-	PCle のリファレンス・クロック
PCIE_RX0_P	D12	Q0	-	PCIE の受信データ
PCIE_RX0_N	C12	Q0	-	PCIE の受信データ
PCIE_RX1_P	D14	Q0	-	PCIE の受信データ
PCIE_RX1_N	C14	Q0	-	PCIE の受信データ
PCIE_RX2_P	B13	Q0	-	PCIE の受信データ
PCIE_RX2_N	A13	Q0	-	PCIE の受信データ
PCIE_RX3_P	B11	Q0	-	PCIE の受信データ
PCIE_RX3_N	A11	Q0	-	PCIE の受信データ
PCIE_TX0_P	D10	Q0	-	PCIE の送信データ
PCIE_TX0_N	C10	Q0	-	PCIE の送信データ
PCIE_TX1_P	D8	Q0	-	PCIE の送信データ
PCIE_TX1_N	C8	Q0	-	PCIE の送信データ

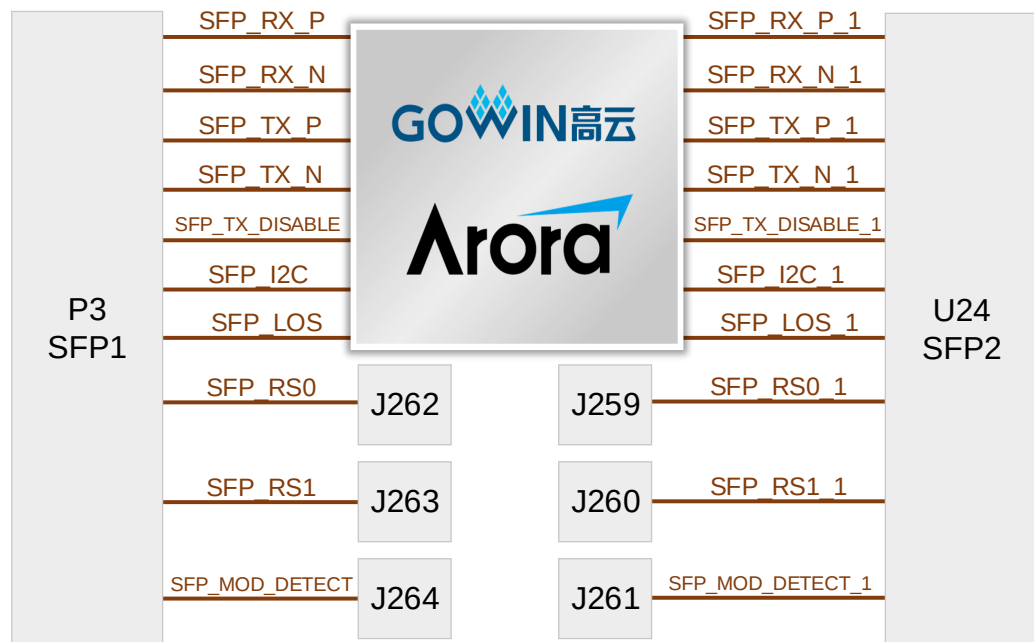
信号名	FPGA のピンの 番号	BANK	I/O 電圧 レベル	説明
				タ
PCIE_TX2_P	B9	Q0	-	PCIE の送信デー タ
PCIE_TX2_N	A9	Q0	-	PCIE の送信デー タ
PCIE_TX3_P	B7	Q0	-	PCIE の送信デー タ
PCIE_TX3_N	A7	Q0	-	PCIE の送信デー タ

3.10 SFP インターフェース

3.10.1 概要

開発ボードには、SFP または SFP+モジュールを挿入できる 2 つの SFP コネクタが搭載されています。外部ジャンパーキャップを使用して電圧レベルを制御することにより、送信の停止、SFP モジュールの速度、およびモジュールの装着状態を選択できます。その説明図を図 3-9 に示します。

図 3-9 SFP インターフェースの接続図



3.10.2 ピンの割り当て

表 3-9 SFP1 インターフェースのピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
SFP_RX_P	AC12	Q1	-	受信部の差動信号出力
SFP_RX_N	AD12	Q1	-	受信部の差動信号出力
SFP_TX_P	AC10	Q1	-	送信部の差動信号入力
SFP_TX_N	AD10	Q1	-	送信部の差動信号入力
SFP_TX_FAULT	-	-	-	送信エラー
SFP_TX_DISABLE	R23	3	3.3V	ディスエーブル/イネーブル入力。送信するにはピン J6 に接続する必要があります。

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
				ります。 High : 送信禁止。 Low : 送信可 現在のデフォルトは High です。
SFP_IIC_SDA	N19	3	3.3V	I2C データ・ライン
SFP_IIC_SCL	P19	3	3.3V	I2C クロック・ライン
SFP_MOD_DETECT	-	-	-	モジュール存在の検出。 モジュールを挿入する場 合は、ピン J264 に接続す る必要があります。 High : P3 スロットに SFP+モジュールなし Low : スロットに SFP+モ ジュールあり 現在のデフォルトは High です。
SFP_RS0	-	-	-	レートを選択用。これで 受信レートを制御できま す。ピン J262 に接続する 必要があります。 High : 高速 Low : 低速 現在のデフォルトは High です。
SFP_RS1	-	-	-	レートを選択用。これで 受信レートを制御できま す。ピン J263 に接続する 必要があります。 High : 高速 Low : 低速 現在のデフォルトは High です。
SFP_LOS	R20	3	3.3V	受信側ロスの表示

表 3-10 SFP2 インターフェースのピンの割り当て

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
SFP_RX_P_1	AE11	Q1	-	受信部の差動信号出力
SFP_RX_N_1	AF11	Q1	-	受信部の差動信号出力
SFP_TX_P_1	AE7	Q1	-	送信部の差動信号入力
SFP_TX_N_1	AF7	Q1	-	送信部の差動信号入力
SFP_TX_FAULT_1	-	-	-	送信エラー
SFP_TX_DISABLE_1	R25	3	3.3V	ディスエーブル/イネーブル入力。送信するにはピン J210 に接続する必要があります。 High : 送信禁止 Low : 送信可 現在のデフォルトは High です。
SFP_IIC_SDA_1	P26	3	3.3V	I2C データ・ライン
SFP_IIC_SCL_1	R26	3	3.3V	I2C クロック・ライン
SFP_MOD_DETECT_1	-	-	-	モジュール存在の検出。モジュールを挿入する場合は、ピン J261 に接続する必要があります。 High : P3 スロットに SFP+モジュールなし Low : スロットに SFP+モジュールあり 現在のデフォルトは High です。
SFP_RS0_1	-	-	-	レートの選択用。これで受信レートを制御できます。ピン J259 に接続する必要があります。 High : 高速 Low : 低速 現在のデフォルトは High です。

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
SFP_RS1_1	-	-	-	レートを選択用。これで 受信レートを制御できま す。ピン J260 に接続する 必要があります。 High : 高速 Low : 低速 現在のデフォルトは High です。
SFP_LOS_1	T23	3	3.3V	受信側ロスの表示

3.11 LVDS インターフェース

3.11.1 概要

開発ボード上の LVDS_TX インターフェース(4 data + 1 clk)と LVDS_RX インターフェース(4 data + 1 clk)は、2.0mm ピッチの 2x9P ピンヘッダーで実装されています。LVDS インターフェースの接続図を図 3-10 に示します。

図 3-10 LVDS インターフェースの接続図



3.11.2 ピンの割り当て

表 3-11 LVDS_TX インターフェースのピンの割り当て

J247 のピンの番号	信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
1	LT_2P5_1p	Y22	2	2.5V	LVDS データ
2	LT_2P5_1n	Y23	2	2.5V	LVDS データ
3	GND	-	-	-	GND
4	GND	-	-	-	GND
5	LT_2P5_2p	T20	2	2.5V	LVDS データ
6	LT_2P5_2n	U20	2	2.5V	LVDS データ
7	GND	-	-	-	GND
8	GND	-	-	-	GND
9	LT_2P5_CLKp	U21	2	2.5V	LVDS クロック
10	LT_2P5_CLKn	V21	2	2.5V	LVDS クロック
11	GND	-	-	-	GND
12	GND	-	-	-	GND
13	LT_2P5_3p	W20	2	2.5V	LVDS データ
14	LT_2P5_3n	Y20	2	2.5V	LVDS データ
15	GND	-	-	-	GND
16	GND	-	-	-	GND
17	LT_2P5_4p	T19	2	2.5V	LVDS データ
18	LT_2P5_4n	U19	2	2.5V	LVDS データ

表 3-12 LVDS_RX インターフェースのピンの割り当て

J7 のピンの 番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
1	LR_2P5_1p	AA24	2	2.5V	LVDS データ
2	LR_2P5_1n	AB25	2	2.5V	LVDS データ
3	GND	-	-	-	GND
4	GND	-	-	-	GND
5	LR_2P5_2p	V23	2	2.5V	LVDS データ
6	LR_2P5_2n	W23	2	2.5V	LVDS データ
7	GND	-	-	-	GND
8	GND	-	-	-	GND
9	LR_2P5_CLKp	U22	2	2.5V	LVDS クロック
10	LR_2P5_CLKn	V22	2	2.5V	LVDS クロック
11	GND	-	-	-	GND
12	GND	-	-	-	GND
13	LR_2P5_3p	AB24	2	2.5V	LVDS データ
14	LR_2P5_3n	AC24	2	2.5V	LVDS データ
15	GND	-	-	-	GND
16	GND	-	-	-	GND
17	LR_2P5_4p	AA22	2	2.5V	LVDS データ
18	LR_2P5_4n	AA23	2	2.5V	LVDS データ

3.12 GPIO インターフェース

3.12.1 概要

開発ボードは、1つの 2.54mm ピッチの 2x10P ピンヘッダーを通して 16 本の 2.5V 規格 GPIO を提供しています。

図 3-11 GPIO インターフェースの接続図



3.12.2 ピンの割り当て

表 3-13 GPIO インターフェースのピンの割り当て

J254 のピン の番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
1	VCCIO2+	-	-	2.5V	POWER
2	VCCIO2+	-	-	2.5V	POWER
3	HGPIO1	W21	2	2.5V	GPIO
4	HGPIO2	Y21	2	2.5V	GPIO
5	HGPIO3	V19	2	2.5V	GPIO
6	HGPIO4	W24	2	2.5V	GPIO
7	HGPIO5	AC26	2	2.5V	GPIO
8	HGPIO6	V18	2	2.5V	GPIO
9	HGPIO7	AB26	2	2.5V	GPIO
10	HGPIO8	AA25	2	2.5V	GPIO
11	HGPIO9	Y26	2	2.5V	GPIO
12	HGPIO10	Y25	2	2.5V	GPIO
13	HGPIO11	W26	2	2.5V	GPIO
14	HGPIO12	W25	2	2.5V	GPIO
15	HGPIO13	V26	2	2.5V	GPIO

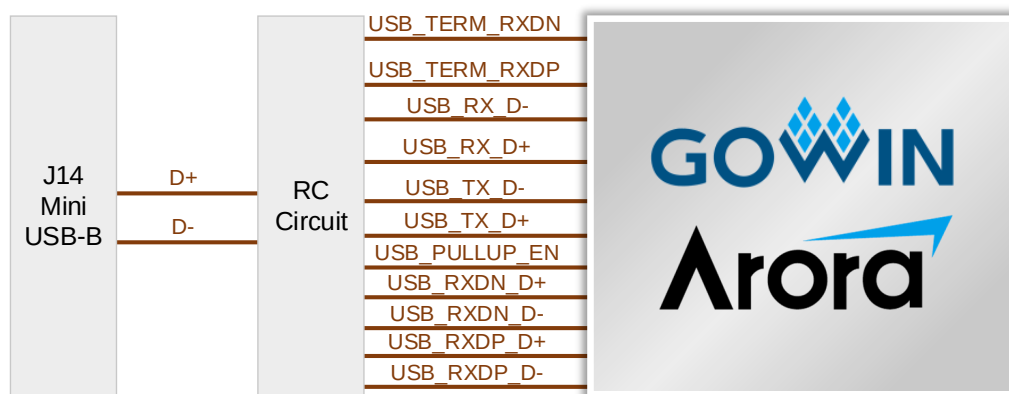
J254 のピンの番号	信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
16	HGPIO14	V24	2	2.5V	GPIO
17	HGPIO15	U26	2	2.5V	GPIO
18	HGPIO16	U25	2	2.5V	GPIO
19	GND	-	-	-	GND
20	GND	-	-	-	GND

3.13 USB 2.0 インターフェース

3.13.1 概要

開発ボードでは、Mini USB-B コネクタを使用して USB2.0 インターフェース(ESD 保護付き)が実装されています。USB2.0 インターフェースの接続図を図 3-12 に示します。

図 3-12 USB2.0 インターフェースの接続図



3.13.2 ピンの割り当て

表 3-14 USB2.0 インターフェースのピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
USB_TERM_RXDP	G22	4	3.3V	高速モードの場合は終端抵抗の制御に使用されます。フルスピードモードと低速モードの場合は USB データピンとして機能します。
USB_TERM_RXDN	F22	4	3.3V	高速モードの場合は終

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
				端抵抗の制御に使用されます。フルスピードモードと低速モードの場合は USB データピンとして機能します。
USB_RX_D+	M16	4	3.3V	USB データピン(高速モードの場合)
USB_RX_D-	M17	4	3.3V	USB データピン(高速モードの場合)
USB_TX_D+	K16	4	3.3V	USB データピン(高速モードの場合)
USB_TX_D-	K17	4	3.3V	USB データピン(高速モードの場合)
USB_PULLUP_EN	M14	4	3.3V	プルアップ
USB_RXDN_D+	K22	4	3.3V	USB-信号
USB_RXDN_D-	K23	4	3.3V	USB-側のリファレンス信号
USB_RXDP_D+	F23	4	3.3V	USB+信号
USB_RXDP_D-	E23	4	3.3V	USB+側のリファレンス信号

3.14 HDMI インターフェース

3.14.1 概要

開発ボードは、1つの HDMI 送信インターフェースと 1つの HDMI 受信インターフェースを提供しています。入出力通信はエンコーディング・チップ/デコーディング・チップを使用して実装されます。HDMI インターフェースの接続図は次のとおりです。

図 3-13 HDMI_TX インターフェースの接続図

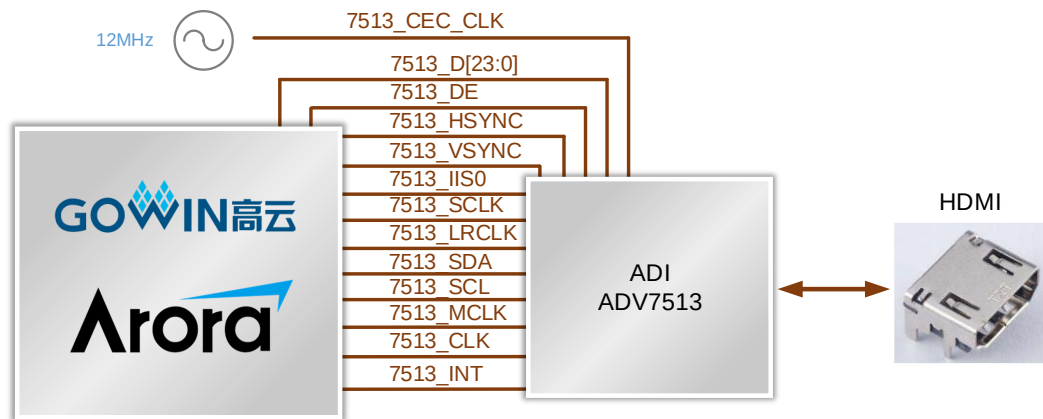
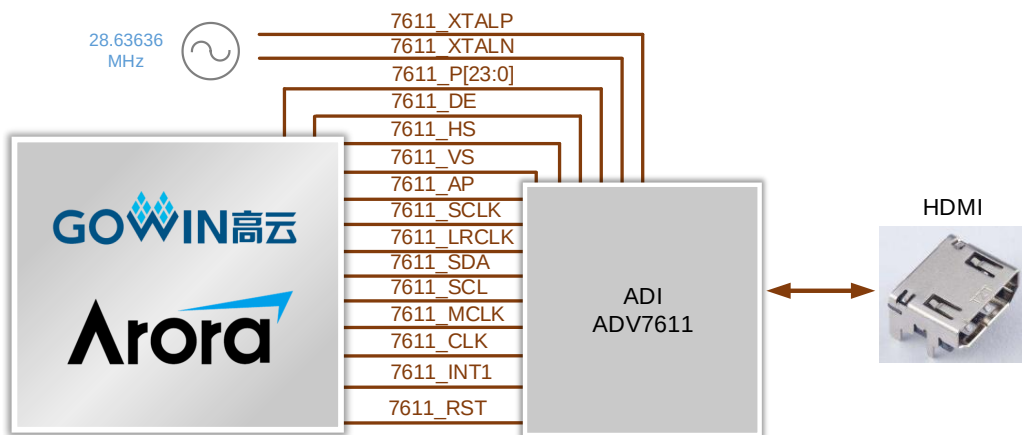


図 3-14 HDMI_RX インターフェースの接続図



3.14.2 ピンの割り当て

表 3-15 HDMI_TX インターフェースのピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
7513_CLK	K21	4	3.3V	RGB データのラインロック出力クロック
7513_D0	K20	4	3.3V	RGB データ信号
7513_D1	L19	4	3.3V	RGB データ信号
7513_D2	L18	4	3.3V	RGB データ信号
7513_D3	J24	4	3.3V	RGB データ信号
7513_D4	J26	4	3.3V	RGB データ信号
7513_D5	J25	4	3.3V	RGB データ信号
7513_D6	H26	4	3.3V	RGB データ信号

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
7513_D7	G26	4	3.3V	RGB データ信号
7513_D8	E26	4	3.3V	RGB データ信号
7513_D9	E25	4	3.3V	RGB データ信号
7513_D10	D26	4	3.3V	RGB データ信号
7513_D11	D25	4	3.3V	RGB データ信号
7513_D12	G24	4	3.3V	RGB データ信号
7513_D13	F24	4	3.3V	RGB データ信号
7513_D14	J20	4	3.3V	RGB データ信号
7513_D15	J19	4	3.3V	RGB データ信号
7513_D16	G20	4	3.3V	RGB データ信号
7513_D17	H19	4	3.3V	RGB データ信号
7513_D18	K18	4	3.3V	RGB データ信号
7513_D19	H18	4	3.3V	RGB データ信号
7513_D20	J18	4	3.3V	RGB データ信号
7513_D21	J16	4	3.3V	RGB データ信号
7513_D22	K15	4	3.3V	RGB データ信号
7513_D23	J15	4	3.3V	RGB データ信号
7513_VSYNC	M15	4	3.3V	垂直同期信号
7513_HSYNC	L15	4	3.3V	水平同期信号
7513_DE	L14	4	3.3V	RGB データイネーブル
7513_SCLK	G21	4	3.3V	IIS インターフェースの SCLK
7513_LRCLK	J21	4	3.3V	IIS インターフェースの LRCLK
7513_MCLK	H21	4	3.3V	IIS インターフェースの MCLK
7513_IIS0	H22	4	3.3V	IIS インターフェースのデ ータ
7513_SCL	G25	4	3.3V	I2C インターフェースのク ロック

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
7513_SDA	F25	4	3.3V	I2C インターフェースのデータ
7513_INT	J14	4	3.3V	割り込み信号

表 3-16 HDMI_RX インターフェースのピンの割り当て

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
7611_CLK	D18	5	3.3V	RGB データのラインロック出力クロック
7611_P0	D16	5	3.3V	RGB データ信号
7611_P1	C26	5	3.3V	RGB データ信号
7611_P2	B26	5	3.3V	RGB データ信号
7611_P3	B25	5	3.3V	RGB データ信号
7611_P4	A25	5	3.3V	RGB データ信号
7611_P5	B24	5	3.3V	RGB データ信号
7611_P6	A23	5	3.3V	RGB データ信号
7611_P7	B22	5	3.3V	RGB データ信号
7611_P8	A22	5	3.3V	RGB データ信号
7611_P9	B20	5	3.3V	RGB データ信号
7611_P10	A20	5	3.3V	RGB データ信号
7611_P11	B19	5	3.3V	RGB データ信号
7611_P12	A19	5	3.3V	RGB データ信号
7611_P13	A18	5	3.3V	RGB データ信号
7611_P14	B17	5	3.3V	RGB データ信号
7611_P15	A17	5	3.3V	RGB データ信号
7611_P16	D21	5	3.3V	RGB データ信号
7611_P17	C22	5	3.3V	RGB データ信号
7611_P18	E21	5	3.3V	RGB データ信号
7611_P19	C23	5	3.3V	RGB データ信号
7611_P20	C24	5	3.3V	RGB データ信号

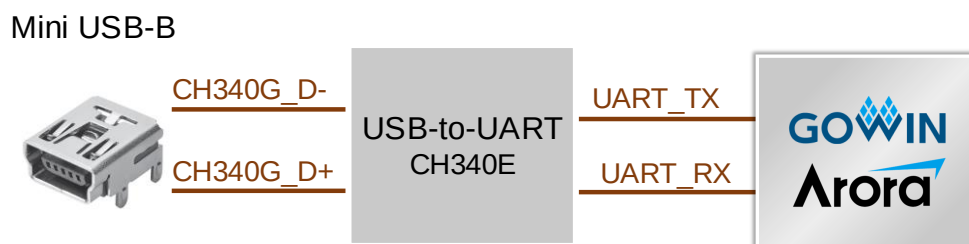
信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
7611_P21	D23	5	3.3V	RGB データ信号
7611_P22	D24	5	3.3V	RGB データ信号
7611_P23	E22	5	3.3V	RGB データ信号
7611_VS	E18	5	3.3V	垂直同期信号
7611_HS	C17	5	3.3V	水平同期信号
7611_DE	E16	5	3.3V	RGB データイネーブル
7611_SCLK	E20	5	3.3V	IIS インターフェースの SCLK
7611_LRCLK	C19	5	3.3V	IIS インターフェースの LRCLK
7611_MCLK	D19	5	3.3V	IIS インターフェースの MCLK
7611_AP	B21	5	3.3V	オーディオ入力ピン
7611_SCL	H16	5	3.3V	I2C インターフェースのク ロック
7611_SDA	G16	5	3.3V	I2C インターフェースのデ ータ
7611_INT1	C21	5	3.3V	割り込み信号
7611_RST	D20	5	3.3V	システム・リセット

3.15 UART インターフェース

3.15.1 概要

開発ボード上の UART インターフェースは、Mini USB-B コネクタを使用し、USB 変換チップを介して実装されています。UART インターフェースの接続図を図 3-15 に示します。

図 3-15 UART インターフェースの接続図



3.15.2 ピンの割り当て

表 3-17 UART インターフェースのピンの割り当て

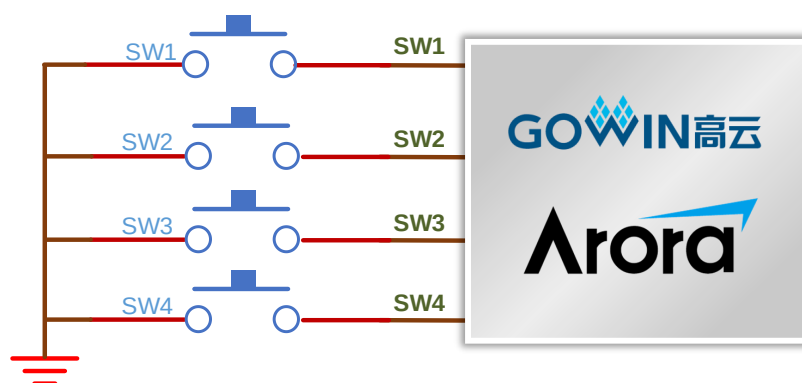
信号名	FPGA のピン の番号	BANK	I/O 電圧レベ ル	説明
UART_TX	R17	3	3.3V	送信データ
UART_RX	R16	3	3.3V	受信データ

3.16 キーとインジケータ

3.16.1 概要

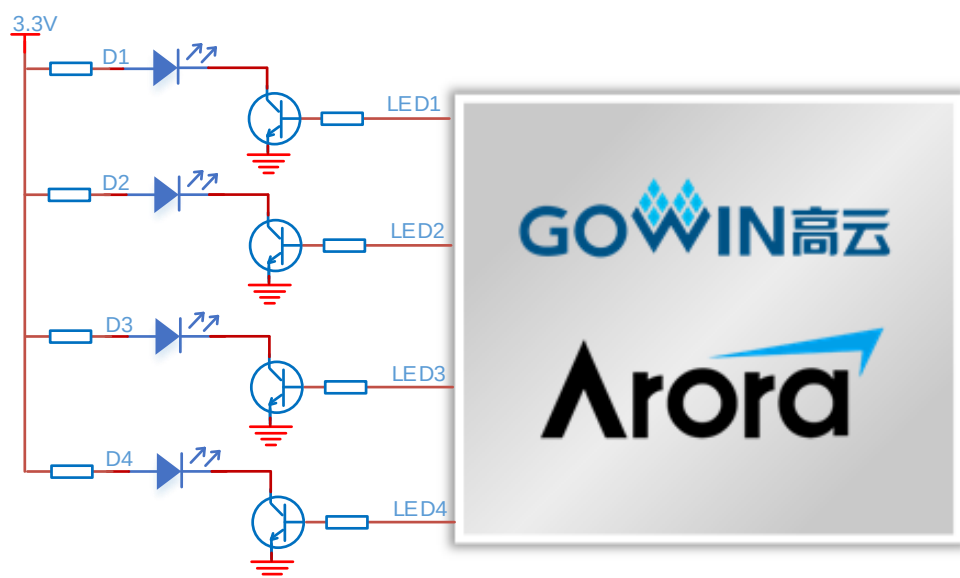
開発ボードには、FPGA の Bank2 と Bank3 の通常の IO に接続される 4 つのユーザーキーがあります。キーが押されると FPGA の対応する IO 入力電圧は Low になり、キーが押されないと FPGA の対応する IO 入力電圧は High になります。その接続図は次のとおりです。

図 3-16 キーの接続図



開発ボード上の 4 つのユーザー LED は、FPGA Bank3 の IO に接続されており、その点灯・消灯はプログラムにより制御することができます。ユーザー LED に接続された IO の電圧が High の場合ユーザー LED は点灯し、接続された IO の電圧が Low の場合ユーザー LED は消灯します。その接続図を図 3-17 に示します。

図 3-17 LED の接続図



3.16.2 ピンの割り当て

表 3-18 キーモジュールのピンの割り当て

信号名	FPGA のピン の番号	BANK	I/O 電圧レベ ル	説明
SW1	N16	3	3.3V	キー
SW2	U17	2	2.5V	キー
SW3	U24	2	2.5V	キー
SW4	V14	2	2.5V	キー

表 3-19 LED のピンの割り当て

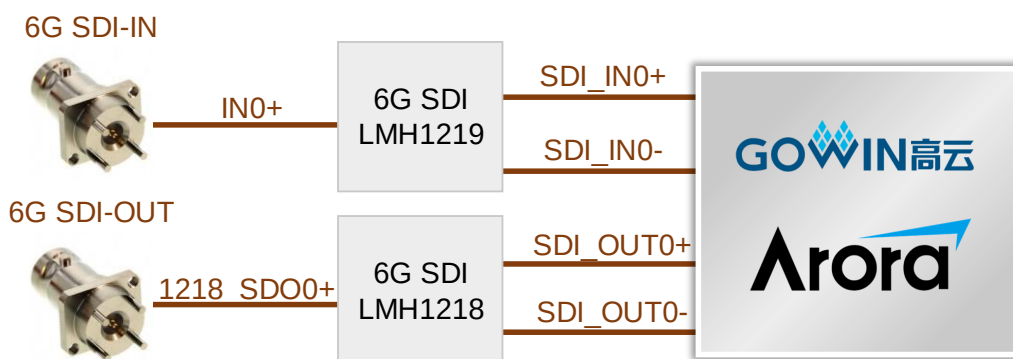
信号名	FPGA のピン の番号	BANK	I/O 電圧レベ ル	説明
LED1	R21	3	3.3V	LED
LED2	M19	3	3.3V	LED
LED3	P23	3	3.3V	LED
LED4	P24	3	3.3V	LED

3.17 6G SDI インターフェース

3.17.1 概要

この開発ボードは、受信部と送信部の両方を備えた 6G SDI インターフェースを提供しています。SDI-IN インターフェースは 1 つの BNC コネクタを介してシリアル・データを受信し、SDI-OUT インターフェースは BNC コネクタを介して処理済みのシリアル・データを送信します。6G SDI インターフェースの接続図を図 3-18 に示します。

図 3-18 6G SDI インターフェースの接続図



3.17.2 ピンの割り当て

表 3-20 6G SDI インターフェースのピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
SDI_IN0+	AC14	Q1	--	SDI+入力
SDI_IN0-	AD14	Q1	--	SDI-入力
SDI_OUT0+	AC8	Q1	--	SDI+出力
SDI_OUT0-	AD8	Q1	--	SDI-出力

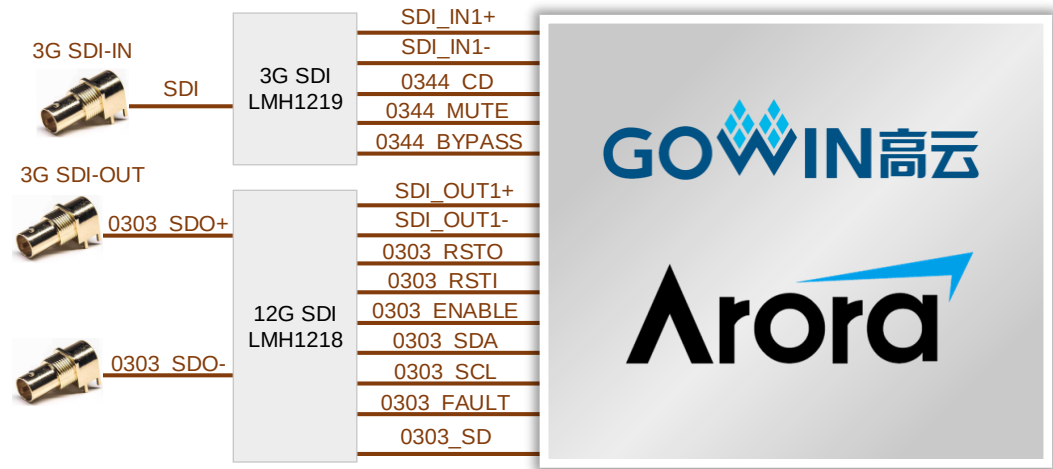
3.18 3G SDI インターフェース

3.18.1 概要

この開発ボードは、受信部と送信部の両方を備えた 3G SDI インターフェースを提供しています。SDI-IN インターフェースは 1 つの BNC コネクタを介してシリアル・データを受信し、SDI-OUT インターフェースは 2 つの BNC コネクタを介して処理済みのシリアル・データを送信しま

す。3G SDI インターフェースの接続図を図 3-19 に示します。

図 3-19 3G SDI インターフェースの接続図



3.18.2 ピンの割り当て

表 3-21 3G SDI-IN インターフェースのピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
SDI_IN1+	AE13	Q1	--	SDI+入力
SDI_IN1-	AF13	Q1	--	SDI-入力
0344_CD	N24	3	3.3V	キャリアの検出
0344_BYPASS	N22	3	3.3V	バイパス信号
0344_MUTE	M20	3	3.3V	出力ミュート

表 3-22 3G SDI-OUT インターフェースのピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
SDI_OUT1+	AE9	Q1	--	SDI+出力
SDI_OUT-	AF9	Q1	--	SDI-出力
0303_SCL	L22	3	3.3V	SMBus クロック信号
0303_SDA	L23	3	3.3V	SMBus 双方向データ信号
0303_ENABLE	M24	3	3.3V	出力ドライバのイネーブル

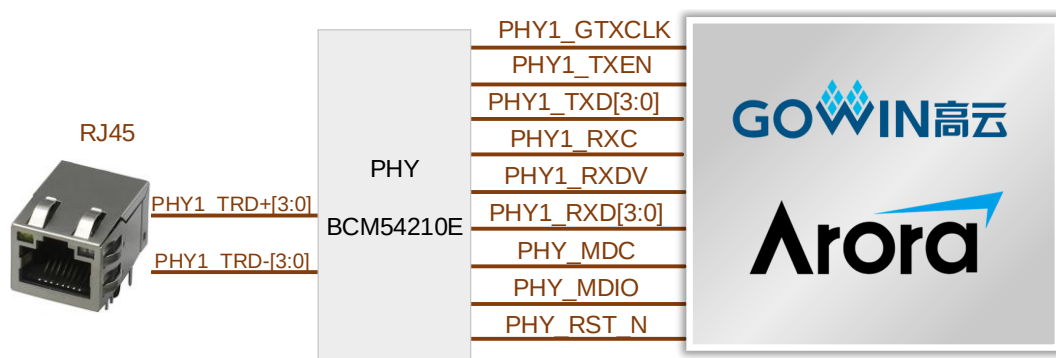
信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
0303_RSTI	L20	3	3.3V	リセット入力
0303_SD	M25	3	3.3V	標準解像度
0303_RSTO	L25	3	3.3V	リセット出力
0303_FAULT	L24	3	3.3V	障害信号

3.19 イーサネット・インターフェース

3.19.1 概要

開発ボードは、RGMII（10BASE-T/100BASE-TX/1000BASE-T）をサポートする 1 つのイーサネット・インターフェースを備えています。マグネティクス付きの RJ45 コネクタが使用されています。その接続図を図 3-20 に示します。

図 3-20 イーサネット・インターフェースの接続図



3.19.2 ピンの割り当て

表 3-23 イーサネット・インターフェースのピンの割り当て

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
PHY1_RXC	C18	5	3.3V	RGMII の受信クロック
PHY1_GTXCLK	A24	5	3.3V	RGMII の送信クロック
PHY1_RXDV	G19	5	3.3V	RGMII の受信データ有効

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
PHY1_RXD3	F20	5	3.3V	RGMII の受信データ
PHY1_RXD2	F18	5	3.3V	RGMII の受信データ
PHY1_RXD1	F19	5	3.3V	RGMII の受信データ
PHY1_RXD0	F17	5	3.3V	RGMII の受信データ
PHY1_TXEN	H15	5	3.3V	RGMII の送信イネー ブル
PHY1_TXD3	G15	5	3.3V	RGMII の送信データ
PHY1_TXD2	H14	5	3.3V	RGMII の送信データ
PHY1_TXD1	E17	5	3.3V	RGMII の送信データ
PHY1_TXD0	F15	5	3.3V	RGMII の送信データ
PHY_MDC	N18	3	3.3V	管理データクロック
PHY_MDIO	R18	3	3.3V	管理データ I/O
PHY_RST_N	N23	3	3.3V	リセット

