



# Gowin HyperRAM Memory Interface IP ユーザーガイド

IPUG944-2.1J, 2025-05-30

## 著作権について(2025)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

**GOWIN**高云、**GOWIN**、、**GOWINSEMI**、**GOWIN**、Gowin、**高云**、晨熙、小蜜蜂、LittleBee、**Aroa-V**、GowinPnR、及びGoBridgeは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

## 免責事項

当社は、**GOWINSEMI Terms and Conditions of Sale**(**GOWINSEMI** 取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

## バージョン履歴

| 日付         | バージョン | 説明                                                                                                                                                                         |
|------------|-------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 2020/07/30 | 1.0J  | 初版。                                                                                                                                                                        |
| 2020/12/15 | 1.01J | <a href="#">3.3 リソース使用量</a> を更新。                                                                                                                                           |
| 2024/06/07 | 1.1J  | GW5A(R)(S)(T)デバイスのサポートを追加。                                                                                                                                                 |
| 2024/08/15 | 2.0J  | embedded IP と external IP をマージしてその説明を更新。                                                                                                                                   |
| 2025/05/30 | 2.1J  | <ul style="list-style-type: none"><li>● IP の特徴を更新。</li><li>● セクション「<a href="#">4.4.2 アドレスとコマンドの送信</a>」の説明を更新。</li><li>● セクション「<a href="#">6 パラメータの構成</a>」の説明を更新。</li></ul> |

# 目次

|                                  |           |
|----------------------------------|-----------|
| 図一覧.....                         | iii       |
| 表一覧.....                         | iv        |
| <b>1 本マニュアルについて.....</b>         | <b>1</b>  |
| 1.1 マニュアルの内容.....                | 1         |
| 1.2 関連ドキュメント.....                | 1         |
| 1.3 用語、略語.....                   | 2         |
| 1.4 テクニカル・サポートとフィードバック.....      | 2         |
| <b>2 概要.....</b>                 | <b>3</b>  |
| <b>3 主な特徴およびパフォーマンス.....</b>     | <b>4</b>  |
| 3.1 主な特徴.....                    | 4         |
| 3.2 動作周波数と帯域幅の効率.....            | 4         |
| 3.3 リソース使用量.....                 | 5         |
| <b>4 機能の説明.....</b>              | <b>6</b>  |
| 4.1 構造.....                      | 6         |
| 4.2 Memory Controller Logic..... | 6         |
| 4.3 PHY.....                     | 7         |
| 4.3.1 初期化モジュール.....              | 8         |
| 4.3.2 データバス.....                 | 8         |
| 4.3.3 制御バス.....                  | 8         |
| 4.3.4 I/O ロジックモジュール.....         | 8         |
| 4.4 主な機能.....                    | 8         |
| 4.4.1 初期化.....                   | 9         |
| 4.4.2 アドレスとコマンドの送信.....          | 9         |
| 4.4.3 書き込みデータ.....               | 11        |
| 4.4.4 読み出しデータ.....               | 12        |
| <b>5 ポート一覧.....</b>              | <b>14</b> |
| <b>6 パラメータの構成.....</b>           | <b>16</b> |
| <b>7 リファレンス・デザイン.....</b>        | <b>18</b> |
| <b>8 GUI での構成.....</b>           | <b>20</b> |

|                    |           |
|--------------------|-----------|
| <b>9 提供されるファイル</b> | <b>24</b> |
| 9.1 ドキュメント         | 24        |
| 9.2 リファレンス・デザイン    | 24        |

# 図一覧

|                                                   |    |
|---------------------------------------------------|----|
| 図 4-1 Gowin HyperRAM Memory Interface IP の構造..... | 6  |
| 図 4-2 HyperRAM Memory Controller Logic の基本構造..... | 7  |
| 図 4-3 HyperRAM PHY の基本構造.....                     | 8  |
| 図 4-4 初期化完了信号のタイミング図.....                         | 9  |
| 図 4-5 Row-Column 順のアドレッシング方法.....                 | 10 |
| 図 4-6 コマンド、アドレス、およびイネーブル信号のタイミング図.....            | 10 |
| 図 4-7 書き込みデータポートのタイミング図.....                      | 11 |
| 図 4-8 バースト長が 32 の場合のデータ書き込みタイミング.....             | 11 |
| 図 4-9 バースト長が 64 の場合のデータ書き込みタイミング.....             | 12 |
| 図 4-10 バースト長が 128 の場合のデータ書き込みタイミング.....           | 12 |
| 図 4-11 読み出しデータポートのタイミング図.....                     | 12 |
| 図 4-12 バースト長が 32 の場合のデータ読み出しタイミング.....            | 13 |
| 図 4-13 バースト長が 64 の場合のデータ読み出しタイミング.....            | 13 |
| 図 4-14 バースト長が 128 の場合のデータ読み出しタイミング.....           | 13 |
| 図 7-1 リファレンス・デザインの基本構造.....                       | 18 |
| 図 8-1 IP Core Generator を開く .....                 | 20 |
| 図 8-2 HyperRAM Memory Interface IP コアを開く .....    | 21 |
| 図 8-3 IP コアの構成画面.....                             | 22 |
| 図 8-4 一般情報の構成画面.....                              | 22 |
| 図 8-5 構成画面.....                                   | 23 |

## 表一覧

|                                                          |    |
|----------------------------------------------------------|----|
| 表 1-1 用語、略語.....                                         | 2  |
| 表 2-1 Gowin HyperRAM Memory Interface IP.....            | 3  |
| 表 3-1 リソース使用量.....                                       | 5  |
| 表 4-1 cmd ポートを介したコマンド.....                               | 10 |
| 表 4-2 Tcmd とバースト長の関係.....                                | 10 |
| 表 5-1 Gowin HyperRAM Memory Interface IP の IO ポート一覧..... | 14 |
| 表 6-1 Gowin HyperRAM Memory Interface IP の静的パラメータ.....   | 16 |
| 表 9-1 ファイラー一覧.....                                       | 24 |
| 表 9-2 Ref. Design フォルダのコンテンツ一覧.....                      | 24 |

# 1 本マニュアルについて

## 1.1 マニュアルの内容

本マニュアルは、ユーザーが Gowin HyperRAM Memory Interface IP を使いこなせるよう、その機能、ポート、タイミング、呼び出しと構成、およびリファレンス・デザインなどについて説明します。この IP V2.0 は、Gowin ソフトウェア V1.9.10.01 でリリースされ、旧バージョンのソフトウェア上の HyperRAM Memory Interface external IP および HyperRAM Memory Interface embedded IP と互換性があります。

## 1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ [www.gowinsemi.com/ja](http://www.gowinsemi.com/ja) から、以下の関連ドキュメントがダウンロード、参考できます：

- [GW1N シリーズFPGA 製品データシート\(DS100\)](#)
- [GW1NR シリーズFPGA 製品データシート\(DS117\)](#)
- [GW1NS シリーズFPGA 製品データシート\(DS821\)](#)
- [GW2A シリーズFPGA 製品データシート\(DS102\)](#)
- [GW2AR シリーズFPGA 製品データシート\(DS226\)](#)
- [GW1NZ シリーズFPGA 製品データシート\(DS841\)](#)
- [GW1NSR シリーズFPGA 製品データシート\(DS861\)](#)
- [GW1NSER シリーズ安全FPGA 製品データシート\(DS881\)](#)
- [GW1NRF シリーズBluetooth FPGA 製品データシート\(DS891\)](#)
- [GW2ANR シリーズFPGA 製品データシート\(DS961\)](#)
- [GW5AT シリーズFPGA 製品データシート\(DS981\)](#)
- [GW5A シリーズFPGA 製品データシート\(DS1103\)](#)
- [GW5AST シリーズFPGA 製品データシート\(DS1239\)](#)
- [GW5AS シリーズFPGA 製品データシート\(DS1105\)](#)

- [GW5AR シリーズFPGA 製品データシート\(DS1108\)](#)
- [GW5ART シリーズFPGA 製品データシート\(DS1118\)](#)

## 1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

| 用語、略語 | 正式名称                              | 意味           |
|-------|-----------------------------------|--------------|
| BSRAM | Block Static Random Access Memory | ブロック SRAM    |
| IP    | Intellectual Property             | 設計資産         |
| LUT   | Look-up Table                     | ルックアップテーブル   |
| RAM   | Random Access Memory              | 高度な RISC マシン |

## 1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : [www.gowinsemi.com/ja](http://www.gowinsemi.com/ja)

E-mail : [support@gowinsemi.com](mailto:support@gowinsemi.com)

# 2 概要

Gowin HyperRAM Memory Interface IP は、HyperRAM 規格に準拠した汎用 HyperRAM メモリインターフェース IP です。この IP には、HyperRAM メモリコントローラ(Memory Controller Logic)及び対応する物理インターフェース(Physical Interface、PHY)デザインが含まれています。IP は、HyperRAM メモリとの接続を可能にする汎用コマンドインターフェースを提供しています。

表 2-1 Gowin HyperRAM Memory Interface IP

| Gowin HyperRAM Memory Interface IP |                          |
|------------------------------------|--------------------------|
| ロジックリソース                           | <a href="#">表 3-1 参照</a> |
| 提供されるファイル                          |                          |
| 設計ファイル                             | Verilog (暗号化)            |
| リファレンス・デザイン                        | Verilog                  |
| テストベンチ                             | Verilog                  |
| テストおよび設計フロー                        |                          |
| 合成ソフトウェア                           | GowinSynthesis           |
| 統合開発環境                             | Gowin ソフトウェア             |

注記：

デバイスのサポート情報は、Gowin セミコンダクターの[ホームページ](#)で確認できます。

# 3 主な特徴およびパフォーマンス

## 3.1 主な特徴

- 標準の HyperRAM インターフェースと互換性あり。
- 8、16、24、および 32 ビットのメモリ・データ・パス幅をサポート。
- x8 データ幅のメモリをサポート。
- プログラム可能なバースト長：16、32、64、および 128。
- クロック比 1 : 2 をサポート。
- 3、4、5、6、7、8 の初期レイテンシ(Initial Latency)をサポート。
- 固定レイテンシ(Fixed Latency)モードをサポート。
- パワーダウン・オプションをサポート。
- 構成可能なドライブ強度。
- 構成可能なセルフリフレッシュ領域。
- 構成可能なリフレッシュレート。
- クロック・インターフェースはシングルエンド/差動に構成可能。

## 3.2 動作周波数と帯域幅の効率

Gowin HyperRAM Memory Interface IP がサポートするデータレートと効率：

- W956x8MKY の場合、最大動作周波数は 200 MHz。
- S27KS0641 の場合、最大動作周波数は 166 MHz。
- IS66WVH32M8DBLL の場合、最大動作周波数は 200 MHz。
- バースト長が 128 の場合、帯域幅の効率は 74%。
- バースト長が 64 の場合、帯域幅の効率は 59%。
- バースト長が 32 の場合、帯域幅の効率は 42%。
- バースト長が 16 の場合、帯域幅の効率は 26%。

## 3.3 リソース使用量

Gowin HyperRAM Memory Interface IP は、Verilog 言語で実現され、GW1N-1/GW1N-1S/GW1NR-1/GW1NZ-1 以外の Gowin FPGA に適用されます。そのリソース使用量は表 3-1 に示す通りです。

表 3-1 リソース使用量

| DQ_WIDTH | LUT | Registers | BSRAM | f <sub>MAX</sub> | スループット                       | シリーズ      | スピードグレード |
|----------|-----|-----------|-------|------------------|------------------------------|-----------|----------|
| 8(x8)    | 562 | 413       | 1     | 400Mbps          | f <sub>MAX</sub> x DQ x 動作効率 | GW1NSR-4C | C7/I6    |

注記：

表 3-1 では、Gowin HyperRAM Memory Interface IP のアドレス幅は 22 ビット、HyperRAM WIDTH は x8、バースト長は 32 です。バースト長が長いほど、リソース使用量が増加します。

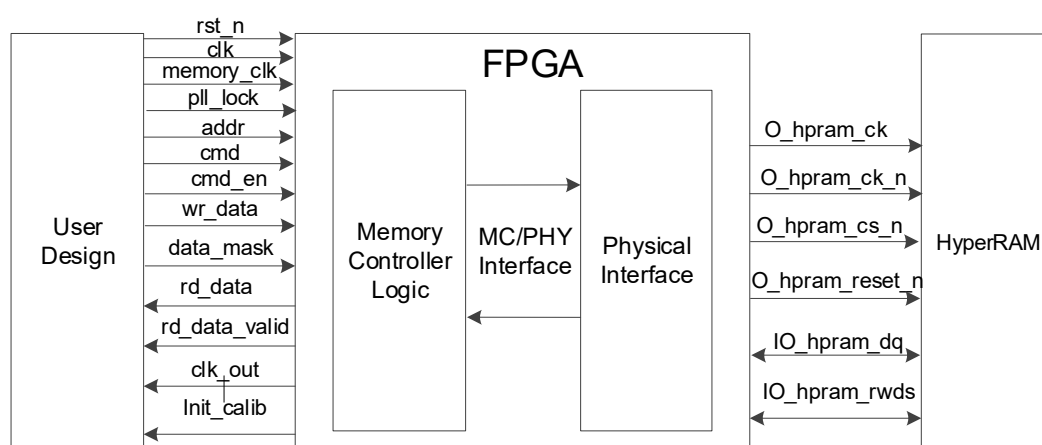
# 4 機能の説明

## 4.1 構造

Gowin HyperRAM Memory Interface IP の基本構造には、主に Memory Controller Logic、Physical Interface 等のモジュールが含まれています(図 4-1)。

図 4-1 内の User Design は、外部 HyperRAM チップに接続する必要がある、FPGA のユーザーデザインです。

図 4-1 Gowin HyperRAM Memory Interface IP の構造



## 4.2 Memory Controller Logic

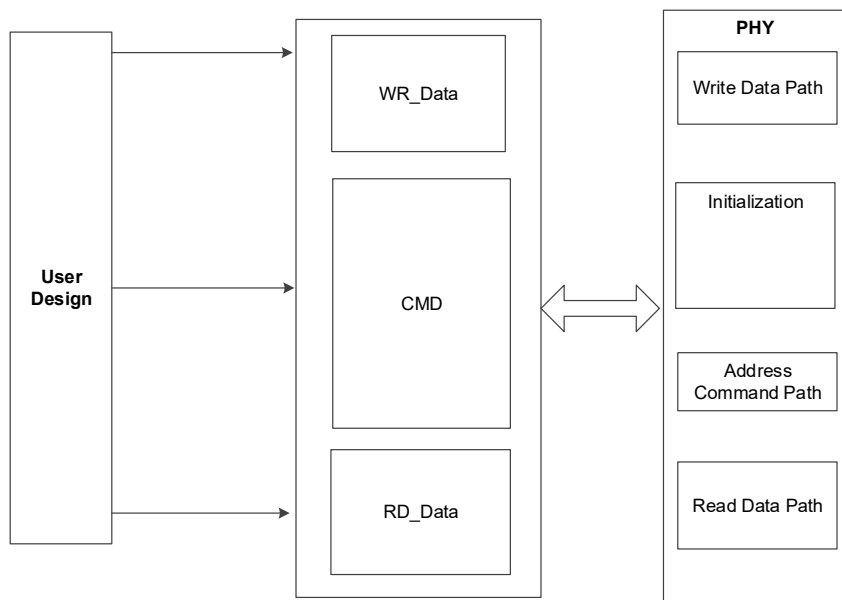
Memory Controller Logic は、ユーザーデザインと PHY の間にある、Gowin HyperRAM Interface IP のロジックモジュールです。Memory Controller Logic は、ユーザーインターフェースからのコマンド、アドレス、およびデータを受信して、特定の論理的な順序で保存します。

ユーザーからの読み出し/書き込みなどのコマンドとアドレスは、Memory Controller Logic で並べ替えられ、HyperRAM プロトコルに準拠したデータ形式に再編成されます。それと同時に、データを書き込むとき、Memory Controller Logic はコマンドとデータ間の初

期遅延値を満たすようにデータを再編成およびバッファリングします。データを読み出すとき、**Memory Controller Logic** は読み出されたデータをサンプリングおよび再編成し、正しいデータに復元します。

**HyperRAM Memory Controller** は、主に **CMD**、**WR\_Data**、および **RD\_Data** の 3 つのモジュールで構成されています(図 4-2)。

図 4-2 HyperRAM Memory Controller Logic の基本構造

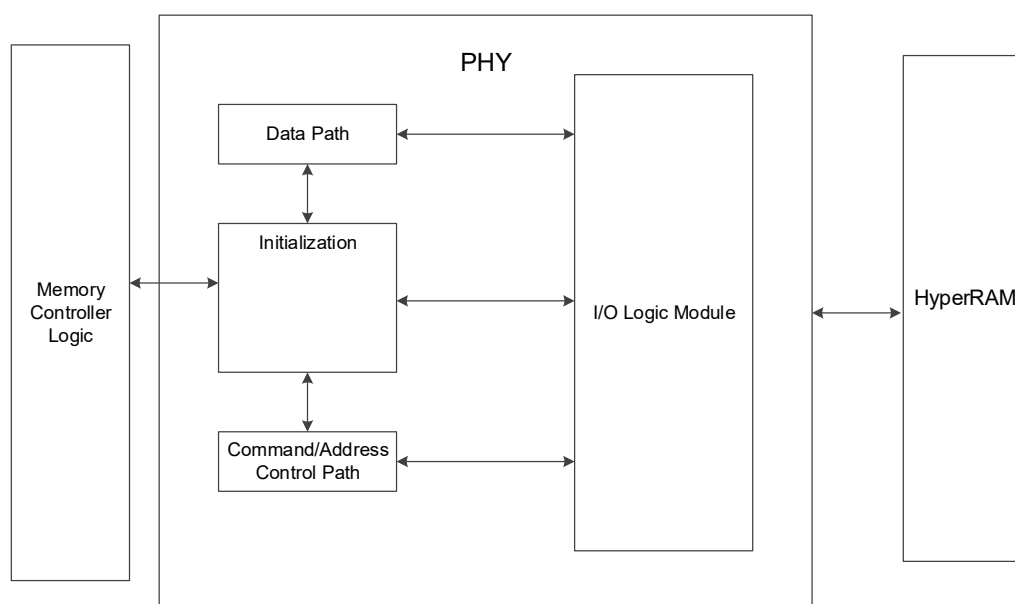


## 4.3 PHY

**PHY** は **Memory Controller Logic** と外部 **HyperRAM** 間の物理層の定義及びインターフェースを提供します。**Memory Controller Logic** からのコマンド、アドレス、およびデータを受信して、**HyperRAM** インターフェースにタイミング及びシーケンス要件を満たす信号を提供します。

図 4-3 に示すように、**PHY** には主に、初期化モジュール、データパス、コマンド/アドレス制御パス、および **I/O** ロジックモジュールの 4 つのモジュールが含まれています。

図 4-3 HyperRAM PHY の基本構造



### 4.3.1 初期化モジュール

初期化モジュールは、主に **HyperRAM** のパワーアップ後の初期化及び読み出し校正(キャリブレーション)に使用されます。すべての初期化と読み出し校正が完了した後、信号「init\_calib」は **Low** から **High** になり、すべての初期化が完了したことを指示します。

#### パワーアップ初期化

**HyperRAM** 規格によれば、電源投入後、**PSRAM** チップに対してリセット、モードレジスタの構成、および読み出し校正といったプロセスを含む初期化を行う必要があります。

### 4.3.2 データパス

データパスには、データ書き込みとデータ読み出しが含まれます。

### 4.3.3 制御パス

コマンド/アドレス制御パスは単方向パスです。**Memory Controller Logic** が送信したコマンド及びアドレス信号を受信し、データパスとともに書き込み読み出しデータ遅延パラメータを処理してコマンドを **I/O** ロジックに送信します。

### 4.3.4 I/O ロジックモジュール

**I/O** ロジックモジュールは、主にデータパス及びコマンド/アドレスパスを介して転送されたデータ、コマンド、アドレス信号に対してクロックドメインの変換を行います。

## 4.4 主な機能

**HyperRAM Memory Interface IP** の機能：

- **HyperRAM** チップの初期化。

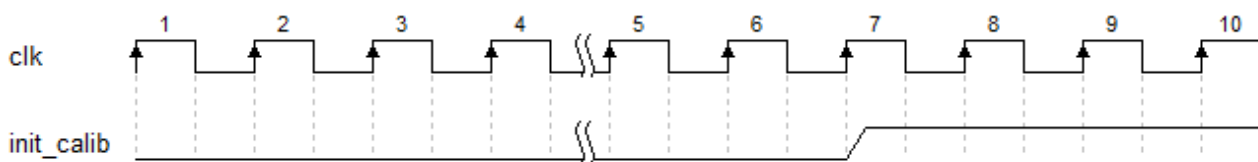
- アドレスとコマンドの送信。
- データ書き込み。
- データ読み出し。

#### 4.4.1 初期化

HyperRAM は、通常書き込みおよび読み出し操作を実行するには、読み出し校正(キャリブレーション)を行う必要があります。したがって、PHY は電源投入後に HyperRAM を初期化(読み出し校正)し、初期化後に初期化完了フラグ `init_calib` を返します。

図 4-4 に示すように、初期化後はユーザーに完了信号を返します。

図 4-4 初期化完了信号のタイミング図



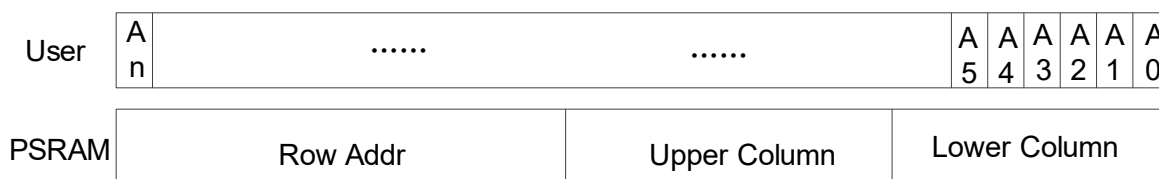
#### 4.4.2 アドレスとコマンドの送信

ユーザーは、`addr`、`cmd`、`cmd_en` などのポートを介して操作コマンドとアドレスを送信できます。

- `addr` はアドレス信号です。IP の帯域幅はデータ幅拡張によって拡大されます。ユーザーが複数の PSRAM チップを使用する場合、IP は PSRAM にアクセスする際に複数の PSRAM チップを 1 つの PSRAM としてアクセスします。ユーザーは、1 つまたは複数の PSRAM チップを使用する際にアドレス幅が変わるかどうかを気にする必要はありません。この IP がサポートする PSRAM チップのアドレスはワードアドレスです。つまり、各アドレスには 1 ワード(16 ビット = 2 バイト)が格納されます。ユーザーが 2 つの PSRAM チップを使用する場合、1 つのアドレスに 4 バイトが格納されます。連続アドレスの書き込みの場合、隣接する 2 つの操作のアドレスがバースト長/2 増えます。連続アドレスの読み出しの場合もこれと同じです。たとえば、**Burst Mode** オプションで 16 が選択されている場合、連続アドレスの読み出し/書き込み際に隣接する 2 つの操作のアドレスが 8 増えます。
- `cmd` はコマンド信号です。
- `cmd_en` : アドレスおよびコマンドのイネーブル信号で、アクティブ High です。

アプリケーションでは、ユーザーインターフェースのアドレスバスと物理メモリの ROW、Upper Column、Lower Column の間に特定のマッピング関係があり、本デザインでは、ROW - Upper Column - Lower Column の順序で配置され、そのアドレッシング方法は図 4-5 に示すとおりです。アプリケーションでは、ユーザーは必要に応じてアドレスを指定するだけです。

図 4-5 Row-Column 順のアドレッシング方法



ユーザーが cmd ポートを介して送信できるコマンドは、表 4-1 に示す通りです：

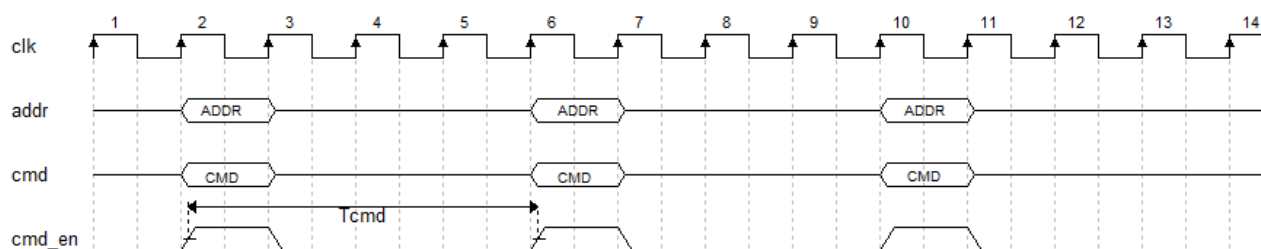
表 4-1 cmd ポートを介したコマンド

| コマンド  | cmd  |
|-------|------|
| Read  | 1'b0 |
| Write | 1'b1 |

ユーザーインターフェース側のコマンド、アドレス、およびイネーブル信号間のタイミングを図 4-6 に示します。

cmd\_en が High の場合、cmd と addr は有効です。

図 4-6 コマンド、アドレス、およびイネーブル信号のタイミング図



ユーザー側で実際に使用する場合、2つの読み出し/書き込みコマンドの間隔は、最小間隔期間(Tcmd)以上である必要があります。即ち、バースト長が 16 の場合、最小コマンド間隔は 15 クロックサイクルであり、バースト長が 32 の場合、最小コマンド間隔は 19 クロックサイクルであり、バースト長が 64 の場合、最小コマンド間隔は 27 クロックサイクルであり、バースト長が 128 の場合、最小コマンド間隔は 43 クロックサイクルです。表 4-2 に示すように、高速の読み出しと書き込みには、より大きな Tcmd が必要です。

表 4-2 Tcmd とバースト長の関係

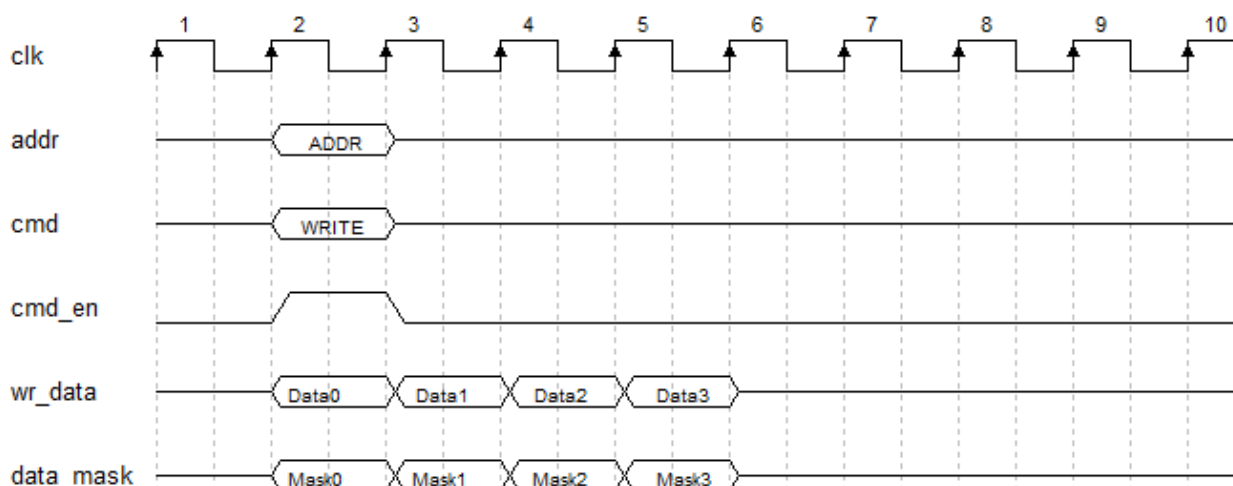
| バースト長 | Tcmd(2つのコマンドの間隔)。メモリの動作周波数が 166M 以下 | Tcmd(2つのコマンドの間隔)。メモリの動作周波数が 166M 以上 |
|-------|-------------------------------------|-------------------------------------|
| 128   | 43 クロックサイクル                         | 48 クロックサイクル                         |
| 64    | 27 クロックサイクル                         | 32 クロックサイクル                         |
| 32    | 19 クロックサイクル                         | 24 クロックサイクル                         |
| 16    | 15 クロックサイクル                         | 20 クロックサイクル                         |

### 4.4.3 書き込みデータ

ユーザーは、`wr_data`、`data_mask`などのポートを介して、書き込みデータを Gowin HyperRAM Memory Interface IP に送信することができます。処理された書き込みデータは、HyperRAM チップに送信されます。

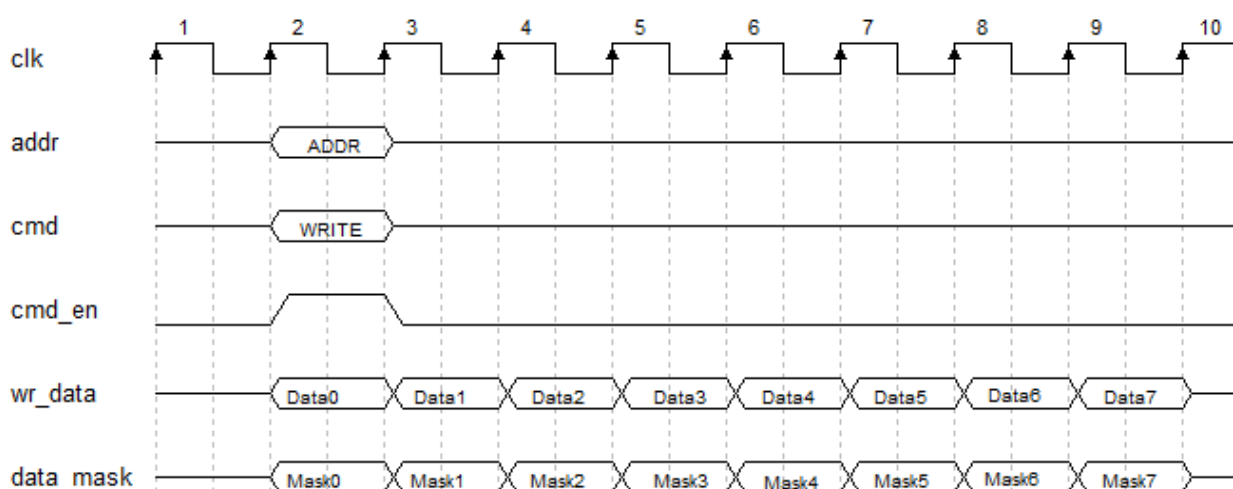
- `wr_data` は、書き込みデータです。
- `data_mask` は、書き込みマスクポートです。マスク機能を使用しない場合は、0 にすることができます。
- 書き込みデータチャンネルとコマンドチャンネルの間には複数のタイミング状況があります。下図はバースト長が 16 の場合のタイミングであり、書き込みデータは 4 クロックサイクルを占有します。

図 4-7 書き込みデータポートのタイミング図



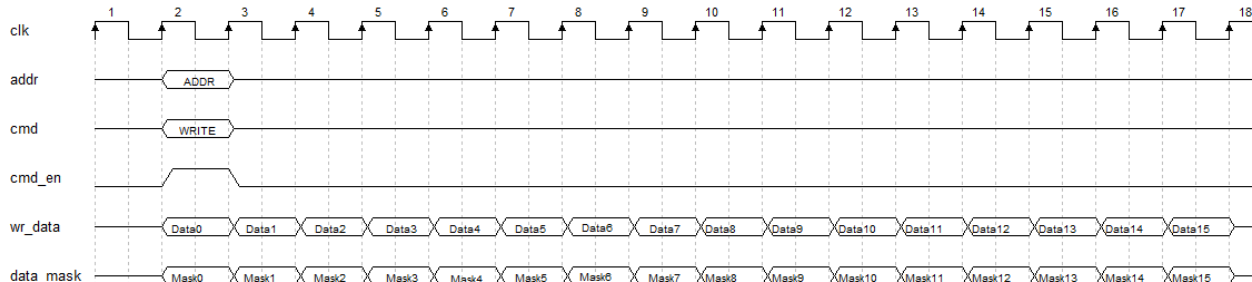
- バースト長が 32 の場合、書き込みデータは 8 クロックサイクルを占有します(図 4-8)。

図 4-8 バースト長が 32 の場合のデータ書き込みタイミング



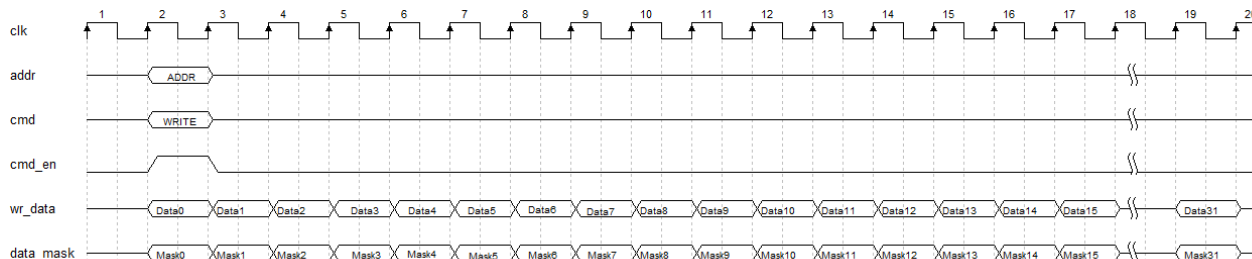
- バースト長が 64 の場合、書き込みデータは 16 クロックサイクルを占有します(図 4-9)。

図 4-9 バースト長が 64 の場合のデータ書き込みタイミング



- バースト長が 128 の場合、書き込みデータは 32 クロックサイクルを占有します(図 4-10)。

図 4-10 バースト長が 128 の場合のデータ書き込みタイミング

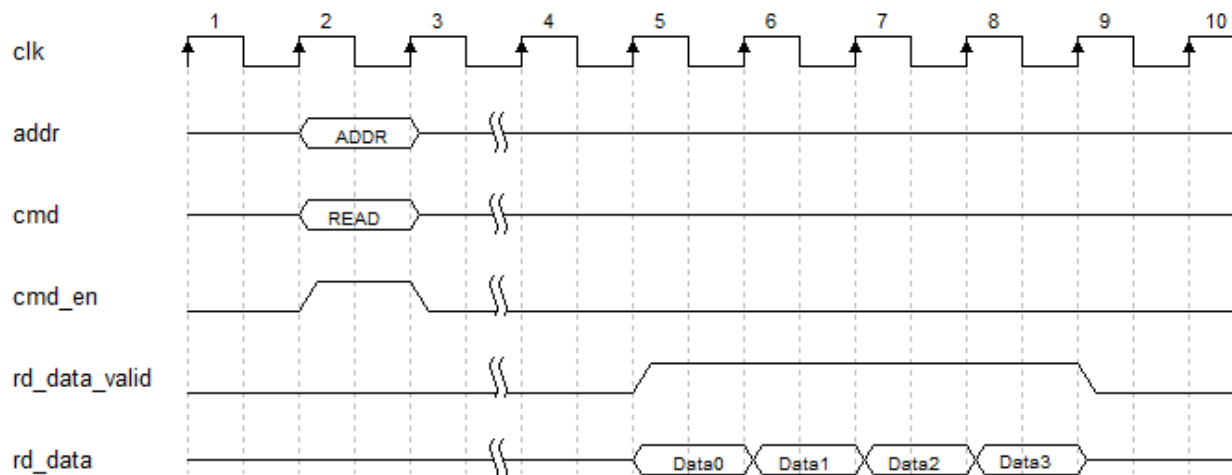


#### 4.4.4 読み出しデータ

ユーザーは、ポート rd\_data、rd\_data\_valid を介して HyperRAM が返すデータを読み出すことができます。

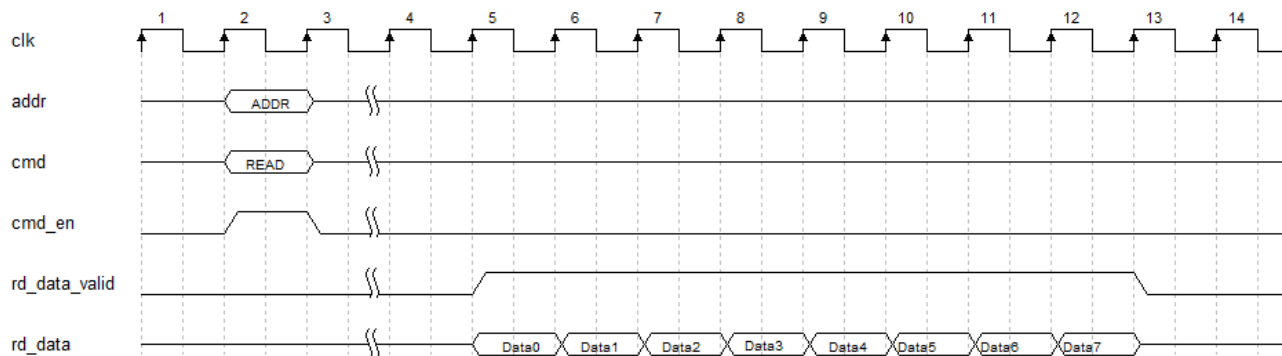
- rd\_data は、返される読み出しデータです。
- rd\_data\_valid は、読み出しデータ有効信号で、アクティブ High です。
- 読み出しデータチャンネルとコマンドチャンネルの間には複数のタイミング状況があります。下図はバースト長が 16 の場合のタイミングです。

図 4-11 読み出しデータポートのタイミング図



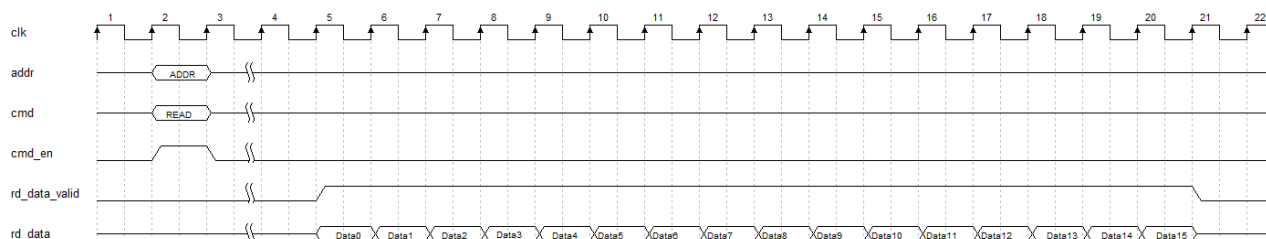
- バースト長が 32 の場合、読み出しデータは 8 クロックサイクルを占有します(図 4-12)。

図 4-12 バースト長が 32 の場合のデータ読み出しタイミング



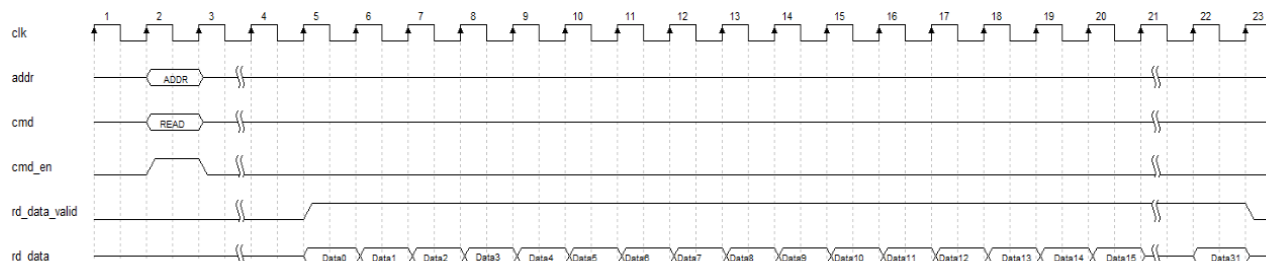
- バースト長が 64 の場合、読み出しデータは 16 クロックサイクルを占有します(図 4-13)。

図 4-13 バースト長が 64 の場合のデータ読み出しタイミング



- バースト長が 128 の場合、読み出しデータは 32 クロックサイクルを占有します(図 4-14)。

図 4-14 バースト長が 128 の場合のデータ読み出しタイミング



# 5 ポート一覧

Gowin HyperRAM Memory Interface IP の IO ポートは表 5-1 に示すとおりです。

表 5-1 Gowin HyperRAM Memory Interface IP の IO ポート一覧

| 信号             | 幅(ビット)     | 方向 | 説明                                        |
|----------------|------------|----|-------------------------------------------|
| User Interface |            |    |                                           |
| addr           | ADDR_WIDTH | 入力 | アドレス                                      |
| cmd            | 1          | 入力 | コマンド                                      |
| cmd_en         | 1          | 入力 | コマンドおよびアドレスイネーブル信号：<br>0：無効<br>1：有効       |
| rd_data        | 4*DQ_WIDTH | 出力 | 読み出しデータ                                   |
| rd_data_valid  | 1          | 出力 | rd_data 有効信号：<br>0：無効<br>1：有効             |
| wr_data        | 4*DQ_WIDTH | 入力 | 書き込みデータ                                   |
| data_mask      | MASK_WIDTH | 入力 | wr_data にマスク信号を提供します                      |
| clk            | 1          | 入力 | リファレンス・クロック。通常はオンボードの水晶発振器を使用             |
| init_calib     | 1          | 出力 | 初期化完了信号                                   |
| clk_out        | 1          | 出力 | ユーザーデザイン用クロックで、周波数は Memory Clk の 1/2      |
| rst_n          | 1          | 入力 | リセット信号：<br>0：有効<br>1：無効                   |
| memory_clk     | 1          | 入力 | ユーザー側から入力されるメモリ動作クロック。通常は PLL 逡倍による高速クロック |

| 信号                 | 幅(ビット)     | 方向  | 説明                                                                                                      |
|--------------------|------------|-----|---------------------------------------------------------------------------------------------------------|
| pll_lock           | 1          | 入力  | memory_clk のソースが PLL の通倍による出力クロックの場合、このポートを PLL の pll_lock ピンに接続します。<br>PLL を使用しない場合、このポートを 1'b1 に接続します |
| HyperRAM Interface |            |     |                                                                                                         |
| O_hpram_cs_n       | CS_WIDTH   | 出力  | チップセレクト信号、アクティブ Low                                                                                     |
| O_hpram_ck         | CS_WIDTH   | 出力  | HyperRAM に提供するクロック信号                                                                                    |
| O_hpram_ck_n       | CS_WIDTH   | 出力  | O_hpram_ck とともに差動信号を構成                                                                                  |
| O_hpram_reset_n    | CS_WIDTH   | 出力  | HyperRAM リセット信号                                                                                         |
| IO_hpram_dq        | DQ_WIDTH   | 双方向 | HyperRAM データ                                                                                            |
| IO_hpram_rwds      | RWDS_WIDTH | 双方向 | HyperRAM データストローブ信号およびマスク信号                                                                             |

# 6 パラメータの構成

Gowin HyperRAM Memory Interface IP は、HyperRAM をサポートしており、ユーザーは必要に応じて各静的パラメータ及びタイミングパラメータを構成することができます。パラメータの詳細を表 6-1 に示します。

表 6-1 Gowin HyperRAM Memory Interface IP の静的パラメータ

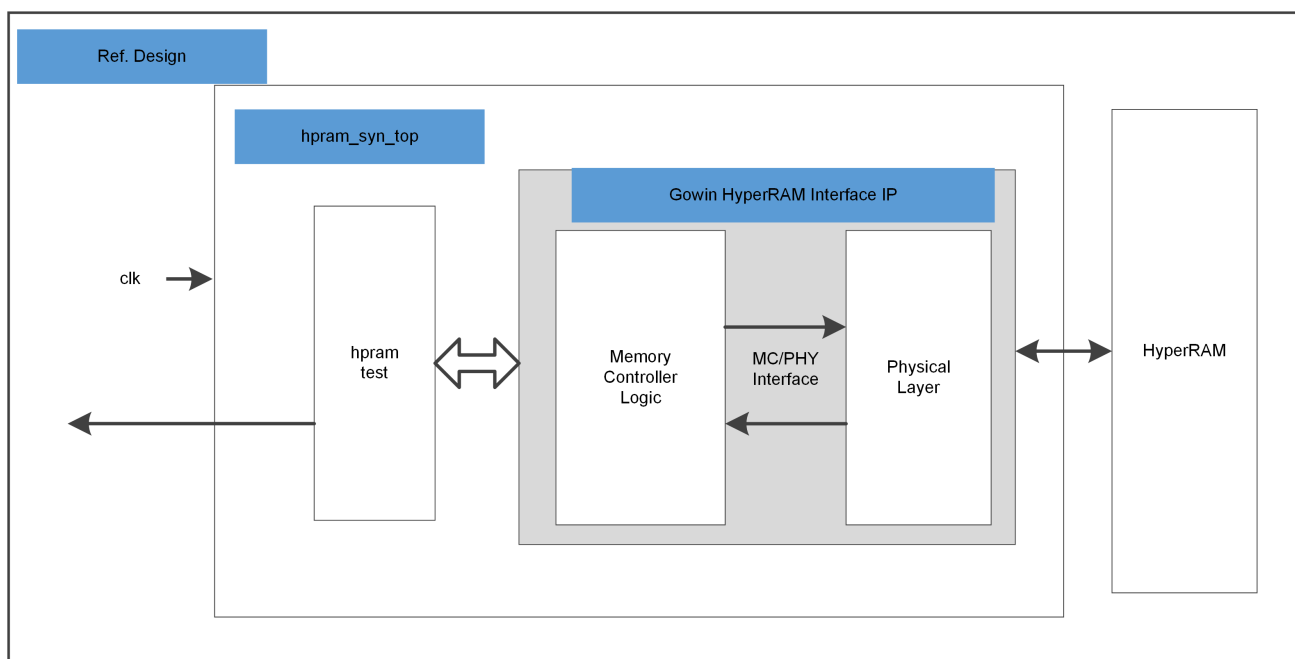
| 名称                    | 説明                                                                     | オプション                                                                                                              |
|-----------------------|------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------|
| Memory TYPE           | HyperRAM チップのモデル                                                       | W956x8MKY/IS66WVH32M8DBLL/<br>S27KS0641                                                                            |
| CLk Ratio             | PSRAM PHY と内部ロジックのクロック比(カスタマイズ不可)                                      | 1:2                                                                                                                |
| Memory Clock          | IP PHY 側インターフェースの周波数                                                   | 50-100/50-166/50-200(MHz)                                                                                          |
| Psram Width           | HyperRAM チップごとの DQ 幅                                                   | 8                                                                                                                  |
| Dq Width              | ユーザーが使用する総 DQ 幅                                                        | 8、16、24、32                                                                                                         |
| Addr Width            | メモリのアドレス幅(モデルにより異なる)                                                   | 22/24。ユーザーは他の値を入力することもできます。例えば、IS66WVH32M8DBLL のアドレス深さが 32M、アドレス幅が 24 であり、IS66WVH16M8DBLL を使用する場合は、手動で 23 を入力できます。 |
| Data Width            | ユーザーデータ幅                                                               | 4*Dq Width                                                                                                         |
| CS Width              | チップセレクト幅                                                               | Dq Width/Psram Width                                                                                               |
| Mask Width            | マスク幅                                                                   | Data Width/Psram Width                                                                                             |
| Accelerate Simulation | このオプションは、シミュレーションを高速化するために使用されます。ボードレベルのテストの際は、チェックを外して IP を再生成してください。 | チェックする/チェックしない                                                                                                     |
| Buffer Type           | バッファのタイプ                                                               | BSRAM, SSRAM, REG                                                                                                  |
| Burst Mode            | バースト長                                                                  | 16、32、64、128                                                                                                       |
| Burst Num             | バーストデータの数                                                              | Burst Mode/4                                                                                                       |

| 名称                   | 説明                                | オプション                                                         |
|----------------------|-----------------------------------|---------------------------------------------------------------|
| Fixed Latency Enable | 固定レイテンシのイネーブル                     | Fixed                                                         |
| Initial Latency      | 初期レイテンシ値                          | 3、4、5、6、7、8                                                   |
| Drive Strength       | ドライブ強度                            | 19、22、27、34、46、67、115                                         |
| Deep Power Down      | パワーダウン・オプション                      | OFF、ON                                                        |
| Hybrid Sleep Mode    | スリープモード                           | OFF、ON                                                        |
| Refresh Rate         | リフレッシュレート                         | normal、1.5/2/4 times                                          |
| PASR                 | セルフリフレッシュ領域                       | full、bottom_1/2、bottom_1/4、bottom_1/8、top_1/2、top_1/4、top_1/8 |
| Clock Type           | クロック・インターフェースのタイプ<br>(シングルエンド/差動) | SIGNLE/DIFF                                                   |

# 7 リファレンス・デザイン

ユーザーが Gowin HyperRAM Memory Interface IP を使いこなせるよう簡単な [リファレンス・デザイン](#) が提供されています。リファレンス・デザインの基本構造を [図 7-1](#) に示します。

図 7-1 リファレンス・デザインの基本構造



リファレンス・デザインでは、**hpram\_syn\_top** はトップ・モジュールであり、そのポートはリファレンス・クロックに接続されています。**hpram\_test** は Gowin HyperRAM Interface IP に必要なアドレス、データ、および読み出し書き込み等のコマンドを生成するために使用される、合成可能なモジュールです。

**hpram\_test** モジュールは、**n** 個の連続した書き込み信号とデータを生成した後、書き込まれたデータに対して **n** 個の連続した読み出し操作を実行し、データ検証を実行します。検証が完了すると、書き込み操作と読み出し操作が繰り返されます。このリファレンス・デザ

インでは、メモリとして W956x8MKY が使用されており、Burst Mode は 16(調整可能)、DQ 幅は 8 ビットです。

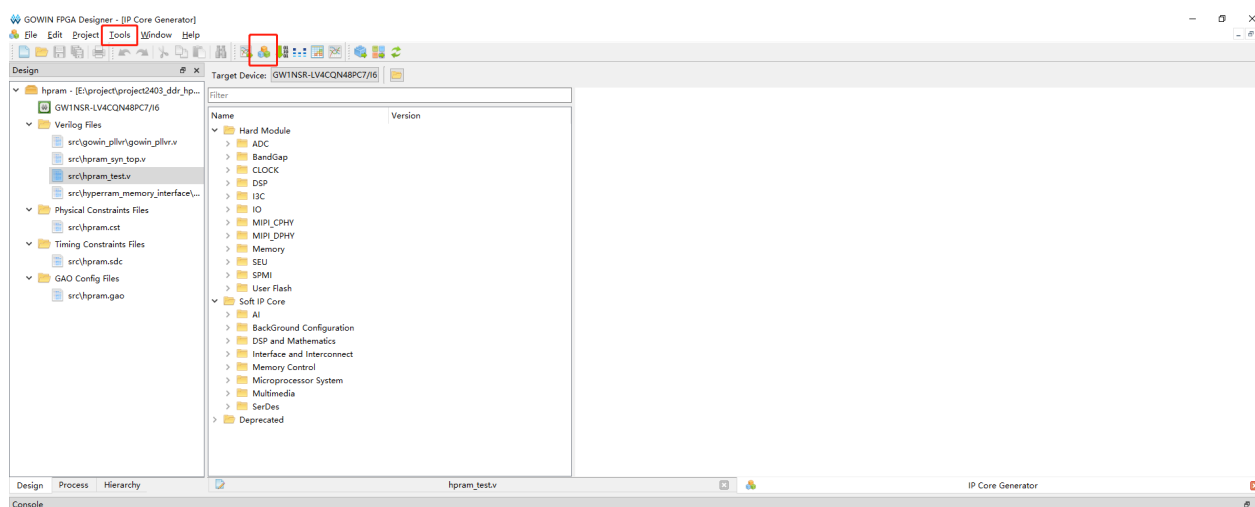
# 8 GUI での構成

ユーザーは、Gowin ソフトウェア(V1.9.10.01 以降)の IP Core Generator を使用して Gowin HyperRAM Memory Interface IP を呼び出しおよび構成することができます。本章では、W956x8MKY HyperRAM メモリを例に、主な構成画面、構成手順、及び各構成オプションの意味を説明します。

## 1. IP Core Generator を開く

プロジェクトが作成された後、「Tools > IP Core Generator」を開きます(図 8-1)。

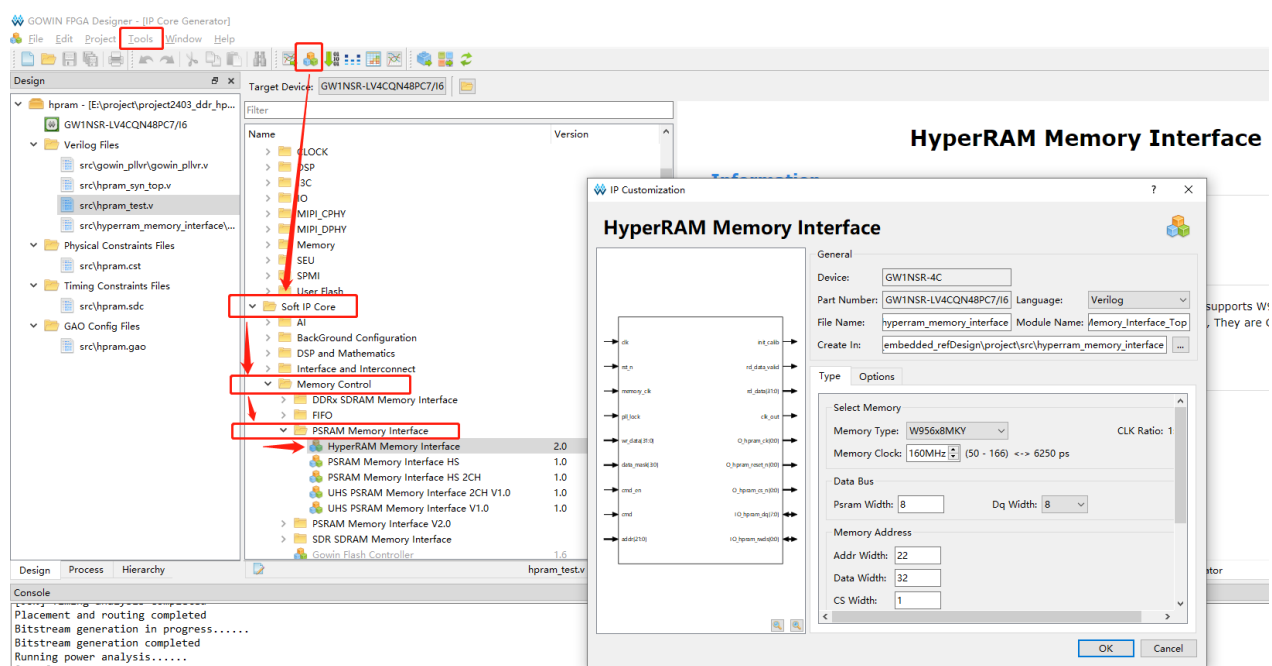
図 8-1 IP Core Generator を開く



## 2. HyperRAM Memory Interface IP コアを開く

Memory Control > HyperRAM Memory Interface をダブルクリックすると、HyperRAM Memory Interface IP コアの構成画面が開きます(図 8-2)。

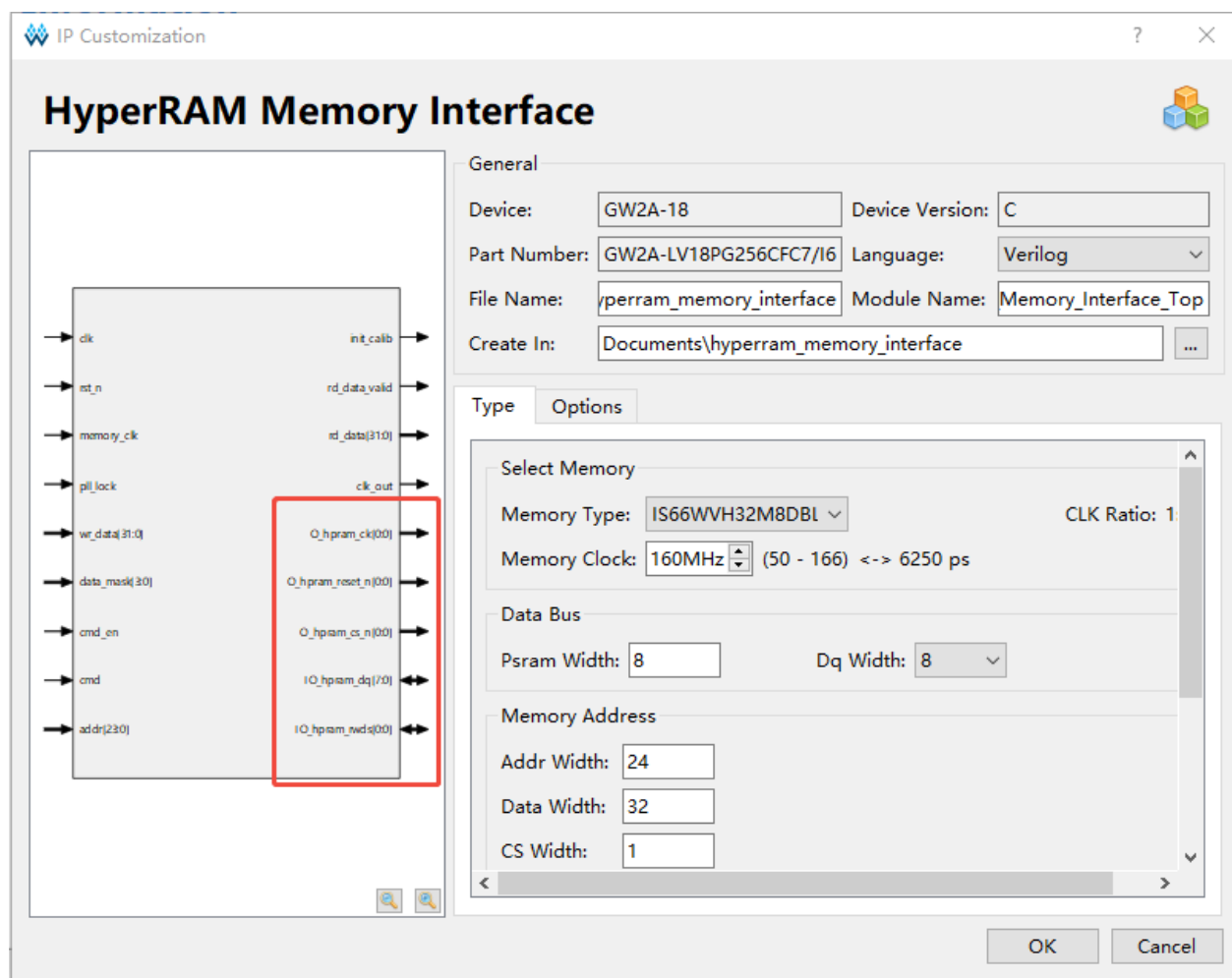
図 8-2 HyperRAM Memory Interface IP コアを開く



### 3. HyperRAM Memory Interface IP コアの構成画面

構成画面の左側は HyperRAM Memory Interface IP コアのポート図です(図 8-3)。ポート図の赤枠外は HyperRAM Memory Controller とユーザーデザイン間のインターフェースであり、ユーザーはユーザーデザインを HyperRAM Memory Interface IP に接続してコマンド及びデータの送受信を実現します。ポート図の赤枠内は PHY(Physical interface)とメモリ間のインターフェースであり、ユーザーは HyperRAM Memory Interface IP コアをメモリに接続してデータへのアクセスを実現します。ポート図の信号幅、信号数は構成により異なります。

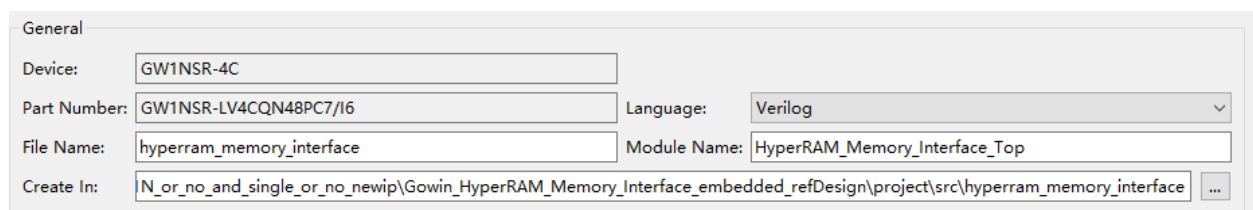
図 8-3 IP コアの構成画面



#### 4. 一般情報の構成

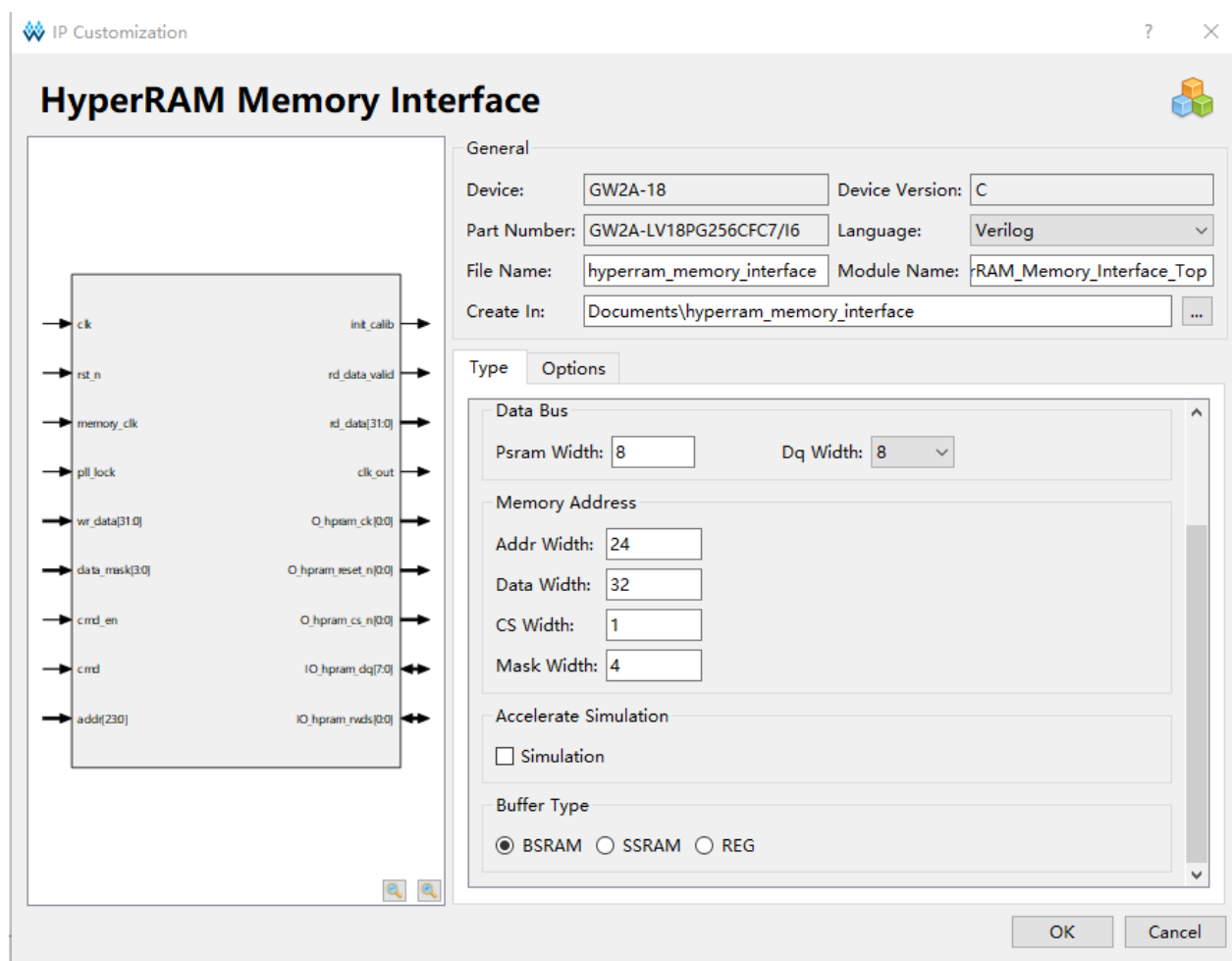
構成画面の上部は一般情報の構成エリアであり、本マニュアルでは、GW1NSR-LV4CQN48PC7/I6 デバイス QN88P パッケージを例に説明します。「Module Name」は、生成れる IP モジュールのモジュール名です。この名前は変更できます。「File Name」は、生成される IP ファイルのファイル名です。この名前は変更できます。「Create In」は IP コアのフォルダのパスです。このパスは変更できます。

図 8-4 一般情報の構成画面



#### 5. 各パラメータの説明については、6 パラメータの構成を参照してください。

図 8-5 構成画面



# 9 提供されるファイル

提供されるファイルには主に、ドキュメントおよびリファレンス・デザインが含まれています。

## 9.1 ドキュメント

フォルダにはユーザーガイド(PDF ファイル)があります。

表 9-1 ファイル一覧

| 名称                                                     | 説明      |
|--------------------------------------------------------|---------|
| Gowin HyperRAM Memory Interface IP<br>ユーザーガイド(IPUG944) | 本マニュアル。 |

## 9.2 リファレンス・デザイン

Ref. Design フォルダには、主に Gowin HyperRAM Memory Interface IP のネットリスト・ファイル、リファレンス・デザイン、制約ファイル、デバウンスモジュール、トップレベル・ファイル、およびプロジェクト・フォルダなどが含まれています。

表 9-2 Ref. Design フォルダのコンテンツ一覧

| 名称                            | 説明                                             |
|-------------------------------|------------------------------------------------|
| hpram_syn_top.v               | リファレンス・デザインのトップ・モジュール                          |
| hpram_test.v                  | ステイミュラス生成モジュール                                 |
| HyperRam _Memory_Interface.vo | Gowin HyperRAM Memory Interface IP ネットリスト・ファイル |
| hpram.cst                     | 物理制約ファイル                                       |
| hpram.sdc                     | タイミング制約ファイル                                    |
| hpram.gao                     | HyperRAM データをキャプチャ                             |
| HyperRam _Memory_Interface    | HyperRAM IP プロジェクト・フォルダ                        |

