

DK_START_GW5AR- LV25UG256PC2I1_V1.0 開発ボード ユーザーガイド

著作権について(2024)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN 及び **Gowin** は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、**GOWINSEMI Terms and Conditions of Sale**(GOWINSEMI 取引条件)に規定されている内容を除き、(明示的か又は黙示的に拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2024/09/26	1.0J	初版。

目次

目次	i
図一覧	iii
表一覧	iv
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	1
1.4 テクニカル・サポートとフィードバック	2
2 開発ボードの紹介	3
2.1 概要	3
2.2 開発ボードキット	4
2.3 PCB のコンポーネント	6
2.4 ブロック図	6
2.5 特徴	6
3 開発ボードの回路	9
3.1 FPGA	9
3.1.1 概要	9
3.1.2 I/O BANK の説明	9
3.2 電源	9
3.2.1 概要	9
3.2.2 電源の割り当て	10
3.3 ダウンロード・モジュール	10
3.3.1 概要	10
3.3.2 ピンの割り当て	11
3.4 クロック	11

3.4.1 概要	11
3.4.2 ピンの割り当て	11
3.5 LVDS インターフェース	12
3.5.1 概要	12
3.5.2 ピンの割り当て	13
3.6 MIPI インターフェース	14
3.6.1 概要	14
3.6.2 ピンの割り当て	14
3.7 イーサネット・インターフェース	15
3.7.1 概要	15
3.7.2 ピンの割り当て	17
3.8 LED とキー	18
3.8.1 概要	18
3.8.2 ピンの割り当て	19
3.9 GPIO	19
3.9.1 概要	19
3.9.2 ピンの割り当て	20
3.10 ADC インターフェース	24
3.10.1 概要	24
3.10.2 ピンの割り当て	25
3.11 USB 2.0 インターフェース	25
3.11.1 概要	25
3.11.2 ピンの割り当て	25

図一覧

図 2-1 DK_START_GW5AR-LV25UG256PC2I1_V1.0 開発ボード	3
図 2-2 開発ボードキット	5
図 2-3 PCB のコンポーネント	6
図 2-4 ブロック図	6
図 3-1 電源の割り当ての説明図.....	10
図 3-2 ダウンロード・インターフェースの接続図.....	10
図 3-3 クロックの接続図	11
図 3-4 LVDS インターフェースの回路図.....	12
図 3-5 MIPI インターフェースの回路図	14
図 3-6 イーサネット・インターフェースの接続図.....	16
図 3-7 LED の回路図	18
図 3-8 キーの接続図.....	19
図 3-9 GPIO インターフェースの回路図.....	20
図 3-10 ADC インターフェースの回路図	24
図 3-11 USB2.0 インターフェースの回路図.....	25

表一覧

表 1-1 用語、略語	1
表 3-1 JTAG のピンの割り当て	11
表 3-2 クロックピンの割り当て	11
表 3-3 LVDS_TX インターフェースのピンの割り当て	13
表 3-4 LVDS_RX インターフェースのピンの割り当て	13
表 3-5 MIPI インターフェースのピンの割り当て	14
表 3-6 Ethernet1 インターフェースのピンの割り当て	17
表 3-7 Ethernet2 インターフェースのピンの割り当て	17
表 3-8 LED のピンの割り当て	19
表 3-9 キーモジュールのピンの割り当て	19
表 3-10 GPIO インターフェース(J11)のピンの割り当て	20
表 3-11 GPIO インターフェース(J12)のピンの割り当て	22
表 3-12 ADC インターフェースのピンの割り当て	25
表 3-13 USB2.0 インターフェースのピンの割り当て	25

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、3つの部分で構成されています。

- 開発ボードの機能の概要。
- 開発ボードの構造およびそのハードウェアリソースの説明。
- 開発ボード上のハードウェア回路の機能およびピンの割り当ての説明。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW5AR シリーズ FPGA 製品データシート([DS1108](#))
- GW5AR-25 デバイス Pinout([UG1110](#))
- GW5AR シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG1109](#))
- Arora V 25K FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド([UG714](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
ADC	Analog-to-digital Converter	A/D コンバータ

用語、略語	正式名称	意味
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
GPIO	Gowin Programmable I/O	Gowin プログラマブル汎用 IO
JTAG	Joint Test Action Group	ジョイント・テスト・アクション・グループ
LDO	Low Dropout Regulator	低ドロップアウト・レギュレータ
LVDS	Low-Voltage Differential Signaling	低電圧差動信号
MIPI	Mobile Industry Processor Interface	モバイル産業用プロセッサインターフェース

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 開発ボードの紹介

2.1 概要

図 2-1 DK_START_GW5AR-LV25UG256PC2I1_V1.0 開発ボード



GOWIN セミコンダクターGW5AR シリーズ FPGA 製品は、GW5A シリーズをもとに PSRAM を統合したシステムインパッケージ・チップであり、豊富なリソースおよび向上したパフォーマンスを提供します。このシリーズの FPGA は、AI コンピューティング対応の新アーキテクチャの高性能 DSP リソース、高速 LVDS インターフェース、豊富なブロック SRAM リソース、独自の研究開発による DDR3 ソリューション、およびさまざまなパッケージ・オプションを提供しており、低消費電力、高性能、設計の互換性を重視した各種アプリケーションに最適です。さらに、GOWIN セミコンダクターは、合成、配置配線、ビットストリーム・ファイルの生成およびダウンロードなどのワンストップサービスをサポートする、自社で研究開発した市場志向の新世代 FPGA ハードウェア開発環境

を提供します。

DK_START_GW5AR-LV25UG256PC2I1_V1.0 開発ボードは、イーサネット通信、LVDS 通信、および MIPI 通信に適しています。さらに、MIPI インターフェース、LVDS-TX インターフェース、LVDS-RX インターフェース、イーサネット・インターフェース、USB インターフェース、GPIO インターフェースなどを統合しており、FPGA の MIPI D-PHY 機能評価、ハードウェア信頼性検証、ソフトウェアの学習とデバッグなど、さまざまなアプリケーションに対応しています。

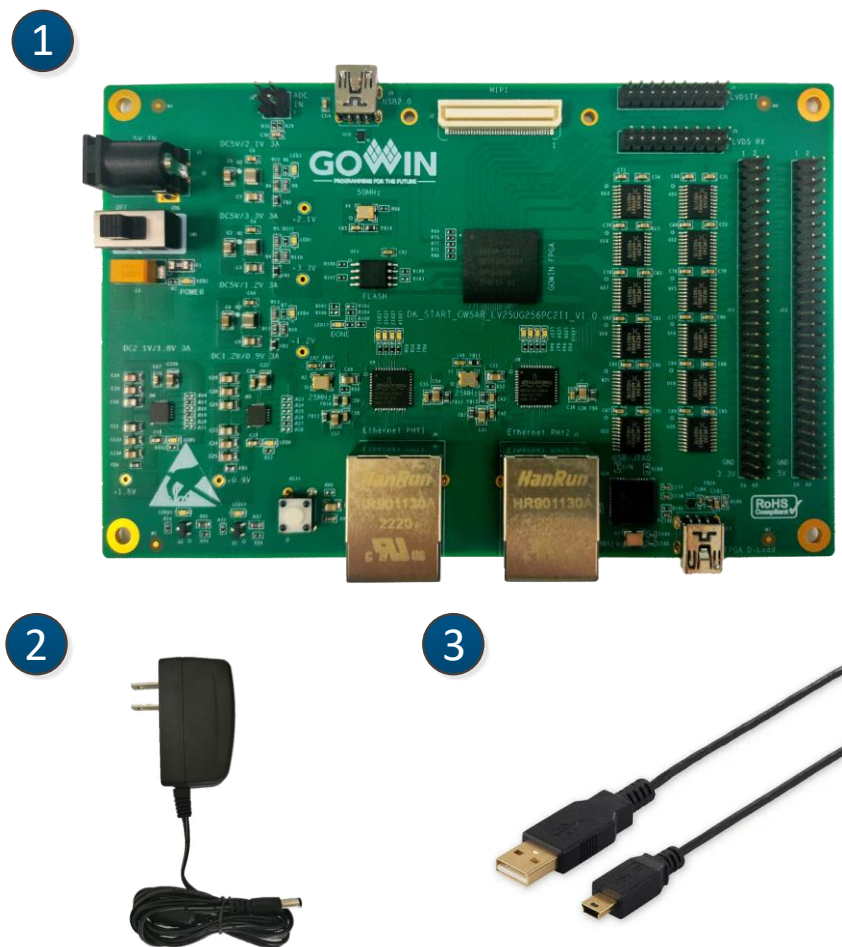
この開発ボードに搭載されている GW5AR-LV25UG256P FPGA の内部リソースについては、『GW5AR シリーズ FPGA 製品データシート ([DS1108](#))』を参照してください。

2.2 開発ボードキット

開発ボードキットには次のものが含まれています。

1. DK_START_GW5AR-LV25UG256PC2I1_V1.0 開発ボード
2. 5V 電源アダプター(入力 : AC 100-240V~50/60Hz 0.5A、出力 : DC 5V 2A)
3. Mini USB-B ダウンロードケーブル

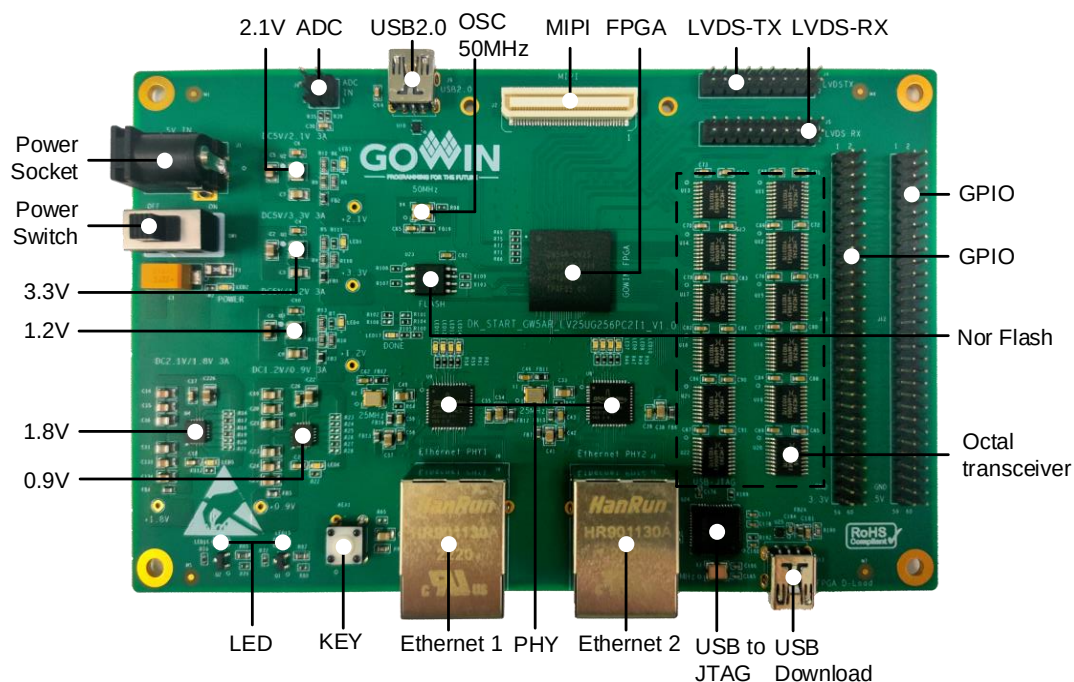
図 2-2 開発ボードキット



- ① DK_START_GW5AR-LV25UG256PC2I1_V1.0開発ボード
- ② 5V電源
- ③ Mini USB-Bダウンロードケーブル

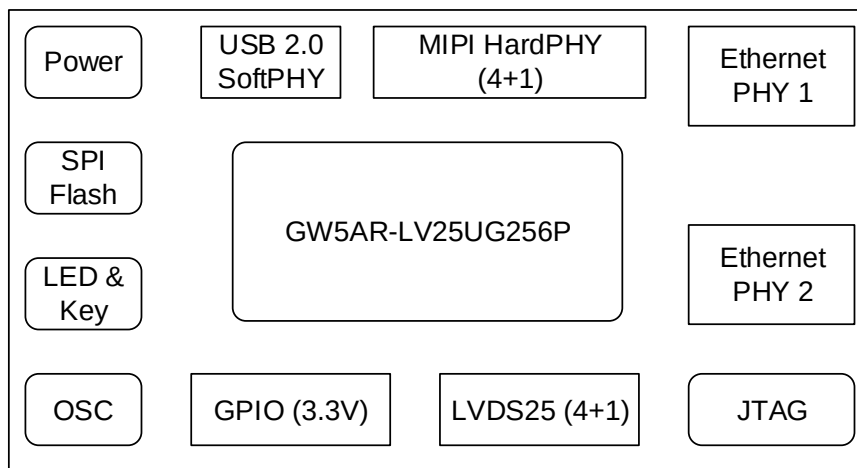
2.3 PCB のコンポーネント

図 2-3 PCB のコンポーネント



2.4 ブロック図

図 2-4 ブロック図



2.5 特徴

開発ボードの主な特徴は次のとおりです。

- FPGA デバイス
 - GW5AR-LV25UG256P FPGA
 - 最大ユーザーI/O : 178 本

- ダウンロードと起動
 - Mini USB-B インターフェースによるダウンロードに使用される、ボード上の統合 USB ダウンロード回路
 - オフチップ SPI Flash による起動
- 電源供給モード
 - 外部の DC 5V/2A 電源
 - 電源投入後、POWER が点灯
 - 開発ボードは、3.3V、2.1V、1.8V、1.2V、および 0.9V の電源を生成
- システムクロック
 - 50MHz のクロック
- メモリ
 - 64Mbit NOR Flash
- イーサネット・インターフェース
 - 2つのイーサネットインターフェース
 - 10BASE-T/100BASE-TX/1000BASE-T をサポートする RGMII インターフェース
 - マグネティクス付きの RJ45 コネクタを使用
- MIPI インターフェース
 - 4data+1clk を含むハード MIPI_RX/TX コア、シングルチャネル
 - 4*GPIO
 - 3.3V 電源
 - 80 ピン、0.5mm ピッチのコネクタ
- LVDS インターフェース
 - 4data+1clk を含む 1つの LVDS-TX インターフェース、シングルチャネル
 - 4data+1clk を含む 1つの LVDS-RX インターフェース、シングルチャネル
- USB 2.0 インターフェース
 - Mini USB-B インターフェース、ESD 保護付き
- ADC インターフェース
 - 1つの ADC
 - インターフェースは 2x2p のピンヘッダーを使用
 - ADC の差動入力アンチエイリアシング・フィルタを使用
- LED とキー
 - 2つの LED インジケータ
 - 1つのキー

- GPIO
 - 96 個の 5V 規格の出力信号

3 開発ボードの回路

3.1 FPGA

3.1.1 概要

GW5AR シリーズ FPGA 製品の詳細については、『GW5AR シリーズ FPGA 製品データシート([DS1108](#))』を参照してください。

3.1.2 I/O BANK の説明

詳しくは、『GW5AR シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG1109](#))』を参照してください。

3.2 電源

3.2.1 概要

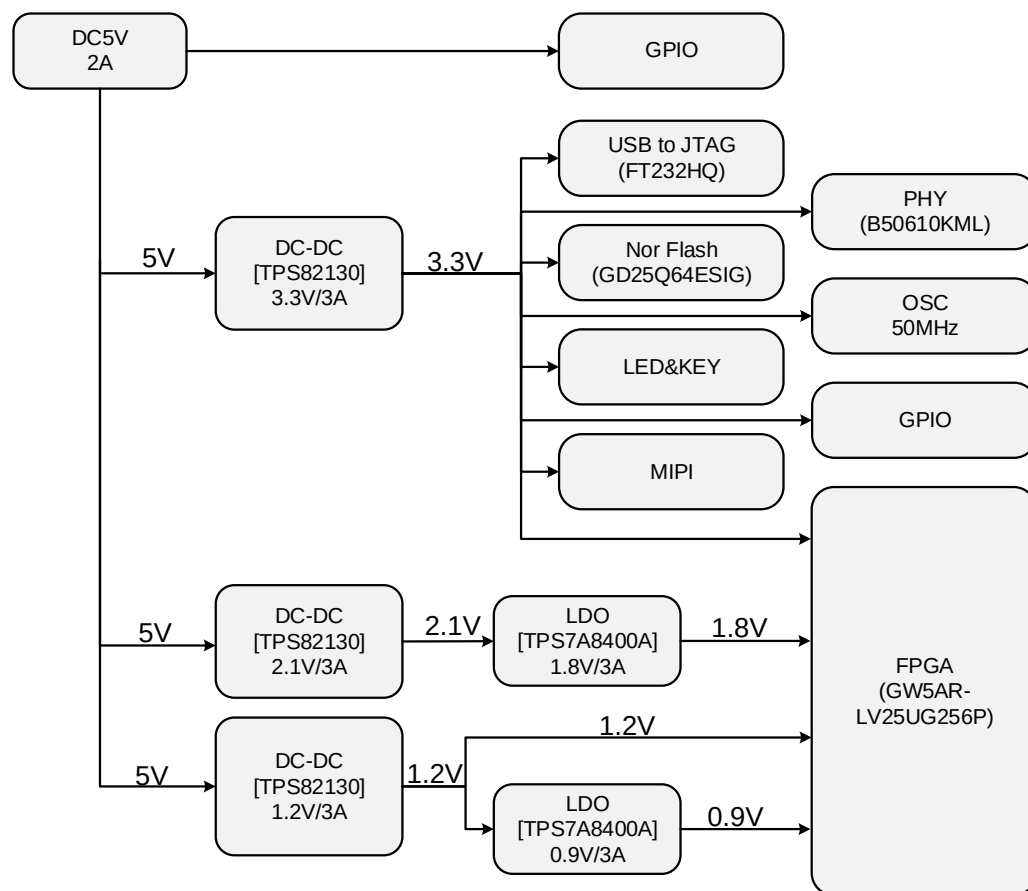
この開発ボードには、5V の電源アダプターが必要です。

電源アダプターの入力 : AC 100-240V~50/60MHz 0.5A、出力 : DC 5V 2A。

ボード上の電源変換チップは、入力される 5V を、3.3V、2.1V、1.8V、1.2V、および 0.9V の電源に変換します。

3.2.2 電源の割り当て

図 3-1 電源の割り当ての説明図



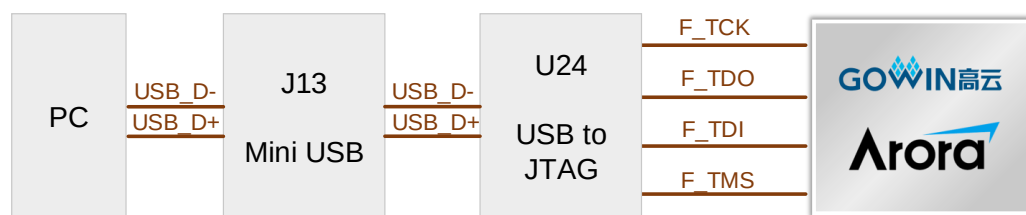
3.3 ダウンロード・モジュール

3.3.1 概要

開発ボードには、Mini USB-B ダウンロード ポート(J13)があります。このポートを介してコンフィギュレーションデータをオフチップ SPI Flash にプログラムするか、SRAM にダウンロードすることができます。

その接続図を図 3-2 に示します。

図 3-2 ダウンロード・インターフェースの接続図



3.3.2 ピンの割り当て

表 3-1 JTAG のピンの割り当て

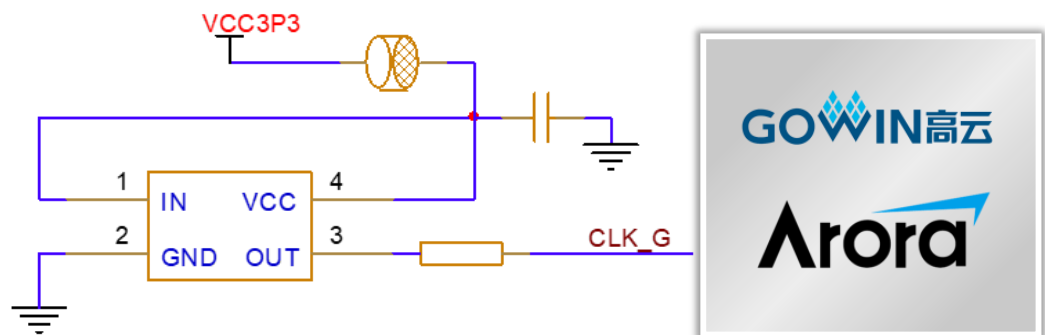
信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
JTAG_TCK	R13	10	3.3V	JTAG 信号
JTAG_TDO	T15	10	3.3V	
JTAG_TDI	R14	10	3.3V	
JTAG_TMS	T14	10	3.3V	

3.4 クロック

3.4.1 概要

水晶発振器は、FPGA のクロックソースとして 50MHz のシングルエンドクロック信号を提供します。クロックの接続図を図 3-3 に示します。

図 3-3 クロックの接続図



3.4.2 ピンの割り当て

表 3-2 クロックピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
CLK_G	H2	5	3.3V	50MHz のシングルエンド・クロック

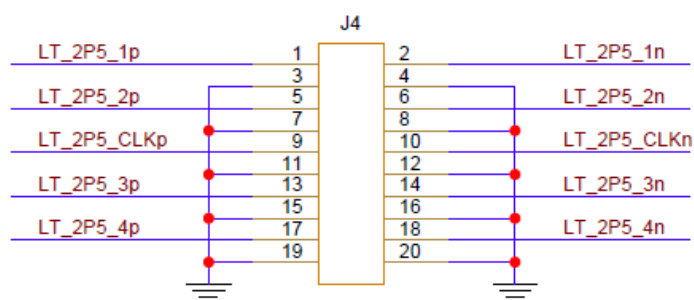
3.5 LVDS インターフェース

3.5.1 概要

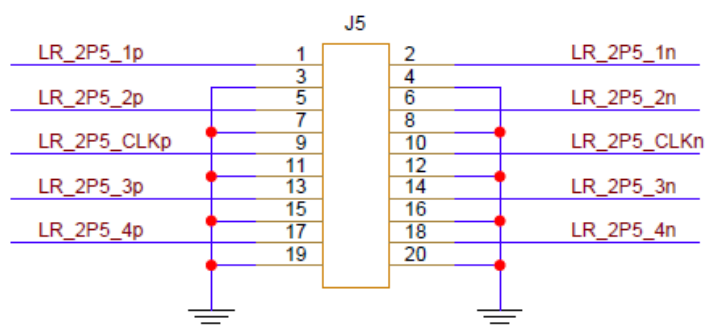
開発ボード上の LVDS_TX インターフェース(4 data + 1 clk)と LVDS_RX インターフェース(4 data + 1 clk)は、2.0mm ピッチの 2x10P ピンヘッダーで実装されています。インターフェースの回路図は次のとおりです。

図 3-4 LVDS インターフェースの回路図

LVDS TX



LVDS RX



3.5.2 ピンの割り当て

表 3-3 LVDS_TX インターフェースのピンの割り当て

信号名	FPGA のピン の番号	BANK	I/O 電圧レベ ル	説明
LT_2P5_1p	B10	6	3.3V	LVDS データ
LT_2P5_1n	A10	6	3.3V	LVDS データ
LT_2P5_2p	C9	6	3.3V	LVDS データ
LT_2P5_2n	D9	6	3.3V	LVDS データ
LT_2P5_CLKp	B9	6	3.3V	LVDS クロッ ク
LT_2P5_CLKn	A9	6	3.3V	LVDS クロッ ク
LT_2P5_3p	C8	6	3.3V	LVDS データ
LT_2P5_3n	D8	6	3.3V	LVDS データ
LT_2P5_4p	A8	6	3.3V	LVDS データ
LT_2P5_4n	B8	6	3.3V	LVDS データ

表 3-4 LVDS_RX インターフェースのピンの割り当て

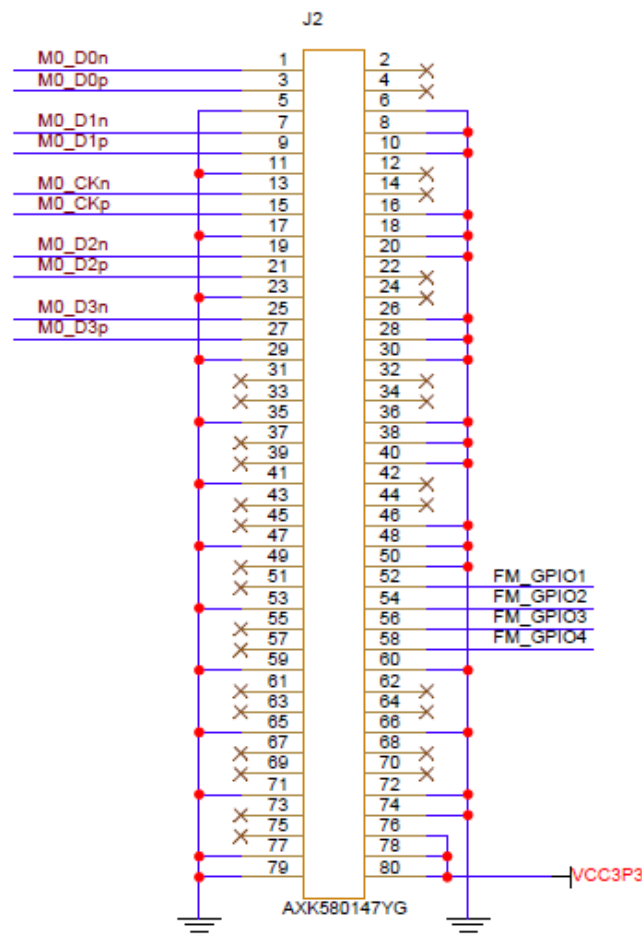
信号名	FPGA のピン の番号	BANK	I/O 電圧レベ ル	説明
LR_2P5_1p	B13	6	3.3V	LVDS データ
LR_2P5_1n	A13	6	3.3V	LVDS データ
LR_2P5_2p	D11	6	3.3V	LVDS データ
LR_2P5_2n	C11	6	3.3V	LVDS データ
LR_2P5_CLKp	B14	6	3.3V	LVDS クロッ ク
LR_2P5_CLKn	A14	6	3.3V	LVDS クロッ ク
LR_2P5_3p	B11	6	3.3V	LVDS データ
LR_2P5_3n	B12	6	3.3V	LVDS データ
LR_2P5_4p	A11	6	3.3V	LVDS データ
LR_2P5_4n	A12	6	3.3V	LVDS データ

3.6 MIPI インターフェース

3.6.1 概要

開発ボード上の MIPI インターフェースは、80 ピン、0.5mm ピッチの AXK580147YG コネクタを使用しています。FPGA からハード MIPI DPHY RX/TX コア信号(4 data + 1 clk)と 4 本の GPIO が提供されています。インターフェースの回路図を図 3-5 に示します。

図 3-5 MIPI インターフェースの回路図



3.6.2 ピンの割り当て

表 3-5 MIPI インターフェースのピンの割り当て

信号名	FPGA(U1) のピンの番号	BANK	I/O 電圧レベル	説明
M0_D0n	B7	MIPI	-	MIPI のデータ信号
M0_D0p	A7	MIPI	-	MIPI のデータ

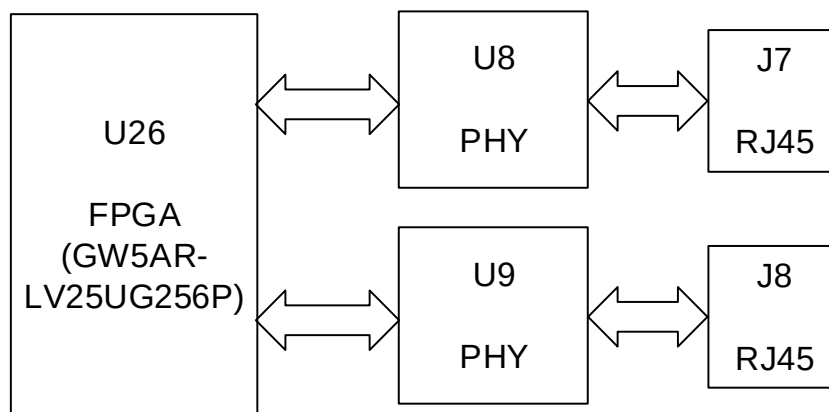
信号名	FPGA(U1)のピンの番号	BANK	I/O 電圧レベル	説明
				信号
M0_D1n	B6	MIPI	-	MIPI のデータ信号
M0_D1p	A6	MIPI	-	MIPI のデータ信号
M0_CKn	B5	MIPI	-	MIPI のクロック信号
M0_CKp	A5	MIPI	-	MIPI のクロック信号
M0_D2n	B4	MIPI	-	MIPI のデータ信号
M0_D2p	A4	MIPI	-	MIPI のデータ信号
M0_D3n	B3	MIPI	-	MIPI のデータ信号
M0_D3p	A3	MIPI	-	MIPI のデータ信号
FM_GPIO1	D5	5	3.3V	GPIO
FM_GPIO2	E5	5	3.3V	GPIO
FM_GPIO3	F5	5	3.3V	GPIO
FM_GPIO4	G5	5	3.3V	GPIO

3.7 イーサネット・インターフェース

3.7.1 概要

開発ボードは、RGMII（10BASE-T/100BASE-TX/1000BASE-T）をサポートする 2 つのイーサネット・インターフェースを備えています。マグネティクス付きの RJ45 コネクタが使用されています。その接続図を図 3-6 に示します。

図 3-6 イーサネット・インターフェースの接続図



3.7.2 ピンの割り当て

表 3-6 Ethernet1 インターフェースのピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
PHY1_TXD0	H1	5	3.3V	RGMII の送信データ
PHY1_TXD1	H3	4	3.3V	RGMII の送信データ
PHY1_TXD2	H4	4	3.3V	RGMII の送信データ
PHY1_TXD3	J1	4	3.3V	RGMII の送信データ
PHY1_GTXCLK	F3	5	3.3V	RGMII の送信クロック
PHY1_TXEN	J3	4	3.3V	RGMII 送信イネーブル
PHY1_RXD0	K1	4	3.3V	RGMII の受信データ
PHY1_RXD1	K2	4	3.3V	RGMII の受信データ
PHY1_RXD2	M1	4	3.3V	RGMII の受信データ
PHY1_RXD3	M2	4	3.3V	RGMII の受信データ
PHY1_RXC	J2	4	3.3V	RGMII の受信クロック
PHY1_RXDV	N1	4	3.3V	RGMII 受信イネーブル
PHY_MDIO	G1	5	3.3V	MDIO 管理データ
PHY_MDC	F2	5	3.3V	MDIO 管理クロック
PHY_RST_N	G2	5	3.3V	リセット信号

表 3-7 Ethernet2 インターフェースのピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
PHY2_TXD0	T3	2	3.3V	RGMII の送信データ
PHY2_TXD1	T4	2	3.3V	RGMII の送信データ
PHY2_TXD2	J4	4	3.3V	RGMII の送信データ
PHY2_TXD3	R5	2	3.3V	RGMII の送信データ
PHY2_GTXCLK	T2	2	3.3V	RGMII の送信クロック
PHY2_TXEN	N5	3	3.3V	RGMII 送信イネーブル
PHY2_RXD0	K5	3	3.3V	RGMII の受信データ
PHY2_RXD1	J5	3	3.3V	RGMII の受信データ

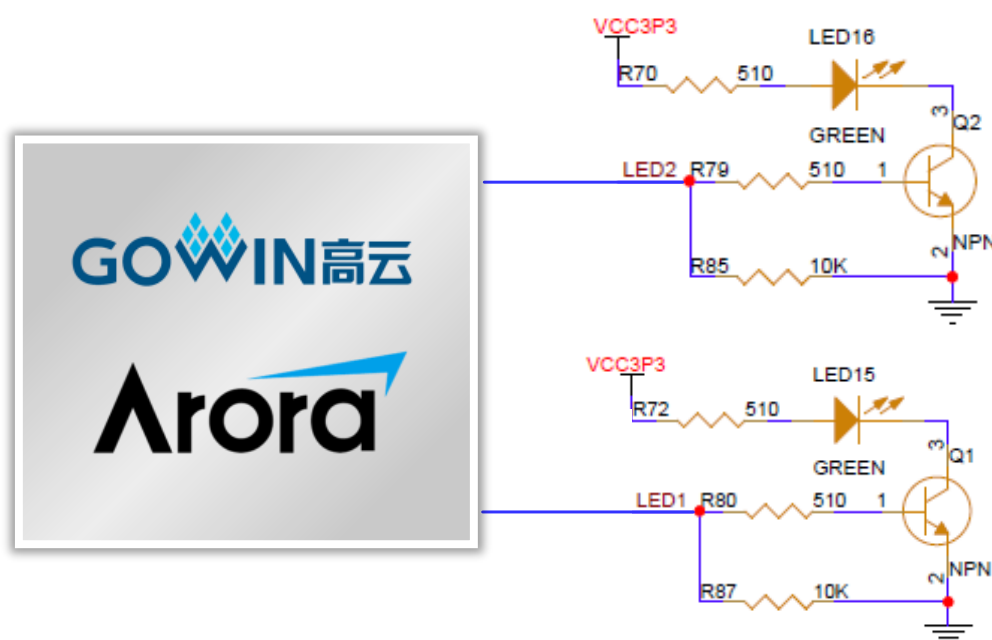
信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
PHY2_RXD2	T6	2	3.3V	RGMII の受信データ
PHY2_RXD3	R6	2	3.3V	RGMII の受信データ
PHY2_RXC	T5	2	3.3V	RGMII の受信クロック
PHY2_RXDV	P6	2	3.3V	RGMII 受信イネーブル
PHY_MDIO	G1	5	3.3V	MDIO 管理データ
PHY_MDC	F2	5	3.3V	MDIO 管理クロック
PHY_RST_N	G2	5	3.3V	リセット信号

3.8 LED とキー

3.8.1 概要

開発ボード上の 2 つのユーザー LED は、FPGA Bank5 の IO に接続されており、その点灯・消灯はプログラムにより制御することができます。ユーザー LED に接続された IO の電圧が **High** の場合ユーザー LED は点灯し、接続された IO の電圧が **Low** の場合ユーザー LED は消灯します。その接続図を図 3-7 に示します。

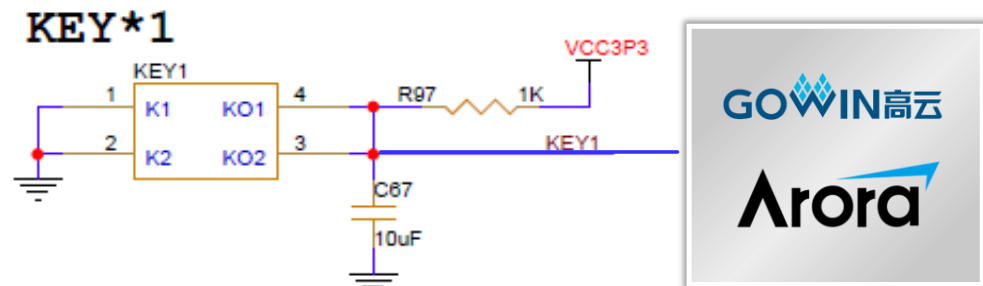
図 3-7 LED の回路図



開発ボードには、FPGA の Bank0 の通常の IO に接続される 1 つのユ

ユーザーキーがあります。キーが押されると **FPGA** の対応する **IO** 入力電圧は **Low** になり、キーが押されないと **FPGA** の対応する **IO** 入力電圧は **High** になります。キー回路にはハードウェア・デバウンス機能が装備されています。その接続図を図 3-8 に示します。

図 3-8 キーの接続図



3.8.2 ピンの割り当て

表 3-8 LED のピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
LED1	F4	5	3.3V	LED
LED2	D4	5	3.3V	LED

表 3-9 キーモジュールのピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
KEY1	K15	0	3.3V	キー

3.9 GPIO

3.9.1 概要

開発ボード上の **FPGA** は、バストランシーバを介して **J11** および **J12** インターフェースに接続され、**5V** 規格の出力 **GPIO** を提供します。**GPIO** インターフェースの回路図を以下に示します。**GPIO** インターフェースの回路図を下図に示します。

図 3-9 GPIO インターフェースの回路図



J11 のピン の番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
21	O_D19	J16	7	3.3V	出力
22	O_D20	J15	7	3.3V	出力
23	GND	-	-	-	GND
24	GND	-	-	-	GND
25	O_D21	K16	0	3.3V	出力
26	O_D22	L16	0	3.3V	出力
27	O_D23	L15	0	3.3V	出力
28	O_D24	M16	0	3.3V	出力
29	O_D25	N16	0	3.3V	出力
30	O_D26	N15	0	3.3V	出力
31	O_D27	P16	0	3.3V	出力
32	O_D28	P15	0	3.3V	出力
33	O_D29	R16	0	3.3V	出力
34	O_D30	T13	2	3.3V	出力
35	GND	-	-	-	GND
36	GND	-	-	-	GND
37	O_D31	R12	2	3.3V	出力
38	O_D32	T12	2	3.3V	出力
39	O_D33	R11	2	3.3V	出力
40	O_D34	T11	2	3.3V	出力
41	O_D35	R10	2	3.3V	出力
42	O_D36	T10	2	3.3V	出力
43	O_D37	T9	2	3.3V	出力
44	O_D38	R9	2	3.3V	出力
45	O_D39	T8	2	3.3V	出力
46	O_D40	R8	2	3.3V	出力
47	GND	-	-	-	GND
48	GND	-	-	-	GND
49	O_D41	N9	2	3.3V	出力

J11 のピン の番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
50	O_D42	M9	0	3.3V	出力
51	O_D43	M8	3	3.3V	出力
52	O_D44	P8	2	3.3V	出力
53	O_D45	N8	2	3.3V	出力
54	O_D46	N6	2	3.3V	出力
55	O_D47	T7	2	3.3V	出力
56	O_D48	R7	2	3.3V	出力
57	GND	-	-	-	GND
58	GND	-	-	-	GND
59	VCC3P3	-	-	3.3V	POWER
60	VCC3P3	-	-	3.3V	POWER

表 3-11 GPIO インターフェース(J12)のピンの割り当て

J12 のピン の番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
1	O_D49	F8	6	3.3V	出力
2	O_D50	E9	7	3.3V	出力
3	O_D51	F9	7	3.3V	出力
4	O_D52	E10	7	3.3V	出力
5	O_D53	F10	7	3.3V	出力
6	O_D54	E11	7	3.3V	出力
7	O_D55	F11	7	3.3V	出力
8	O_D56	G11	7	3.3V	出力
9	O_D57	C14	7	3.3V	出力
10	O_D58	D12	7	3.3V	出力
11	GND	-	-	-	GND
12	GND	-	-	-	GND
13	O_D59	D14	7	3.3V	出力
14	O_D60	F13	7	3.3V	出力
15	O_D61	F14	7	3.3V	出力

J12 のピン の番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
16	O_D62	F15	7	3.3V	出力
17	O_D63	F16	7	3.3V	出力
18	O_D64	G15	7	3.3V	出力
19	O_D65	J12	7	3.3V	出力
20	O_D66	J13	7	3.3V	出力
21	O_D67	J14	7	3.3V	出力
22	O_D68	K12	0	3.3V	出力
23	GND	-	-	-	GND
24	GND	-	-	-	GND
25	O_D69	L13	0	3.3V	出力
26	O_D70	L14	0	3.3V	出力
27	O_D71	L12	0	3.3V	出力
28	O_D72	M15	0	3.3V	出力
29	O_D73	J11	0	3.3V	出力
30	O_D74	K11	0	3.3V	出力
31	O_D75	L11	0	3.3V	出力
32	O_D76	M12	0	3.3V	出力
33	O_D77	N12	0	3.3V	出力
34	O_D78	N13	0	3.3V	出力
35	GND	-	-	-	GND
36	GND	-	-	-	GND
37	O_D79	N14	0	3.3V	出力
38	O_D80	P14	0	3.3V	出力
39	O_D81	K10	0	3.3V	出力
40	O_D82	M11	0	3.3V	出力
41	O_D83	L9	0	3.3V	出力
42	O_D84	N11	2	3.3V	出力
43	O_D85	P11	2	3.3V	出力
44	O_D86	M10	0	3.3V	出力

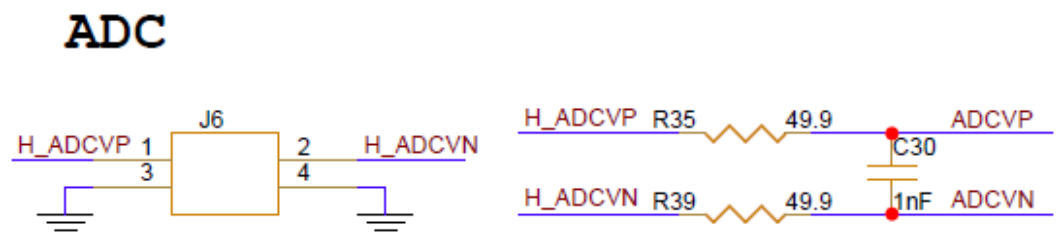
J12 のピン の番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
45	O_D87	L10	0	3.3V	出力
46	O_D88	P9	2	3.3V	出力
47	GND	-	-	-	GND
48	GND	-	-	-	GND
49	O_D89	K6	3	3.3V	出力
50	O_D90	K8	3	3.3V	出力
51	O_D91	L7	3	3.3V	出力
52	O_D92	L8	3	3.3V	出力
53	O_D93	L6	3	3.3V	出力
54	O_D94	M7	3	3.3V	出力
55	O_D95	M6	3	3.3V	出力
56	O_D96	K9	0	3.3V	出力
57	GND	-	-	-	GND
58	GND	-	-	-	GND
59	VCC5P0	-	-	5V	POWER
60	VCC5P0	-	-	5V	POWER

3.10 ADC インターフェース

3.10.1 概要

開発ボードでは、2.54mm ピッチの 2x2P ピンヘッダーを使用して ADC 入力インターフェースが拡張されています。下図は ADC インターフェースの回路図およびアンチエイリアシング・フィルタの回路図です。

図 3-10 ADC インターフェースの回路図



3.10.2 ピンの割り当て

表 3-12 ADC インターフェースのピンの割り当て

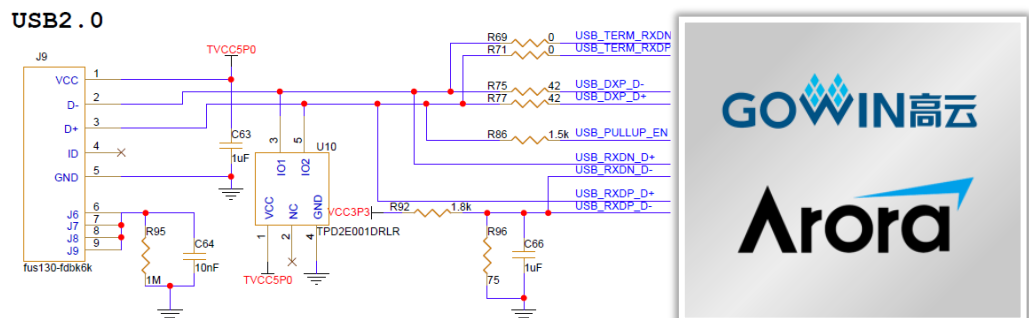
信号名	FPGA のピン の番号	BANK	I/O 電圧レ ベル	説明
H_ADCVP	R3	3	3.3V	アナログ信号 の入力
H_ADCVN	R4	3	3.3V	アナログ信号 の入力

3.11 USB 2.0 インターフェース

3.11.1 概要

開発ボードでは、Mini USB-B コネクタを使用して USB2.0 インターフェース(ESD 保護付き)が実装されています。

図 3-11 USB2.0 インターフェースの回路図



3.11.2 ピンの割り当て

表 3-13 USB2.0 インターフェースのピンの割り当て

信号名	FPGA(U1) のピン 番号	BANK	I/O 電圧 レベル	説明
USB_TERM_RXDN	C2	5	3.3V	高速モードの場合は終端 抵抗の制御に使用されま す。フルスピードモード と低速モードの場合は USB データピンとして機 能します。
USB_TERM_RXDP	C3	5	3.3V	高速モードの場合は終端

信号名	FPGA(U1) のピンの番号	BANK	I/O 電圧 レベル	説明
				抵抗の制御に使用されます。フルスピードモードと低速モードの場合はUSB データピンとして機能します。
USB_DXP_D-	B1	5	3.3V	USB データピン(高速モードの場合)
USB_DXP_D+	C1	5	3.3V	USB データピン(高速モードの場合)
USB_PULLUP_EN	F1	5	3.3V	プルアップ
USB_RXDN_D+	D3	5	3.3V	USB-信号
USB_RXDN_D-	D2	5	3.3V	USB+側のリファレンス信号
USB_RXDP_D+	E1	5	3.3V	USB+信号
USB_RXDP_D-	D1	5	3.3V	USB-側のリファレンス信号

