



Gowin DDR2 PHY Interface IP ユーザーガイド

IPUG1183-1.1J, 2025-06-06

著作権について(2025)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云及び **Gowin** は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale(GOWINSEMI取引条件)に規定されている内容を除き、(明示的か又は黙示的に拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2024/03/29	1.0J	初版。
2025/06/06	1.1J	● CLK Ratio=1:2 の説明を追加。 ● パラメータの構成の説明を更新。

目次

目次	i
図一覧	ii
表一覧	iii
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	2
1.4 テクニカル・サポートとフィードバック	2
2 概要	3
2.1 概要	3
2.2 特徴	3
2.3 リソース使用量	4
3 機能の説明	5
3.1 構造	5
3.2 ユーザーインターフェースとタイミングの説明	6
3.2.1 ユーザーインターフェース	6
3.2.2 データ書き込みタイミング	9
3.2.3 データ読み出しタイミング	16
3.2.4 Bank Active	17
3.2.5 EYE SCAN	17
3.3 クロック、リセット、および pll_stop	18
4 ポート一覧	19
5 呼び出しと構成	23
5.1 IP の呼び出し	23
5.2 パラメータの構成	24

図一覧

図 3-1 Gowin DDR2 PHY Interface IP の構造	5
図 3-2 初期化完了信号のタイミング図	6
図 3-3 OSER8 による O_ddr_cs_n 出力	6
図 3-4 O_ddr_cs_n の出力タイミング図	7
図 3-5 OSER4 による O_ddr_cs_n 出力	7
図 3-6 O_ddr_cs_n の出力タイミング図(CLK Ratio=2:1)	7
図 3-7 OSER8 による O_ddr_odt 出力	8
図 3-8 CL=3,AL=0 の場合におけるデータ書き込みタイミング図	10
図 3-9 CL=4,AL=0 の場合におけるデータ書き込みタイミング図	10
図 3-10 CL=5,AL=0 の場合におけるデータ書き込みタイミング図	11
図 3-11 CL=6,AL=0 の場合におけるデータ書き込みタイミング図	12
図 3-12 Burst Length=8,CL=3,AL=0 の場合におけるデータ書き込みタイミング図	13
図 3-13 Burst Length=8,CL=4,AL=0 の場合におけるデータ書き込みタイミング図	13
図 3-14 Burst Length=8,CL=5,AL=0 の場合におけるデータ書き込みタイミング図	14
図 3-15 Burst Length=8,CL=6,AL=0 の場合におけるデータ書き込みタイミング図	14
図 3-16 Burst Length=4,CL=6,AL=0 の場合におけるデータ書き込みタイミング図	15
図 3-17 データ・マスクのタイミング図	16
図 3-18 CLK Ratio=1:4,CL=6,AL=0 の場合におけるデータ読み出しタイミング図	16
図 3-19 CLK Ratio=1:2,Burst Length=8,CL=6/4,AL=0 の場合におけるデータ読み出しタイミング図	17
図 3-20 CLK Ratio=1:4 の場合におけるアクティブコマンド送信タイミング	17
図 3-21 読み出し/書き込みコマンド・インターフェースの選択	18
図 5-1 IP Core Generator の画面	23
図 5-2 DDR2 PHY Interface の構成画面	24
図 5-3 WR=4 の場合における WR タイミング図	26

表一覧

表 1-1 用語、略語	2
表 2-1 Gowin DDR2 PHY Interface IP の概要.....	3
表 2-2 リソース使用量	4
表 4-1 Gowin DDR2 PHY Interface IP のポート一覧.....	19
表 5-1 DDR2 のタイミングパラメータ	26

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、ユーザーが Gowin DDR2 PHY Interface IP を使いこなせるよう、その機能、ポート、タイミング、および呼び出しと構成について説明します。本マニュアルに記載のソフトウェア GUI のスクリーンショットは、Gowin ソフトウェア 1.9.11.02 バージョンの場合のものです。ソフトウェアのアップデートにより、一部の内容が変更される場合があります。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- Gowin ソフトウェア ユーザーガイド([SUG100](#))
- GW5AT シリーズ FPGA 製品データシート([DS981](#))
- GW5A シリーズ FPGA 製品データシート([DS1103](#))
- GW5AST シリーズ FPGA 製品データシート([DS1104](#))
- GW5AR シリーズ FPGA 製品データシート([DS1108](#))
- GW2A シリーズ FPGA 製品データシート([DS102](#))
- GW2AR シリーズ FPGA 製品データシート([DS226](#))
- GW2AN-18X & 9X FPGA 製品データシート([DS971](#))
- GW2AN-55 FPGA 製品データシート([DS976](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
IP	Intellectual Property	設計資産
LUT	Look-up Table	ルックアップテーブル
PLL	Phase-locked Loop	位相同期回路
MC	Memory Controller	コントローラ
DDR2 SDRAM	Double-Data-Rate Two Synchronous Dynamic Random Access Memory	DDR2同期ダイナミック RAM
ODT	On-die Termination	オンダイ終端
PHY	Physical Layer	物理層
REG	Register	レジスタ
FIFO	First Input First Output	先入れ先出し

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ: www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

2.1 概要

Gowin DDR2 PHY Interface IP は、DQS 回路ハードコアなどのハードコア・リソースを統合しており、DDR2 PHY の機能を実現します。ユーザーは、完全な MC+PHY IP を形成するために、DDR2 PHY Interface IP に接続するための MC 層を実装する必要があります。

表 2-1 Gowin DDR2 PHY Interface IP の概要

Gowin DDR2 PHY Interface IP	
ロジックリソース	表2-2参照
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンス・デザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis
統合開発環境	Gowinソフトウェア(V1.9.11.02以降)

注記：

デバイスのサポート情報は、Gowin セミコンダクターの[ホームページ](#)で確認できます。

2.2 特徴

- Arora ファミリーFPGA をサポート
- JESD79-2F 規格に準拠
- 8、16、24、32、40、48、56、64 ビットのデータ・パス幅をサポート
- シングルランク RDIMM、UDIMM、及び SODIMM メモリモジュールをサポート
- x8/x16 データ幅のメモリをサポート
- BURST MODE は 4 または 8

- Memory clk と User clk の周波数比は 4:1 または 2:1
- CL、AL、tFAW、tRAS、tRCD、tRFC、tRRD、tRTP、tWTR は構成可能
- ODT の制御をサポート

2.3 リソース使用量

Gowin DDR2 PHY Interface IP は、Verilog で実装され、そのパフォーマンスとリソース使用量は、使用されているデバイスの密度、スピードグレードなどにより異なる場合があります。例えば、GW5A(R)-25 の場合、デフォルトの構成でのリソース使用量は表 2-2 に示すようになります。他のデバイスでのリソース使用量については、その最新情報を参照してください。

表 2-2 リソース使用量

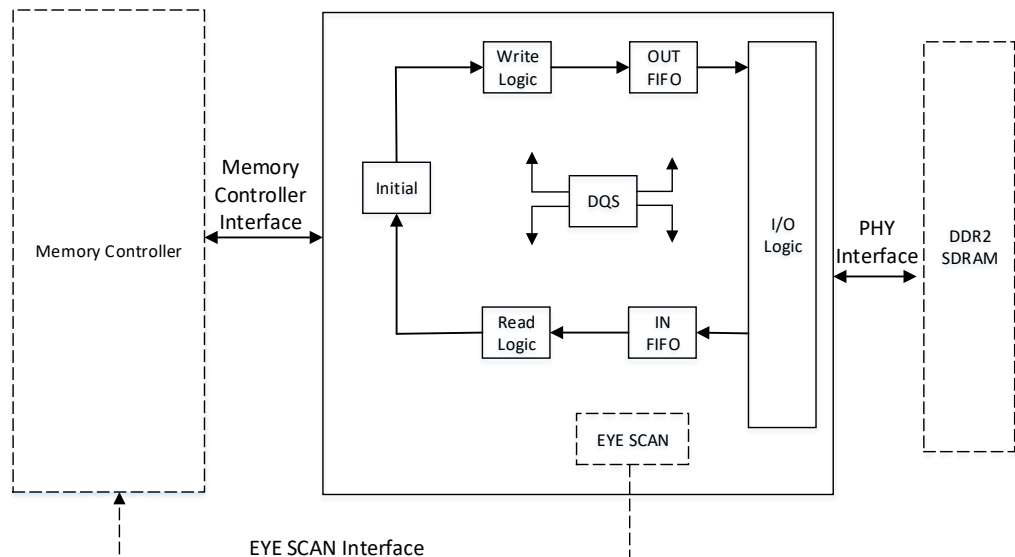
デバイス	プログラミング言語	LUTs	Registers	ALUs	BSRAM
GW5A(R)-25	Verilog HDL	2817	3397	117	16

3 機能の説明

3.1 構造

Gowin DDR2 PHY Interface IP は、主に制御ロジック、I/O ロジック、ストレージ・ロジックの 3 つの部分で構成されます(図 3-1)。

図 3-1 Gowin DDR2 PHY Interface IP の構造



- **Memory Controller** : 本マニュアルに従って自分で設計、実装する必要があります。
- **Initial** : Read Calibration 機能を実装するための初期化モジュール。
- **Write Logic、Read Logic** : 読み出しおよび書き込み制御ロジックを実装します。
- **OUT FIFO、IN FIFO** : 書き込み/読み出しデータおよびコマンドのバッファリングに使用されます。
- **EYE SCAN** : 読み出しデータ・ウィンドウ・スキャン機能を実装します。詳細については、**3.2.5 EYE SCAN** を参照してください。

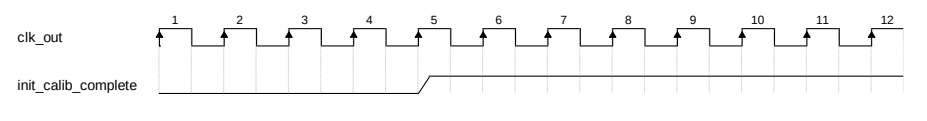
3.2 ユーザーインターフェースとタイミングの説明

3.2.1 ユーザーインターフェース

初期化完了インターフェース

- **init_calib_complete** : DDR2 SDRAM は、通常書き込みおよび読み出し操作を実行するには、校正(キャリブレーション)する必要があります。したがって、IP は電源投入後に DDR2 SDRAM を初期化(校正)し、初期化後に **init_calib_complete** は High になります(図 3-2)。

図 3-2 初期化完了信号のタイミング図

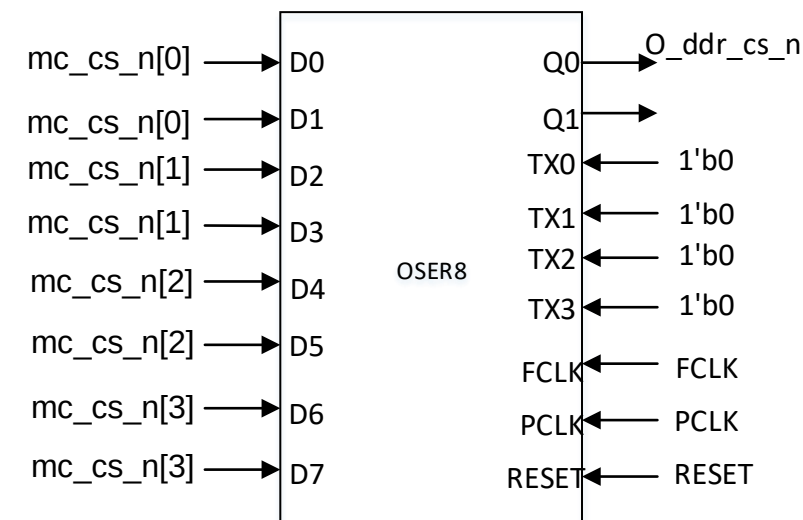


制御信号およびアドレス信号インターフェース

- **mc_cs_n** : この信号は 4 ビット信号または 2 ビット信号で、1 ビットの **O_ddr_cs_n** 信号の出力にマッピングされます。ここで 4 ビットまたは 2 ビットで 1 ビット信号の出力を制御するように設定されているのは、主に **O_ddr_cs_n** の出力を正確に制御するためです。つまり、**O_ddr_cs_n** を **O_ddr_clk** のどのクロックエッジで出力するかを正確に制御するためです。

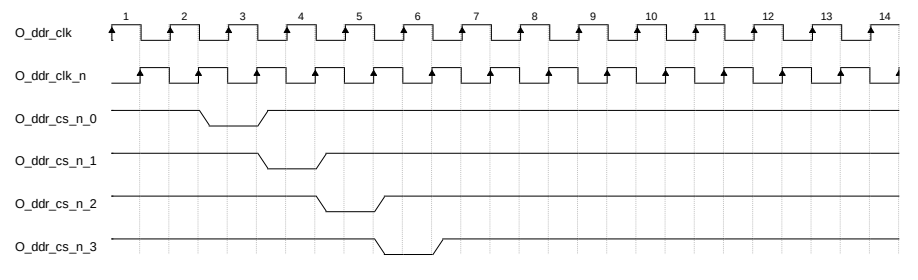
CLK Ratio が 1:4 の場合、**mc_cs_n** の幅は 4 ビットであり、次の図に示すように、**mc_cs_n** は OSER8 によって出力されます。

図 3-3 OSER8 による **O_ddr_cs_n** 出力



mc_cs_n[3:0]=4'b1110、4'b1101、4'b1011、または 4'b0111 の場合、有効な **O_ddr_cs_n** を出力できます。

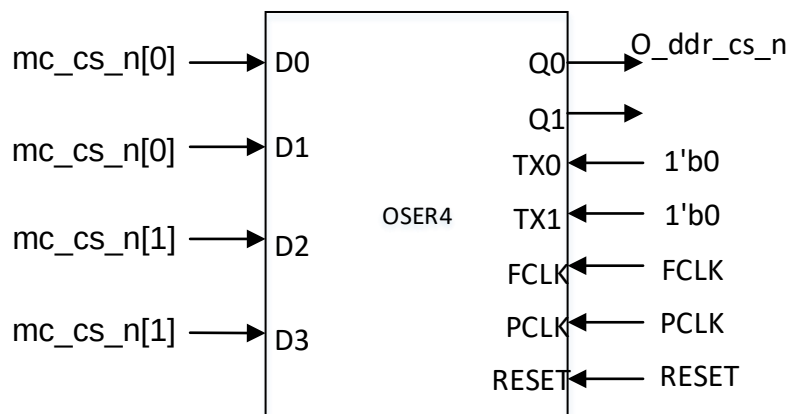
図 3-4 O_ddr_cs_n の出力タイミング図



mc_cs_n[3:0]=4'b1110 のとき、O_ddr_cs_n の出力は O_ddr_cs_n_0 の波形であるとする、mc_cs_n[3:0]=4'b1101 のとき、O_ddr_cs_n の出力は O_ddr_cs_n_1 の波形になり.....つまり、mc_cs_n[3:0]のバイナリ 0 が左に 1 ビットシフトされるたびに、OSER8 により出力される O_ddr_cs_n の Low レベルは 1 クロックサイクル分右にシフトされます。

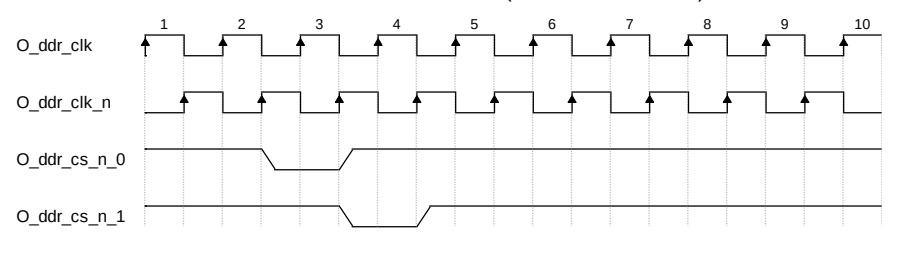
CLK Ratio が 1:2 の場合、mc_cs_n の幅は 2 ビットであり、図 3-5 に示すように、mc_cs_n は OSER4 によって出力されます。

図 3-5 OSER4 による O_ddr_cs_n 出力



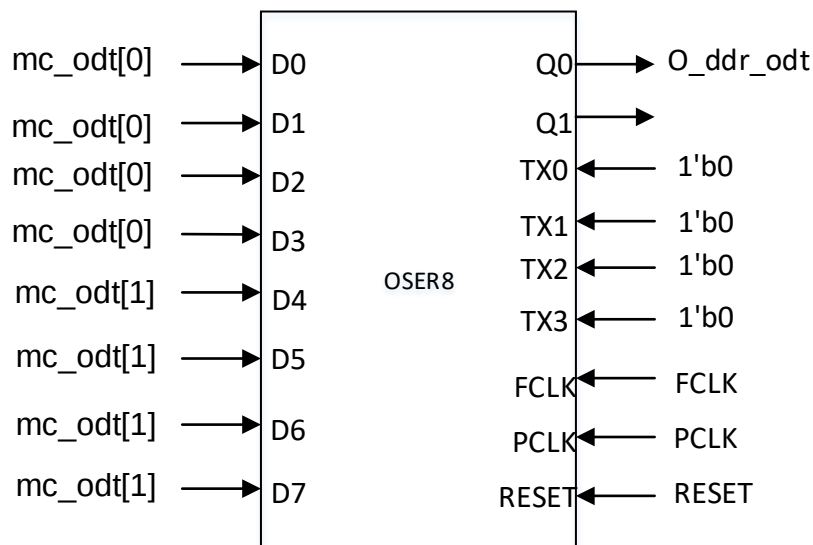
CLK Ratio が 1:4 の場合と同様に、mc_cs_n[1:0]=2'b10 または 2'b01 の場合、有効な O_ddr_cs_n が出力され、mc_cs_n[1:0]のバイナリ 0 が左に 1 ビットシフトされるたびに、OSER4 により出力される O_ddr_cs_n の Low レベルは 1 クロックサイクル分右にシフトされます(図 3-6)。

図 3-6 O_ddr_cs_n の出力タイミング図(CLK Ratio=2:1)



- **mc_cas_n**、**mc_we_n**、**mc_cke** : これらの信号の使用方法は **mc_cs_n** 信号と同様であるため、ここでは説明しません。
- **mc_odt** : この信号は 2 ビット信号です。CLK Ratio=1:4 の場合、**mc_odt** はロジック内部で 4 ビットに変換され、**OSER8** に接続され出力されます(図 3-7)。CLK Ratio=1:2 の場合、この信号は **OSER4** に接続され出力されます。その使用方法は、**mc_cs_n** 信号と同様です。**mc_odt** の値が 1 ビット変化するたびに、実際に出力される **O_ddr_odt** の波形は 2 **O_ddr_clk** サイクル分変化します。

図 3-7 OSER8 による O_ddr_odt 出力



したがって、**mc_odt** の値が 1 ビット変化するたびに、実際に出力される **O_ddr_odt** の波形は 2 **O_ddr_clk** サイクル分変化します。

- **mc_address** : Row/Column アドレスを転送する信号です。信号幅は **NCK*ROW_WIDTH** です。**ROW_WIDTH** は、DDR2 メモリの Row Address の幅です。**NCK** はクロック比パラメータです。CLK Ratio が 1:4 の場合、**NCK=4**、CLK Ratio が 1:2 の場合、**NCK=2** となります。**mc_address** の使用方法は上記の **mc_cs_n** などの信号と似ていますが、相違点もあります。**mc_address** が **OSER** を介して送信されるという点は同じであり、タイミング制御も同じです。異なる点は、信号が **OSER** を介して送信される前にマッピング・変換されることです。そのマッピング関係は次のとおりです：

$$\text{mc_address}[j * \text{ROW_WIDTH} + i] \Rightarrow \text{mc_address_tmp}[i * \text{NCK} + j] \quad (i \geq 0, i < \text{ROW_WIDTH}, j \geq 0, j < \text{NCK})$$

mc_address_tmp はマッピング後のアドレスです。**mc_address_tmp** の **NCK** ビットごとに **O_ddr_addr** の 1 ビット出力が決定されます。例えば **NCK=4** の場合、**mc_address_tmp[3:0]** は **O_ddr_addr[0]** 信号の出力を制御し、**mc_address_tmp[7:4]** は **O_ddr_addr[1]** 信号の出力を制御し、以降も同様とします。

例えば $NCK=4$ の場合、 $j=0,1,2,3$ とし、 $i=0$ のとき、対応する `mc_address` の 4 ビットは `O_ddr_addr[0]` の出力を決定し、 $i=1$ のとき、対応する `mc_address` の 4 ビットは `O_ddr_addr[1]` の出力を決定するというように、 $i=ROW_WIDTH-1$ のとき、対応する `mc_address` の 4 ビットは `O_ddr_addr` の最上位ビットの出力を決定します。

ユーザーは、実際に MC に書き込まれたアドレスをマッピングしてから、`mc_address` に接続する必要があります。

- `mc_bank` : この信号の使用方法は `mc_address` と同じです。

データインターフェース

- `mc_cmd_wren` : 制御ラインとアドレス・ラインの送信タイミングはパイプライン化されているので、この信号は High のままにすればよいです。
- `mc_wrd_data` : `init_calib_complete` が 0 で `eye_calib_start` が 1 の場合、この信号の値は `eye_app_wdf_wdata` です。`init_calib_complete` が 1 で `eye_calib_start` が 0 の場合、この信号の値はユーザーが MC に書き込んだ元の値です。
- `mc_wrd_data_mask` : この信号は `mc_wrd_data` のマスク信号であり、その 1 ビットは `mc_wrd_data` の 1 バイトに対応し、下位ビットは `mc_wrd_data` の下位バイトに対応します。
- `mc_wrd_data_en` : `mc_wrd_data_en` が 1 の場合、`mc_wrd_data` と `mc_wrd_data_mask` は有効です。
- `phy_rd_data` : DDR2 メモリから読み出されたデータです。
- `phy_rddata_valid` : この信号が 1 の場合、`phy_rd_data` は有効です。

3.2.2 データ書き込みタイミング

ユーザーインターフェースの説明によれば、`mc_cs_n`、`mc_cas_n`、および `mc_we_n` のバイナリ 0 の位置を変更することで、書き込みコマンドと最初の有効書き込みデータ間のクロックサイクル数、つまり Write Latency(略して WL。WL=CL+AL-1。CL は CAS Latency、AL は Additive Latency)を調整できることが分かります。

Arora V デバイスを使用する場合、事前に `IO_ddr_dqs` および `IO_ddr_dqs_n` のハイインピーダンス状態を中断する必要があります。これは、Arora V デバイスのハードウェア特性に基づく適応です。このセクションは、さまざまな CL 値の場合におけるデータ書き込みタイミングを示しています。ここで、`clk_out` と `O_ddr_clk` のクロック比は 1:4 または 1:2 です。CLK Ratio が 1:4 の場合、データ書き込みタイミングは図 3-8、図 3-9、図 3-10、図 3-11 に示すとおりです。

図 3-8 CL=3,AL=0 の場合におけるデータ書き込みタイミング図

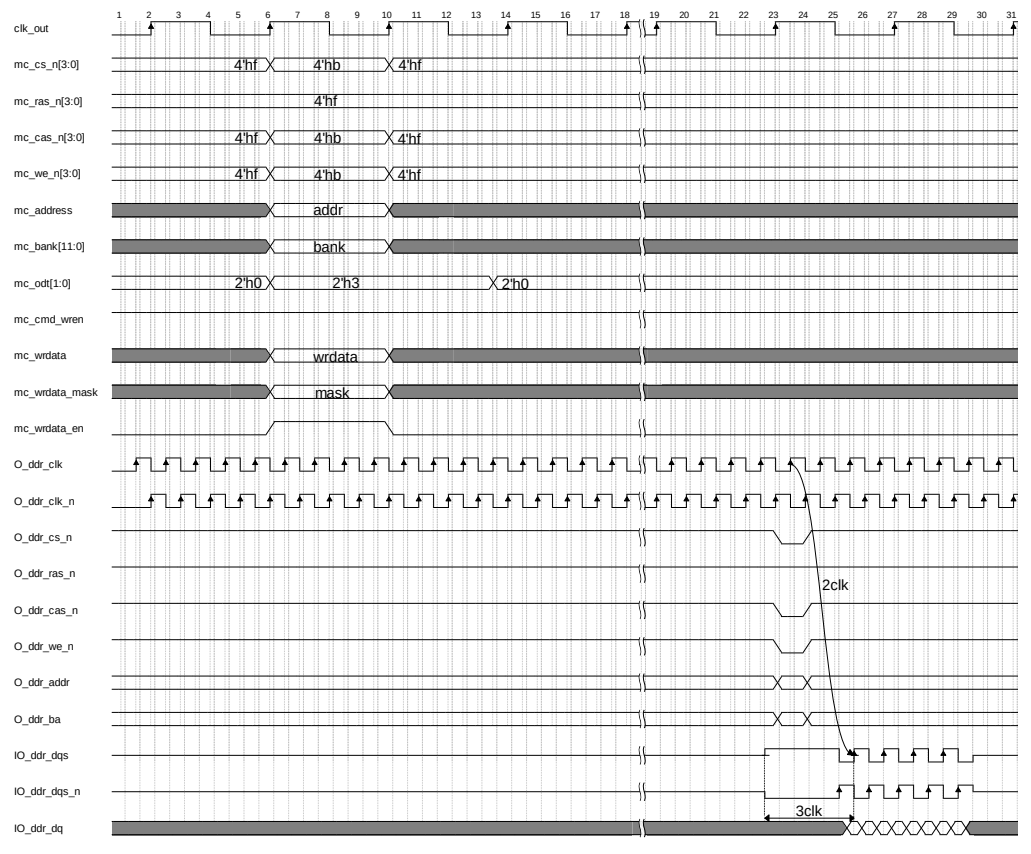


図 3-9 CL=4,AL=0 の場合におけるデータ書き込みタイミング図

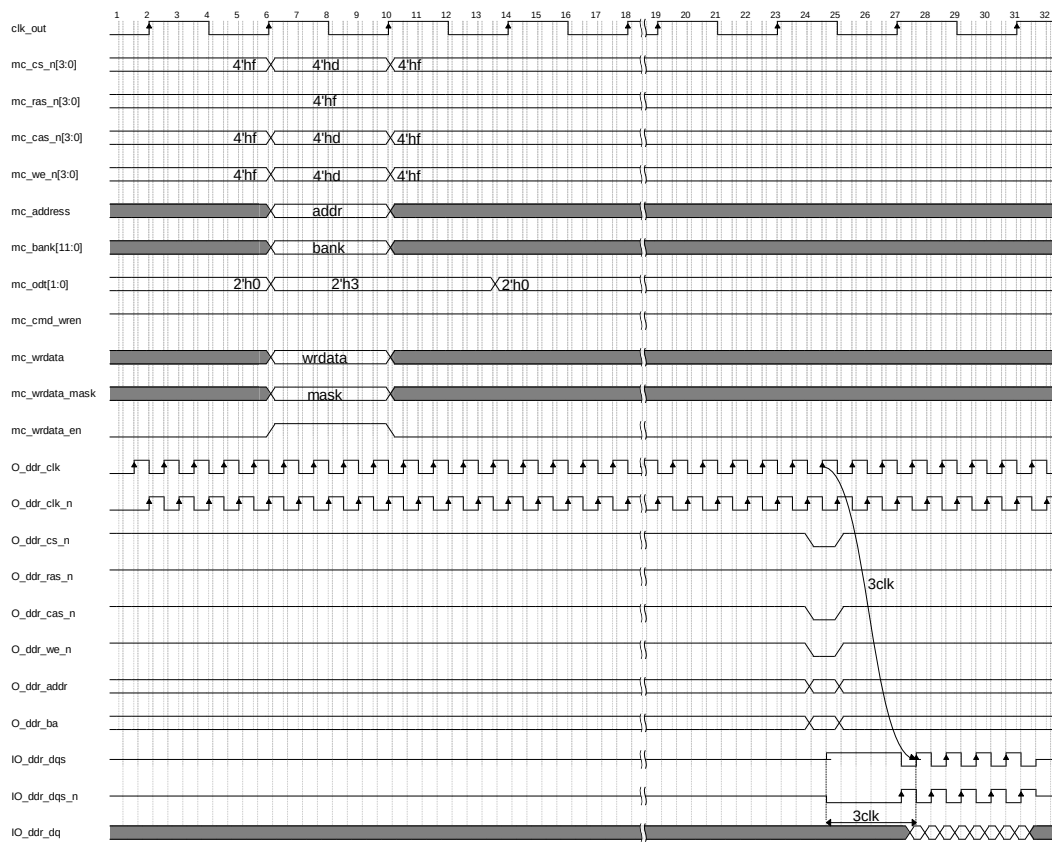


図 3-10 CL=5,AL=0 の場合におけるデータ書き込みタイミング図

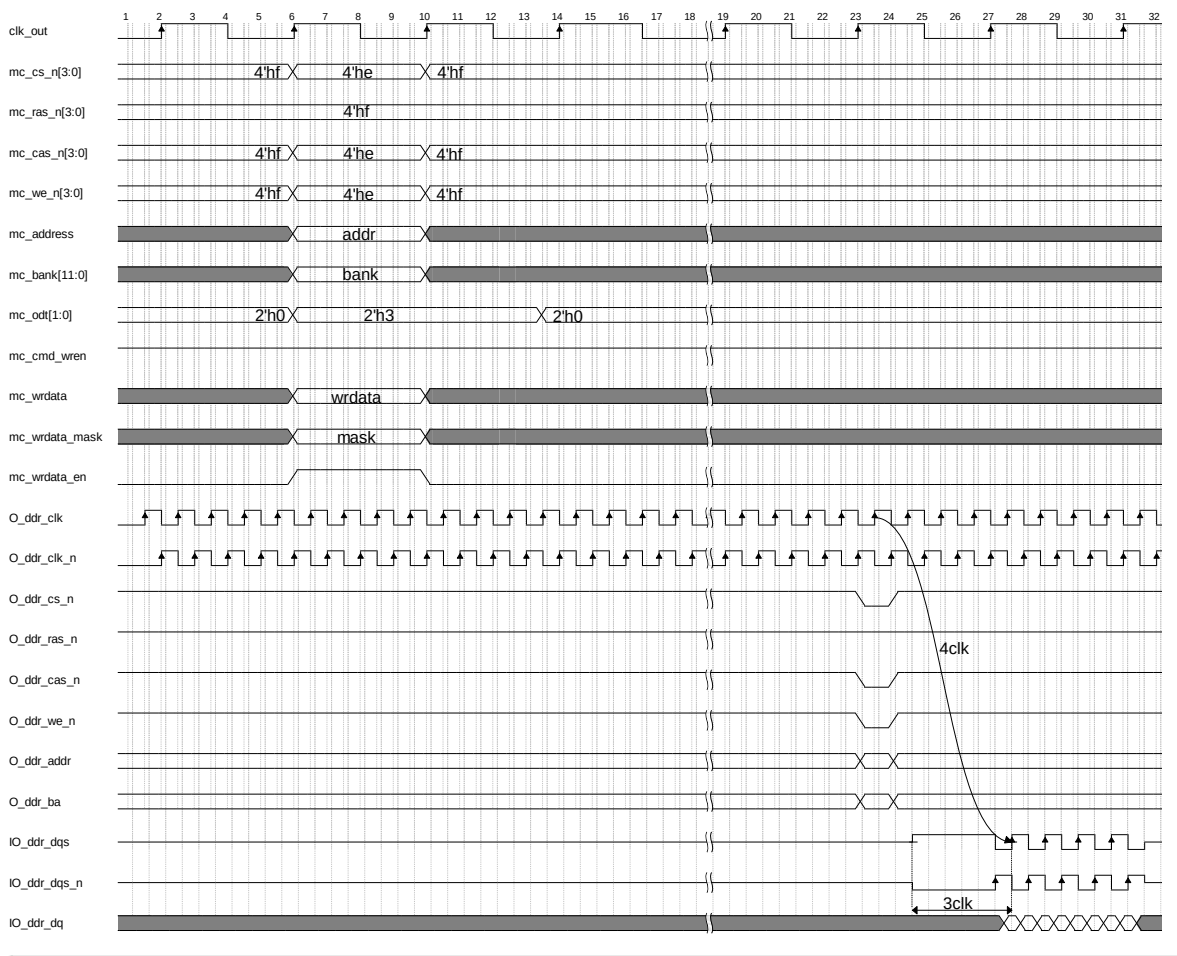


図 3-11 CL=6,AL=0 の場合におけるデータ書き込みタイミング図



CLK Ratio が 1:2 の場合、データ書き込みタイミングは図 3-12、図 3-13、図 3-14、図 3-15、図 3-16 に示すとおりです。

図 3-12 Burst Length=8,CL=3,AL=0 の場合におけるデータ書き込みタイミング図

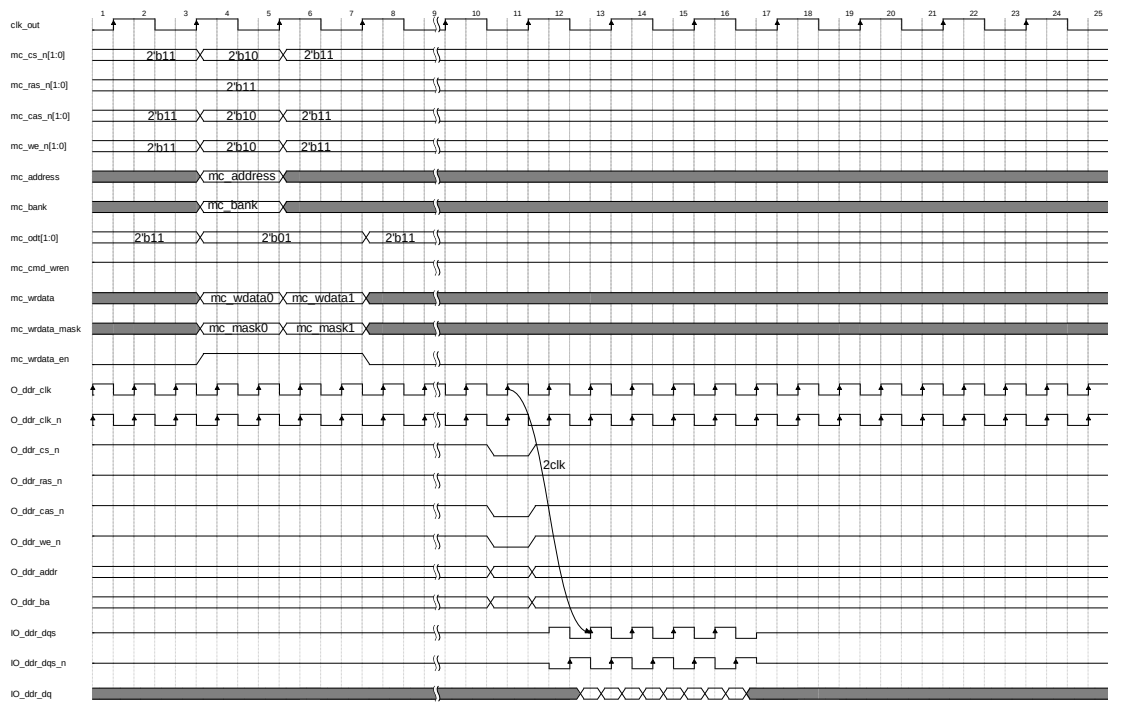


図 3-13 Burst Length=8,CL=4,AL=0 の場合におけるデータ書き込みタイミング図

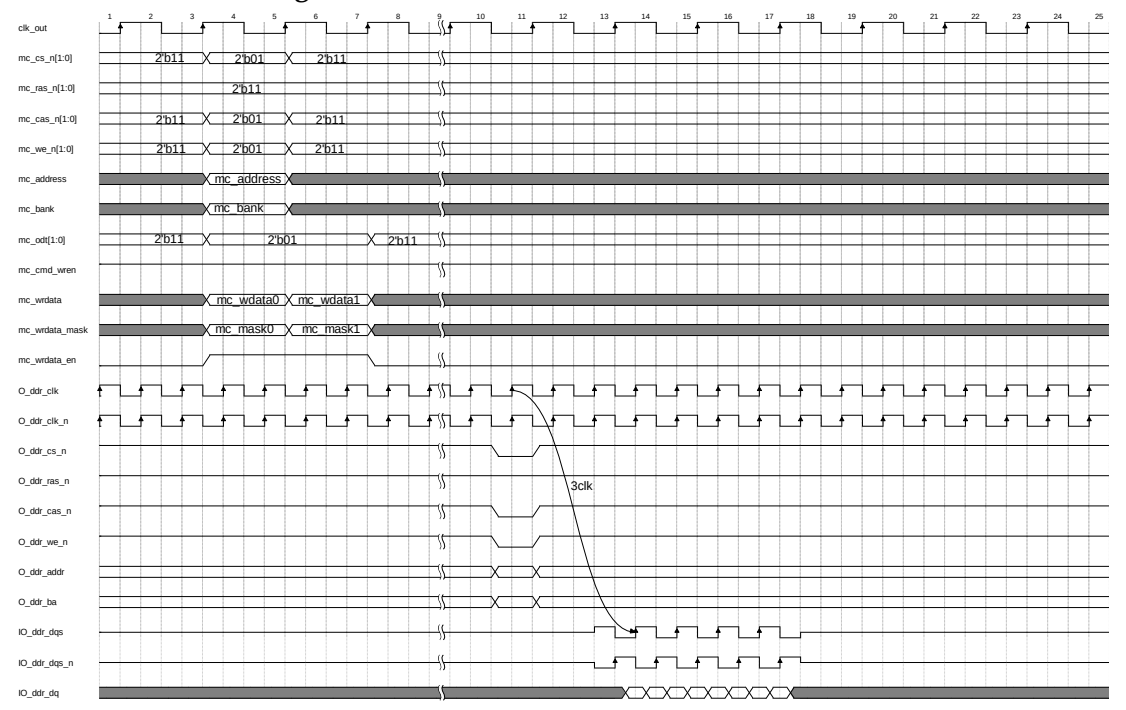


図 3-14 Burst Length=8,CL=5,AL=0 の場合におけるデータ書き込みタイミング図

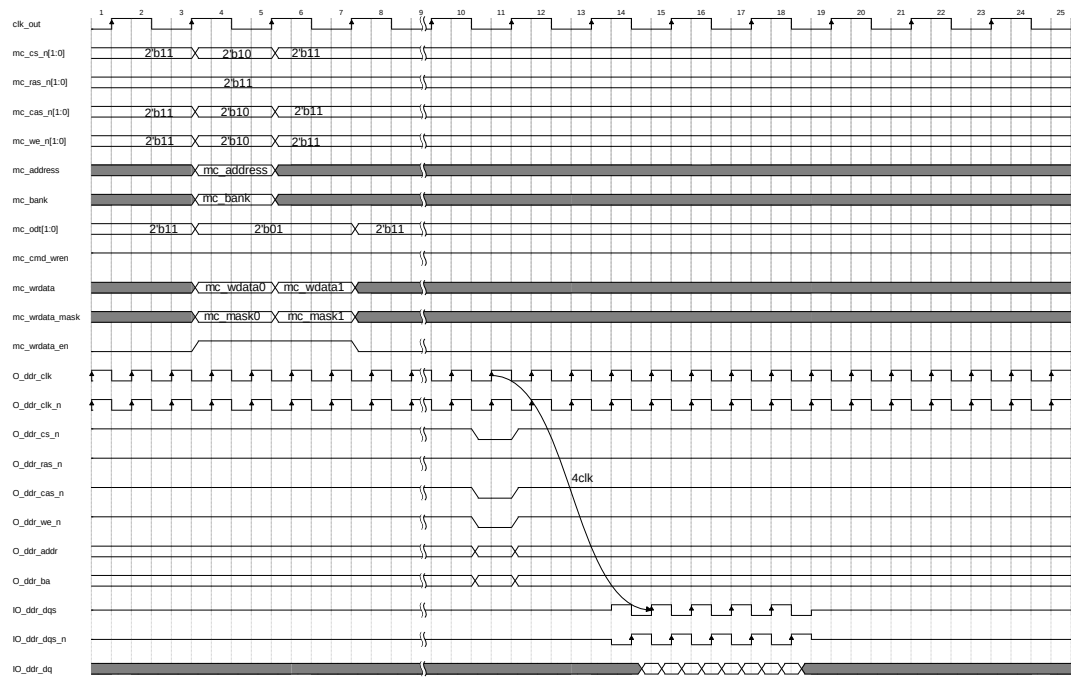


図 3-15 Burst Length=8,CL=6,AL=0 の場合におけるデータ書き込みタイミング図

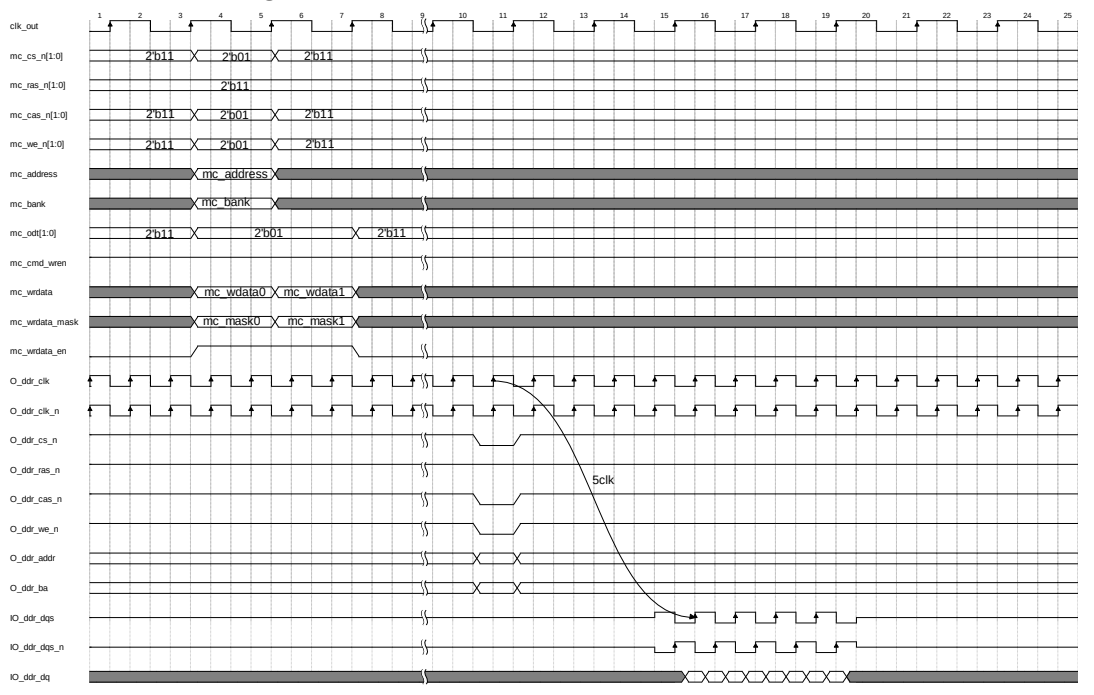
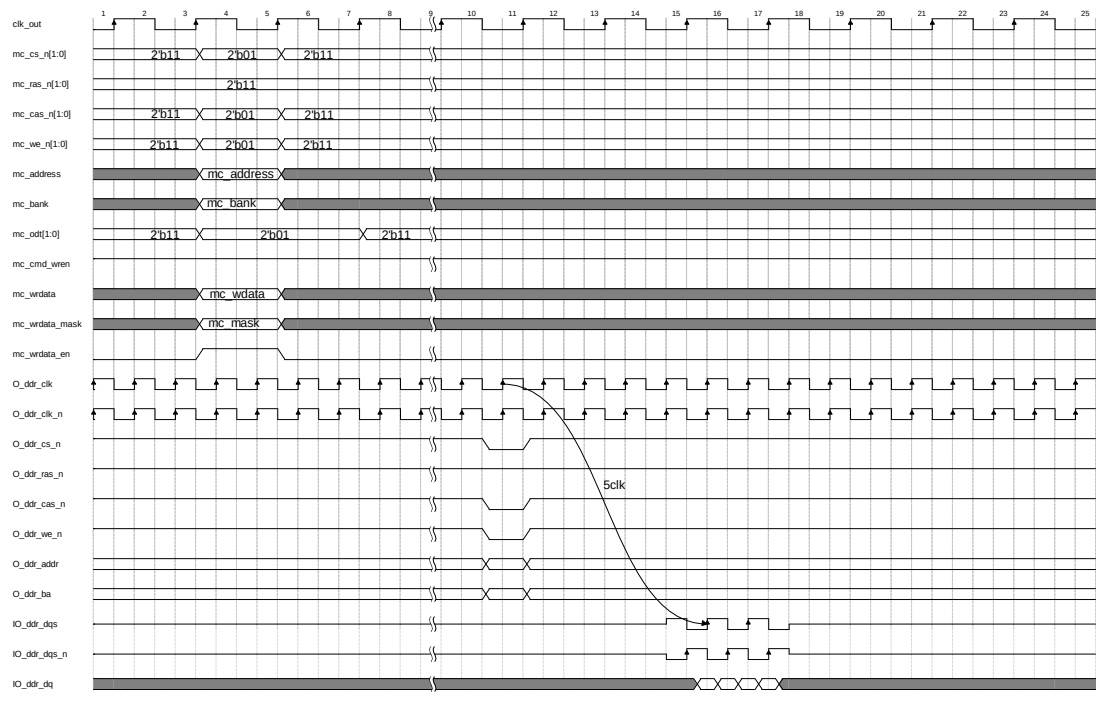


図 3-16 Burst Length=4,CL=6,AL=0 の場合におけるデータ書き込みタイミング図

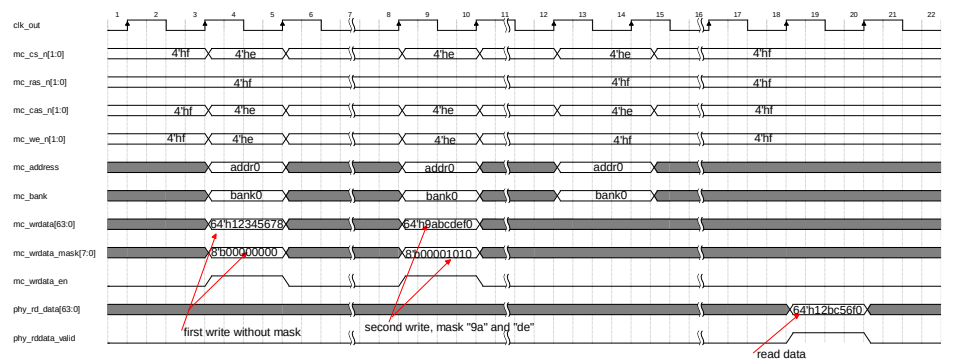


データ・マスク

不要なデータに対しては、データ・マスク信号 (mc_wrddata_mask) を使ってマスクすることができます。mc_wrddata_mask の各ビットは、mc_wrddata の 1 バイトを制御します。つまり、mc_wrddata_mask[n]=1'b1 の場合、mc_wrddata の n 番目のバイトがマスクされます。その対応関係は、mc_wrddata_mask[0]が mc_wrddata[7:0]、mc_wrddata_mask[1]が mc_wrddata[15:8]、mc_wrddata_mask[2]が mc_wrddata[23:16]を制御する……というようになっています。

図 3-17 に示すように、bank0、addr0 への書き込みアクセスは 2 回行われています。1 回目では、mc_wrddata=64'h12345678、mc_wrddata_mask=8'b00000000(つまり、マスクなし)です。2 回目では、mc_wrddata=64'h9abcdef0、mc_wrddata_mask=8'b00001010 であり、つまり 2 バイト目と 4 バイト目はマスクされています。その後、bank0、addr0 への読み出しアクセスが行われ、読み出されたデータは 64'h12bc56f0 です。

図 3-17 データ・マスクのタイミング図



3.2.3 データ読み出しタイミング

読み出しコマンドを送信する時、理論的には読み出しコマンドとデータの間の間隔を調整する必要はありません。読み出しデータは DDR2 メモリによって返されるため、この読み出しデータを取得するには、読み出しキャリブレーションを完了するだけでよいです。DDR2 PHY IP 内部の、読み出しおよび書き込みコマンドを送信するロジックの一部が多重化されているため、MC インターフェースでのデータ読み出しタイミングは、書き込みタイミングと同様です。たとえば、CLK Ratio が 1:4, CL=6, AL=0 の場合、読み出しコマンドは $mc_cs_n[3:0]=4'h7$ 、 $mc_ras_n[3:0]=4'hf$ 、 $mc_cas_n[3:0]=4'h7$ 、 $mc_we_n[3:0]=4'hf$ 。DDR2 PHY の clk ratio が 4:1 であるため、CL=2 の場合におけるデータ読み出しタイミングは CL=6 の場合と同じになります。以下は、CL=6 の場合におけるデータ読み出しタイミングのみを示し、その他の場合については説明を省略します。phy_rddata_valid=1 の場合、phy_rd_data は有効です。読み出しタイミングは、図 3-18 と図 3-19 に示すとおりです。

図 3-18 CLK Ratio=1:4,CL=6,AL=0 の場合におけるデータ読み出しタイミング図

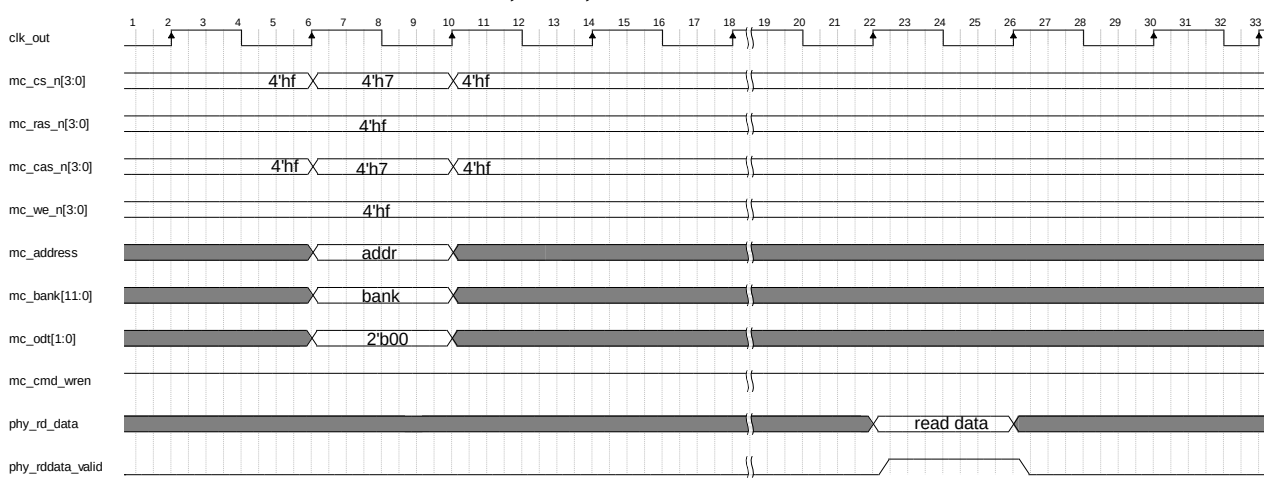
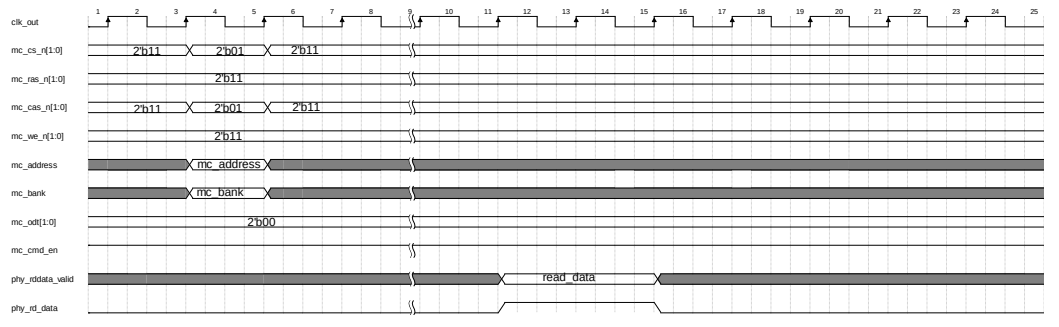


図 3-19 CLK Ratio=1:2,Burst Length=8,CL=6/4,AL=0 の場合におけるデータ読み出しタイミング図

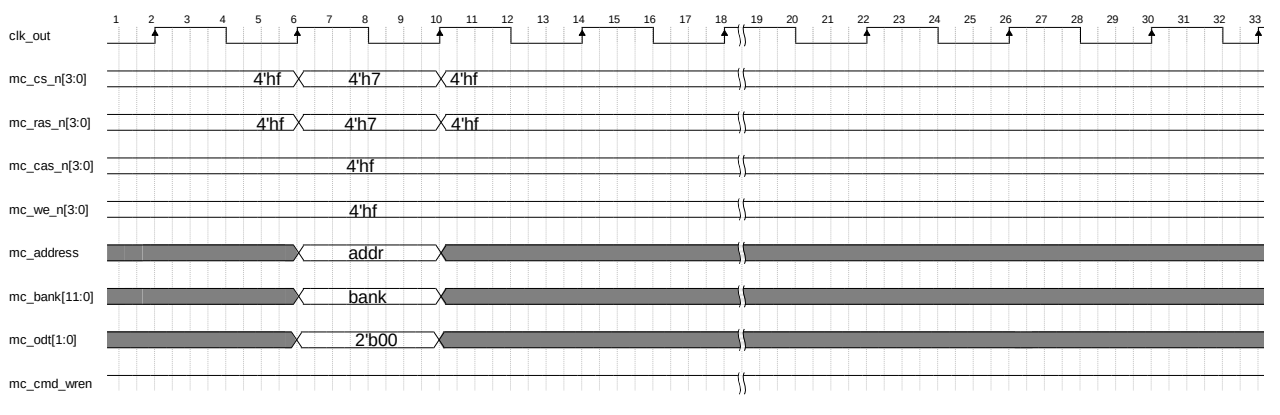


3.2.4 Bank Active

MC がアクティブコマンドを送信するタイミングを下図に示します。

3.2.1 ユーザーインターフェースにおける説明にしたがって、アクティブコマンドとその前後の他のコマンドの間隔を調整して、データの読み出しと書き込みの効率を向上させることができます。

図 3-20 CLK Ratio=1:4 の場合におけるアクティブコマンド送信タイミング



Precharge、Refresh などの DDR2 の他のコマンドは、上記のコマンドと同じ形式で送信されるため、このマニュアルではその説明を省略します。

3.2.5 EYE SCAN

- **eye_calib_start** : 読み出しデータ・ウィンドウ・スキャン機能の開始フラグ。ウィンドウ・スキャン期間中、この信号は High のままです。
- **eye_cmd_rdy** : この信号が High の場合、MC は EYE SCAN モジュールによって送信された **eye_app_cmd_en** および **eye_app_cmd** を受信できます。
- **eye_app_cmd_en** : この信号が High の場合、**eye_app_cmd** は有効です。
- **eye_app_addr** : データ・ウィンドウ・スキャン時のデータ読み出し/

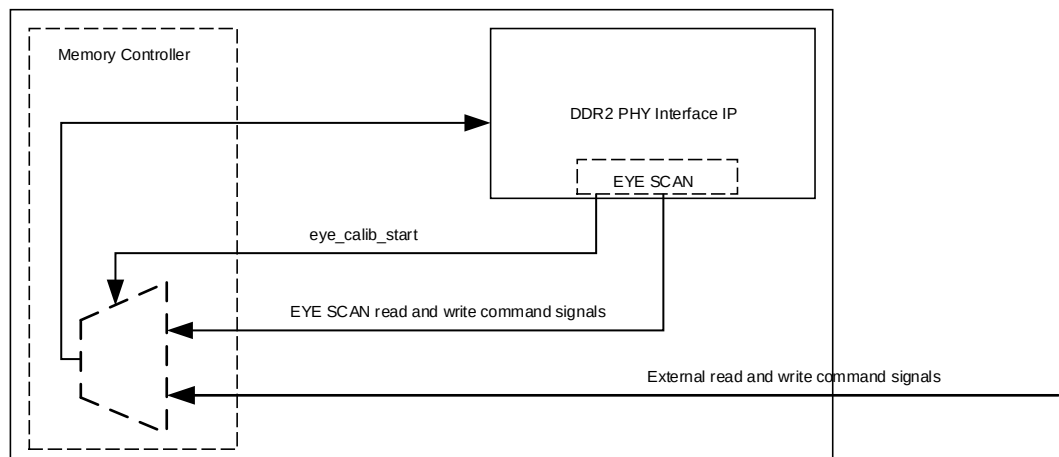
書き込みのアドレス。

- **eye_wdf_rdy** : この信号が High の場合、MC は **eye_app_wdf_wren** および **eye_app_wdf_wdata** を受信できます。
- **eye_app_wdf_wren** : この信号が High の場合、**eye_app_wdf_wdata** は有効です。
- **eye_app_wdf_wdata** : データ・ウィンドウ・スキャン時の書き込みデータ。

DDR2 PHY は、IO LOGIC による dq データ収集の安定性を向上させるための読み出しデータ・ウィンドウ・スキャン機能をサポートしています。EYE SCAN モジュールは MC 層を利用してデータの読み出し/書き込みを行い、DDR2 PHY から返されたデータは PHY IP の EYE SCAN モジュールに直接入力されます。EYE SCAN モジュールは、サンプリング・ポイントを調整するたびに、一組のデータの読み出しと書き込みを行い、データを読み出すことにより現在のサンプリング・ポイントで正しい dq データが収集できるかどうかを判断します。複数の連続したサンプリング・ポイントで正しいデータが収集できる場合、IP はサンプリング・ポイントをサンプリング・ウィンドウの中央に移動します。

EYE_SCAN の読み出し/書き込みコマンド・インターフェースと外部読み出し/書き込みコマンド・インターフェースは、MUX に入る必要があります。eye_calib_start が有効な場合は、EYE_SCAN の読み出し/書き込みコマンド信号が選択されて MC に接続され、それ以外の場合は、外部読み出し/書き込みコマンド信号が選択されて MC に接続されます。

図 3-21 読み出し/書き込みコマンド・インターフェースの選択



3.3 クロック、リセット、および pll_stop

詳細については、『Gowin DDR2 Memory Interface IP ユーザーガイド ([IPUG506](#))』を参照してください。

4ポート一覧

表 4-1 Gowin DDR2 PHY Interface IP のポート一覧

番号	信号名	タイプ	幅(ビット)	説明
User Interface				
1	clk	入力	1	入力リファレンス・クロック。水晶発振器が推奨されます
2	pll_stop	出力	1	Memory_clkのイネーブル信号
3	memory_clk	入力	1	このクロックの周波数は、DDR2メモリーインターフェースのクロックと同じです。GW2Aデバイスを使用する場合、このクロックはPLLの出力または他のクロックに接続します。GW5Aデバイスを使用する場合、このクロックはPLLの出力ポートclkout2に接続する必要があります。3.3クロック、リセット、およびpll_stopにおける説明を参照してください。
4	pll_lock	入力	1	この信号がHighの場合、memory_clkは安定しています。Memory_clkがPLLの出力に接続されている場合、このインターフェースはPLLのlockピンに接続します。
5	rst_n	入力	1	システムリセット信号、アクティブLow
6	mc_cs_n	入力	NCK ^[1]	O_ddr_cs_n信号の出力にマッピングされます
7	mc_ras_n	入力	NCK	O_ddr_ras_n信号の出力にマッピングされます
8	mc_cas_n	入力	NCK	O_ddr_cas_n信号の出力にマッピングされます
9	mc_we_n	入力	NCK	O_ddr_cas_n信号の出力にマッピングされます
10	mc_address	入力	NCK	O_ddr_cas_n信号の出力にマッピングされます

番号	信号名	タイプ	幅(ビット)	説明
			*ROW_WIDTH ^[1]	ングされます
11	mc_bank	入力	NCK *BANK_WIDTH ^[2]	O_ddr_bank信号の出力にマッピングされます
12	mc_reset_n	入力	1	ユーザーロジックではこの信号をHighのままにすればよいです。
13	mc_odt	入力	2	O_ddr_odt信号の出力にマッピングされます
14	mc_cke	入力	4	O_ddr_cke信号の出力にマッピングされます
15	mc_wrdata_en	入力	1	mc_wrdataの書き込みイネーブル信号、アクティブHigh
16	mc_wrdata	入力	NCK *2*DQ_WIDTH ^[3]	メモリに保存されるデータ。 IO_ddr_dq信号の出力にマッピングされます。
17	mc_wrdata_mask	入力	NCK *2*DM_WIDTH ^[4]	データ・マスク。O_ddr_dqm信号の出力にマッピングされます。
18	mc_cmd_wren	入力	1	mc_cs_n、mc_ras_n、mc_cas_n、mc_we_n、mc_address、mc_bank、mc_odt、およびmc_cke信号のイネーブル信号、アクティブHigh。ユーザーは、これらの信号を使用する際にこの信号をHighのままにする必要があります。
19	clk_out	出力	1	ユーザークロック。CLK Ratioが1:4の場合、周波数はmemory_clkの1/4。 CLK Ratioが1 : 2の場合、周波数はmemory_clkの1/2。
20	ddr_rst	出力	1	IPからのリセット。一般に、このリセット信号をユーザーロジックのリセットとして使用することは推奨されません。
21	phy_rddata_valid	出力	1	phy_rd_data有効信号、アクティブHigh。
22	phy_rd_data	出力	NCK *2*DQ_WIDTH	DDR2から読み出されるデータ
23	init_calib_complete	出力	1	初期化完了信号、アクティブHigh
24	eye_calib_start	出力	1	ウィンドウ・スキャンのイネーブル、コマンド、およびデータ。詳しくは3.2.5 EYE SCANを参照してください。
25	eye_cmd_rdy	入力	1	
26	eye_app_cmd_en	出力	1	
27	eye_app_cmd	出力	3	
28	eye_app_addr	出力	[ADDR_WIDTH ^[5] -1:0]	

番号	信号名	タイプ	幅(ビット)	説明
29	eye_wdf_rdy	入力	1	
30	eye_app_wdf_wren	出力	1	
31	eye_app_wdf_wdata	出力	[APP_DATA_WIDTH ^[6] -1:0]	
DDR2 SDRAM Interface				
29	O_ddr_addr	出力	ROW_WIDTH	PHYインターフェース信号：Row/Columnアドレス信号線。
30	O_ddr_ba	出力	BANK_WIDTH	PHYインターフェース信号：bank信号線。
31	O_ddr_cs_n	出力	1	PHYインターフェース信号：チップセレクト信号線。
32	O_ddr_ras_n	出力	1	PHYインターフェース信号：Rowアドレスストロブ信号線。
33	O_ddr_cas_n	出力	1	PHYインターフェース信号：Columnアドレスストロブ信号線。
34	O_ddr_we_n	出力	1	PHYインターフェース信号：書き込みイネーブル信号線。
35	O_ddr_clk	出力	1	PHYインターフェース信号：clk差動信号のP側。
36	O_ddr_clk_n	出力	1	PHYインターフェース信号：clk差動信号のN側。
37	O_ddr_cke	出力	1	PHYインターフェース信号：クロックイネーブル信号線。
38	O_ddr_odt	出力	1	PHYインターフェース信号：終端抵抗制御信号線。
39	O_ddr_reset_n	出力	1	PHYインターフェース信号：メモリのリセット信号線。
40	O_ddr_dqm	出力	DM_WIDTH	PHYインターフェース信号：dqデータマスク信号線。
41	IO_ddr_dq	双方向	DQ_WIDTH	PHYインターフェース信号：dq信号線。
42	IO_ddr_dqs	双方向	DQS_WIDTH ^[8]	PHYインターフェース信号：dqs信号のP側。
43	IO_ddr_dqs_n	双方向	DQS_WIDTH	PHYインターフェース信号：dqs信号のN側。

注記：

- ^[1] NCK：クロック比パラメータ。CLK Ratio が 1:4 の場合、NCK=4、CLK Ratio が 1:2 の場合、NCK=2 となります。
- ^[2] ROW_WIDTH：DDR2 メモリの Row アドレスの幅。
- ^[3] BANK_WIDTH：メモリの Bank アドレスの幅。
- ^[4] DQ_WIDTH：Dq の幅。
- ^[5] DM_WIDTH：Dqm の幅(DQ_WIDTH/8)。

- ^[6]ADDR_WIDTH : 入力アドレスの幅
(RANK_WIDTH+BANK_WIDTH+ROW_WIDTH+ COL_WIDTH^[9]、そのうち RANK_WIDTH=1)。
- ^[7]APP_DATA_WIDTH : ユーザーインターフェースのデータ幅
(NCK*2*DQ_WIDTH)。
- ^[8]DQS_WIDTH : Dqs の幅(DQ_WIDTH/8)。
- ^[9]COL_WIDTH : メモリの Column アドレスの幅。

5 呼び出しと構成

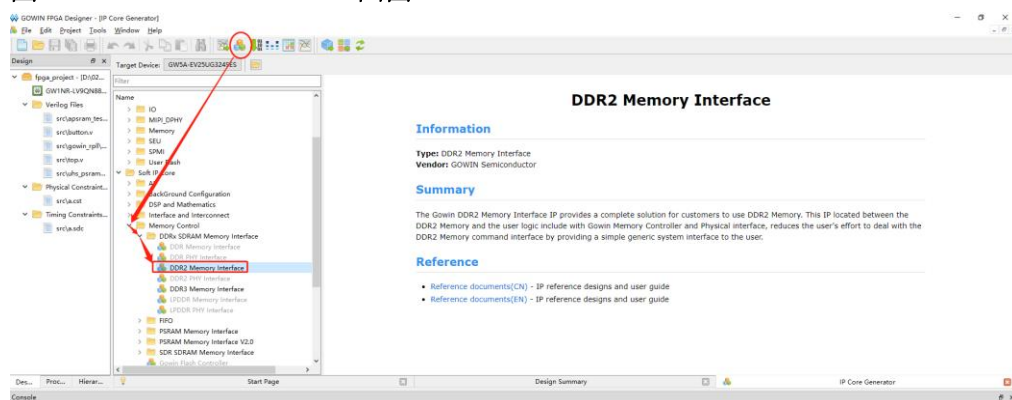
5.1 IP の呼び出し

Gowin ソフトウェア GUI の「」、または「メニューバー > Tools > IP Core Generator」をクリックして、IP を呼び出し・構成することができます。

1. IP Core Generator を開く

プロジェクトが作成された後、「IP Core Generator」アイコンをクリックして、Gowin の IP コア生成ツールを開きます(図 5-1)。

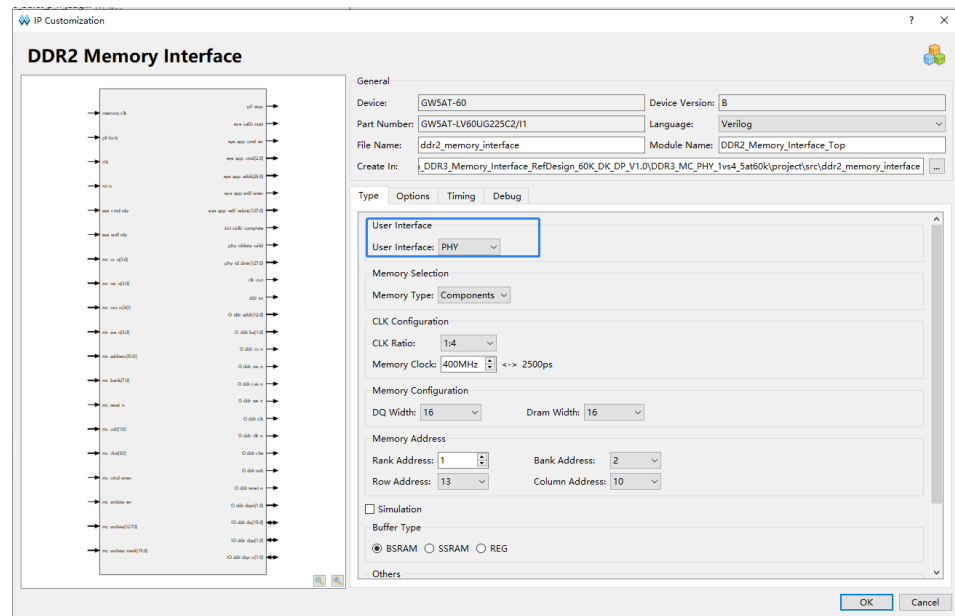
図 5-1 IP Core Generator の画面



2. IP を開く

「Soft IP Core > Memory Control > DDRx SDRAM Memory Interface > DDR2 Memory Interface」をダブルクリックして DDR2 Memory Interface IP の構成画面を開きます。下図の User Interface オプションで PHY を選択します(図 5-2)。

図 5-2 DDR2 PHY Interface の構成画面



- 「File Name」フィールドでファイルの名前を構成できます。
- 「Module Name」フィールドでトップ・モジュールの名前を構成できます。
- 「Options」タブでその他のオプションを構成できます。

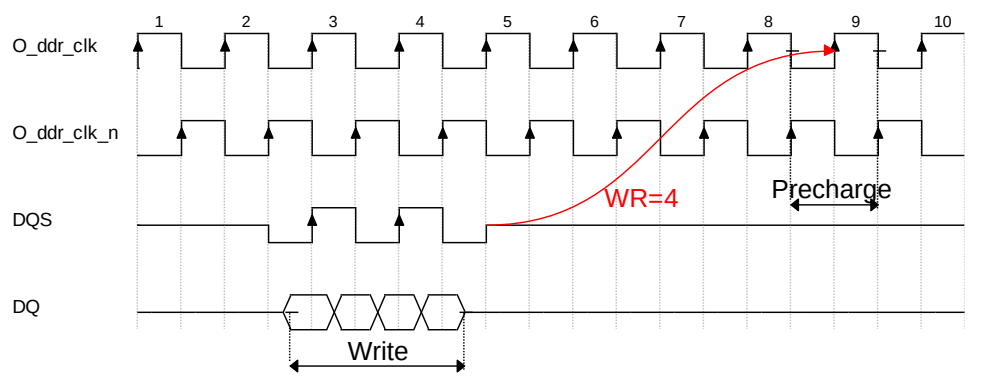
5.2 パラメータの構成

- **Memory Type** : IP がサポートするメモリタイプ。Components およびシングルランクの DIMM (RDIMM、UDIMM、SODIMM) がサポートされます。
- **Memory Clock** : メモリ・インターフェース・クロックの周波数。動作クロックおよび実際のニーズに従って入力します。
- **CLK Ratio** : ユーザー・インターフェース・クロックの周波数とメモリ・インターフェース・クロックの周波数の比。1:4 および 1:2 がサポートされます。
- **DQ Width** : 合計 DQ 幅。8、16、24、32、40、48、56、64 がサポートされます。ユーザーが 2 つのメモリを使用し、各メモリのデータ幅が 16 の場合、DQ Width は 32 である必要があります。
- **Dram Width** : 各メモリのデータ幅。8 または 16 がサポートされます。

- **Rank Address** : 1 に固定。IP が Rank アドレスをサポートしていないため、このパラメータは機能しません。
- **Bank Address** : Bank アドレスの幅。2 または 3。
- **Row Address** : Row アドレスの幅。12、13、14、15、または 16。
- **Column Address** : Column アドレスの幅。9 または 10。
- **Sim** : シミュレーション加速オプション。チェックを入れるとシミュレーションが加速されます。ボードレベル・テスト段階ではチェックを入れる必要はありません。
- **Buffer Type** : IP 内部のデータバッファリングに使用されるハードウェアリソース。BSRAM、SSRAM、または REG がサポートされます。
- **ADDR Width** : ユーザー・インターフェースのアドレス幅。読み出し専用。サイズは Rank Address+ Bank Address+ Row Address+ Column Address で、設定不可です。最上位ビットである Rank_Address は使用できないため、0 に固定してよいです。
- **Data Width** : ユーザー・インターフェースのデータ幅。CLK Ratio が 1:4 の場合、幅は 8*DQ Width で、CLK Ratio が 1:2 の場合、幅は 4*DQ Width です。
- **Mask Width** : データ・マスクの幅。Data Width/8。
- **Burst Mode** : バーストモード。CLK Ratio が 1:4 の場合、8(BL8)に固定。CLK Ratio が 1:2 の場合、4(BL4)または 8 がサポートされます。関連するユーザー・インターフェースのタイミングについては、3.2.2 データ書き込みタイミング、3.2.3 データ読み出しタイミングを参照してください。
- **Burst Type** : バーストタイプ。SEQ または INT がサポートされます。SEQ を選択した場合、バーストタイプは Sequential バースト、INT を選択した場合、バーストタイプは Interleave バーストです。
- **CAS Latency** : コマンドとデータ間の遅延（略して CL）は、2、3、4、5、または 6 がサポートされます。ユーザーは、選択したメモリ・モデルのデータシートに従って適切な CL を選択する必要があります。
- **Additive Latency** : 追加の遅延（略して AL）は、0、1、2、3、4、または 5 がサポートされます。DDR2 は、Active コマンドと Read/Write コマンドの送信タイミングが競合する場合に効率を向上できる Posted CAS テクノロジーをサポートしています。AL=tRCD_{min}-1。
- **Write Recovery** : 書き込み回復時間(略して WR)。2、3、4、5、または 6 がサポートされます。書き込み回復時間とは、アクティブ化された Bank で有効な書き込み操作が完了してからプリチャージ・コマンドを発行するまでに待機する必要があるクロック・サイクル数です。たとえば、図 5-3 に示すように、WR = 4 の場合、書き込み操作が完

了した後、プリチャージ・コマンドを発行する前に 4 クロック・サイクル待機する必要があります。

図 5-3 WR=4 の場合における WR タイミング図



- **Rtt Nom** : DDR2 メモリのオンダイ終端抵抗の抵抗値を構成します。OFF、75、150、50 がサポートされます。ソース (FPGA) から終端 (DDR2 メモリ) までの物理線路上の信号の反射を防ぐために、**Rtt_Nom** の抵抗値は PCB ラインの特性インピーダンスと同じである必要があります。
- **OUTPUT DRV** : 出力ドライブ強度の制御。Full Strength または Reduced Strength がサポートされます。このパラメータは、DDR2 メモリの DQS および DQ 信号のドライブ強度を構成するために使用されます。デフォルトでは Full Strength です。Reduced Strength に構成した場合における DQS および DQ 信号のドライブ強度は Full Strength に構成した場合よりも低くなります。この構成は信号の整合性(signal integrity)に影響を与えます。ビット・エラーが発生した場合は、このパラメータを調整してみてください。
- **DDR2 DQSN Enable** : IO_ddr_dqs_n ポートを有効にします。

表 5-1 DDR2 のタイミングパラメータ

オプション	説明
t _{CKE}	CKE信号の最小パルス時間(ps)
t _{FAW}	同じrankで4つ以上の行アクティブコマンドの同時送信を許容する間隔。そのため、t _{RRD} の4倍以上である必要があります。
t _{RAS}	ACTIVEからPRECHARGEまでの時間
t _{RCD}	ACTIVEからREADまたはWRITEまでの時間
t _{REFI}	メモリリフレッシュの間隔
t _{RFC}	REFRESHからACTIVE/REFRESHまでの間隔
t _{RP}	PRECHARGE時間
t _{RRD}	異なるBank間のACTIVEからACTIVEまでの間隔
t _{RTP}	READからPRECHARGEまでの間隔
t _{WTR}	WRITEからREADまでの間隔

オプション	説明
t _{RC}	同じBankでのACTIVEからACTIVEまでの時間
t _{DLLK}	Self Refresh終了遅延

