



Gowin DDR3 PHY Interface IP ユーザーガイド

IPUG1182-1.1J, 2024-03-29

著作権について(2024)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云及び **Gowin** は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale(GOWINSEMI取引条件)に規定されている内容を除き、(明示的か又は黙示的に拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2024/02/23	1.0J	初版。
2024/03/29	1.1J	ユーザーインターフェースのタイミング図を更新。

目次

目次	i
図一覧	ii
表一覧	iii
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	1
1.4 テクニカル・サポートとフィードバック	2
2 概要	3
2.1 概要	3
2.2 特徴	3
2.3 リソース使用量	4
3 機能の説明	5
3.1 構造	5
3.2 ユーザーインターフェースとタイミングの説明	6
3.2.1 ユーザーインターフェース	6
3.2.2 データ書き込みタイミング	8
3.2.3 データ読み出しタイミング	12
3.2.4 Bank Active	13
3.2.5 EYE SCAN	13
3.2.6 温度適応調整	14
3.3 クロック、リセット、および FIFO _stop	15
4 ポート一覧	16
5 呼び出しと構成	20
5.1 IP の呼び出し	20
5.2 パラメータの構成	21

図一覧

図 3-1 Gowin DDR3 PHY Interface IP の構造	5
図 3-2 初期化完了信号のタイミング図	6
図 3-3 OSER8 による O_dds_cs_n 出力	6
図 3-4 O_dds_cs_n の出力タイミング図	7
図 3-5 OSER8 による O_dds_odt 出力	7
図 3-6 CWL=5,AL=0 の場合におけるデータ書き込みタイミング図	9
図 3-7 CWL=6,AL=0 の場合におけるデータ書き込みタイミング図	10
図 3-8 CWL=7,AL=0 の場合におけるデータ書き込みタイミング図	11
図 3-9 CWL=8,AL=0 の場合におけるデータ書き込みタイミング図	12
図 3-10 CL=6,AL=0 の場合におけるデータ読み出しタイミング図	13
図 3-11 アクティブコマンドを送信するタイミング	13
図 3-12 読み出し/書き込みコマンド・インターフェースの選択	14
図 5-1 IP Core Generator の画面	20
図 5-2 DDR3 PHY Interface の構成画面	21

表一覧

表 1-1 用語、略語	1
表 2-1 Gowin DDR3 PHY Interface IP の概要.....	3
表 2-2 リソース使用量	4
表 4-1 Gowin DDR3 PHY Interface IP のポート一覧.....	16
表 5-1 IP の構成オプション	21
表 5-2 DDR3 の時間パラメータ	22

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、ユーザーが Gowin DDR3 PHY Interface IP を使いこなせるよう、その機能、ポート、タイミング、呼び出しと構成、およびリファレンス・デザインについて説明します。本マニュアルに記載のソフトウェア GUI のスクリーンショットは、Gowin ソフトウェア 1.9.9.01 バージョンの場合のものです。ソフトウェアのアップデートにより、一部の内容が変更される場合があります。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- Gowin ソフトウェア ユーザーガイド([SUG100](#))
- GW5AT シリーズ FPGA 製品データシート([DS981](#))
- GW5A シリーズ FPGA 製品データシート([DS1103](#))
- GW5AST シリーズ FPGA 製品データシート([DS1104](#))
- GW5AR シリーズ FPGA 製品データシート([DS1108](#))
- GW2A シリーズ FPGA 製品データシート([DS102](#))
- GW2AR シリーズ FPGA 製品データシート([DS226](#))
- GW2AN-18X & 9X FPGA 製品データシート([DS971](#))
- GW2AN-55 FPGA 製品データシート([DS976](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
DDR3 SDRAM	Double-Data-Rate Three	DDR3同期ダイナミック

用語、略語	正式名称	意味
	Synchronous Dynamic Random Access Memory	RAM
FIFO	First Input First Output	先入れ先出し
IP	Intellectual Property	設計資産
LUT	Look-up Table	ルックアップテーブル
MC	Memory Controller	メモリコントローラ
PHY	Physical Layer	物理層
PLL	Phase-locked Loop	位相同期回路
REG	Register	レジスタ

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ: www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

2.1 概要

Gowin DDR3 PHY Interface IP は、DQS 回路ハードコアなどのハードコア・リソースを統合しており、DDR3 PHY の機能を実現します。ユーザーは、完全な MC+PHY IP を形成するために、DDR3 PHY Interface IP に接続するための MC 層を実装する必要があります。

表 2-1 Gowin DDR3 PHY Interface IP の概要

Gowin DDR3 PHY Interface IP	
ロジックリソース	表2-2参照
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンス・デザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis
統合開発環境	Gowinソフトウェア(V1.9.9.01以降)

注記：

デバイスのサポート情報は、Gowin セミコンダクターの[ホームページ](#)で確認できます。

2.2 特徴

- GW2A-18、GW2AR-18、GW2A-55、GW5A(S)(T)-138、GW5A(R)-25 などの FPGA デバイスをサポート
- JESD79-3F 規格に準拠
- 8、16、24、32、40、48、56、64、72 ビットのデータ・パス幅をサポート
- シングルランク RDIMM、UDIMM、及び SODIMM メモリモジュールをサポート
- x8/x16 データ幅のメモリをサポート

- BURST MODE は 8
- Memory clk と User clk の周波数比は 4 : 1
- CL、AL、CWL、t_{FAW}、t_{RAS}、t_{RCD}、t_{RFC}、t_{RRD}、t_{RTP}、t_{WTR} は構成可能
- ODT の動的制御をサポート

2.3 リソース使用量

Gowin DDR3 PHY Interface IP は、Verilog で実装され、そのパフォーマンスとリソース使用量は、使用されているデバイスの密度、スピードグレードなどにより異なる場合があります。例えば、GW5A(R)-25 の場合、デフォルトの構成でのリソース使用量は表 2-2 に示すようになります。他のデバイスでのリソース使用量については、その最新情報を参照してください。

表 2-2 リソース使用量

デバイス	プログラミング言語	LUTs	Registers	ALUs	BSRAM
GW5A(R)-25	Verilog HDL	2240	3458	205	16

注記：

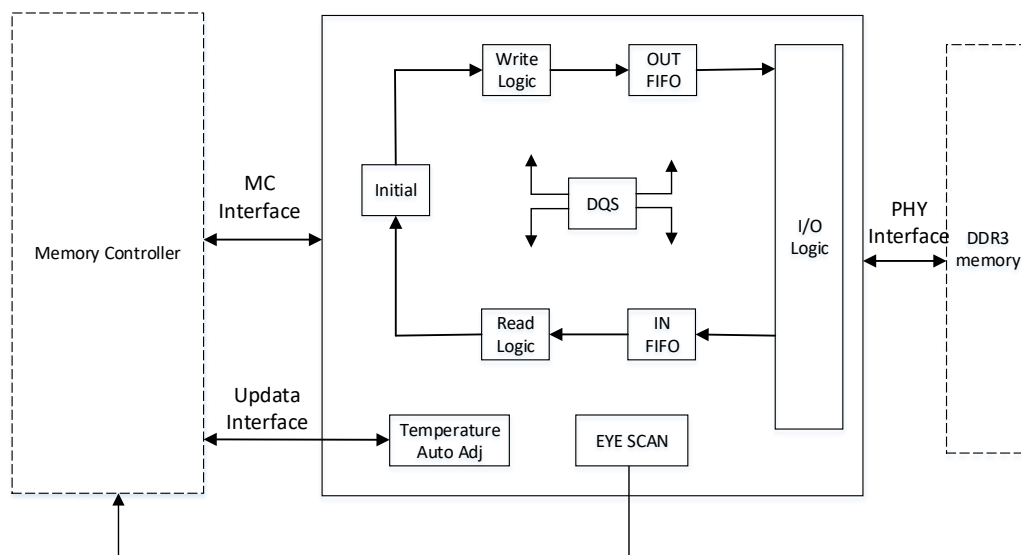
GW5A(R)-25 シリーズ FPGA の SSRAM リソースは現在利用できないため、DDR3 PHY の内部ストレージ・リソースとして BSRAM を使用します。これは後で SSRAM に置き換えられます。

3 機能の説明

3.1 構造

Gowin DDR3 PHY Interface IP は、主に制御ロジック、I/O ロジック、ストレージ・ロジックの 3 つの部分で構成されます(図 3-1)。

図 3-1 Gowin DDR3 PHY Interface IP の構造



- **Memory Controller** : 本マニュアルに従って自分で設計、実装する必要があります
- **Initial** : Write Leveling および Read Calibration 機能を実装するための初期化モジュール
- **Write Logic、Read Logic** : 読み出しおよび書き込み制御ロジックを実装します
- **OUT FIFO、IN FIFO** : 書き込み/読み出しデータおよびコマンドのバッファリングに使用されます
- **EYE SCAN** : 読み出しデータ・ウィンドウ・スキャン機能を実装します。詳細については、**3.2.5_EYE SCAN** を参照してください

- Temperature Auto Adj : 温度適応機能モジュール。DDR3 PHY IP は -40°C~85°Cをサポートします

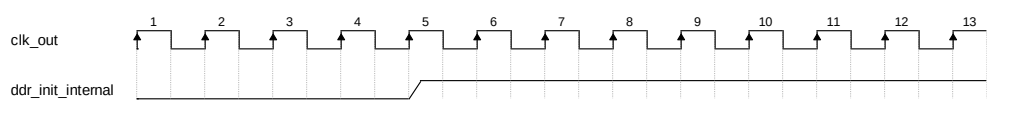
3.2 ユーザーインターフェースとタイミングの説明

3.2.1 ユーザーインターフェース

初期化完了インターフェース

ddr_init_internal : DDR3 SDRAM は、通常書き込みおよび読み出し操作を実行するには、校正する必要があります。したがって、IP は電源投入後に DDR3 SDRAM を初期化(校正)し、初期化後に ddr_init_internal は High になります(図 3-2)。

図 3-2 初期化完了信号のタイミング図

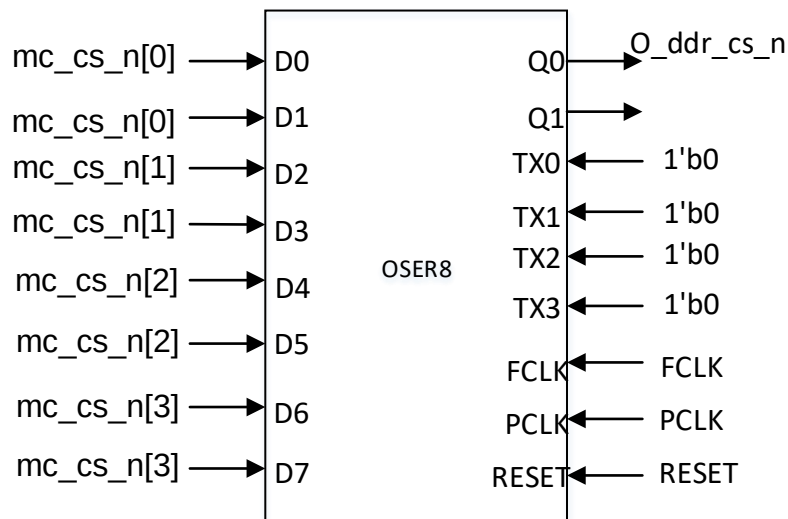


制御信号およびアドレス信号インターフェース

mc_cs_n : この信号は 4 ビット信号で、1 ビットの O_ddr_cs_n 信号出力にマッピングされます。ここで 4 ビットで 1 ビットの信号出力を制御するように設定されているのは、主に O_ddr_cs_n の出力を正確に制御するためです。つまり、O_ddr_cs_n を O_ddr_clk のどのクロックエッジで出力するかを正確に制御するためです。

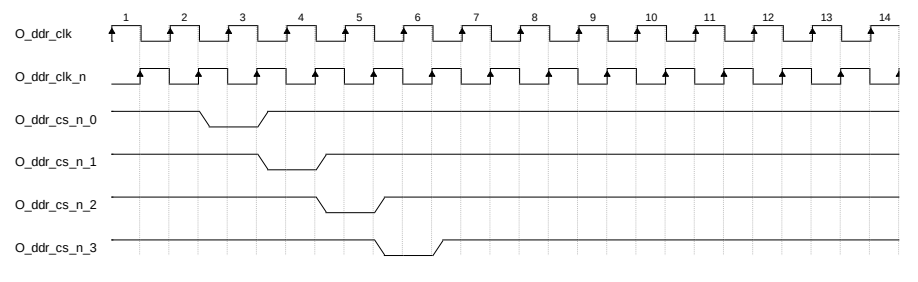
mc_cs_n は、次の図に示すように、一連のロジックを通過した後、OSER8 によって出力されます。

図 3-3 OSER8 による O_ddr_cs_n 出力



mc_cs_n[3:0]=4'b1110、4'b1101、4'b1011、または 4'b0111 の場合、有効な O_ddr_cs_n を出力できます。

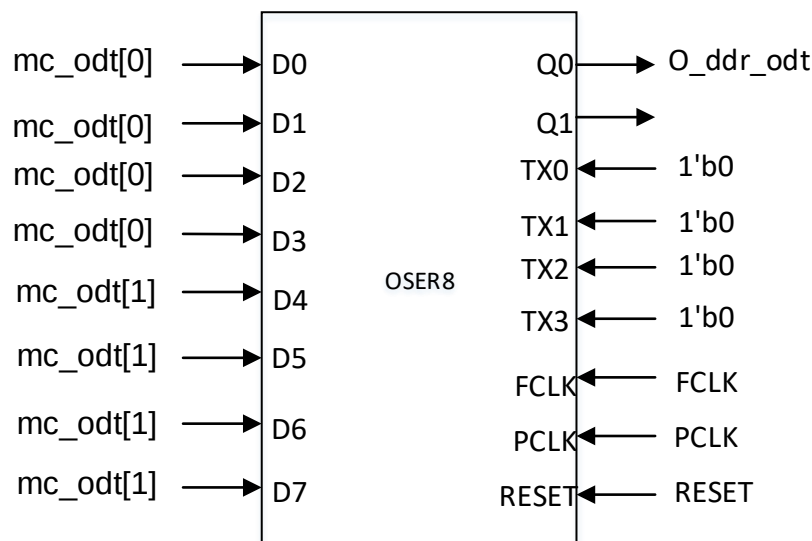
図 3-4 O_ddr_cs_n の出力タイミング図



mc_cs_n[3:0]=4'b1110 のとき、O_ddr_cs_n の出力は O_ddr_cs_n_0 の波形であるとする、mc_cs_n[3:0]=4'b1101 のとき、O_ddr_cs_n の出力は O_ddr_cs_n_1 の波形になり.....つまり、mc_cs_n[3:0]のバイナリ 0 が左に 1 ビットシフトされるたびに、OSER8 により出力される O_ddr_cs_n の Low レベルは 1 クロックサイクル分右にシフトされます。

- mc_ras_n、mc_cas_n、mc_we_n、mc_cke : これらの信号の使用方は mc_cs_n 信号と同様であるため、ここでは説明しません。
- mc_odt : この信号は 2 ビット信号であり、ロジック内部で mc_odt は 4 ビットに変換され、OSER8 に接続されます。

図 3-5 OSER8 による O_ddr_odt 出力



したがって、mc_odt の値が 1 ビット変化するたびに、実際に出力される O_ddr_odt の波形は 2 O_ddr_clk サイクル分変化します。

- mc_address : Row/Column アドレスを転送する信号です。信号幅は 4*ROW_WIDTH^[1]です。その使用方は上記の mc_cs_n などの信号と似ていますが、相違点もあります。mc_address が OSER8 を介して送信されるという点は同じであり、タイミング制御も同じです。異なる点は、信号が OSER8 を介して送信される前にマッピング・変換されることです。そのマッピング関係は次のとおりです。

注記：

^[1]表 4-1 の注記[1]を参照してください。

$mc\_address\_tmp[j*ROW\_WIDTH+i] \Rightarrow mc\_address[i*4+j]$ ($i \geq 0$, $i < ROW\_WIDTH$, $j \geq 0$, $j < 4$)。

$mc\_address\_tmp$ はマッピング後のアドレスです。 $mc\_address\_tmp$ の 4 ビットごとに O_ddr_addr の 1 ビット出力が決定されます。つまり、 $mc\_address\_tmp[3:0]$ は $O\_ddr\_addr[0]$ 信号の出力を制御し、 $mc\_address\_tmp[7:4]$ は $O\_ddr\_addr[1]$ 信号の出力を制御し、以降も同様とします。

$j=0,1,2,3$ とし、 $i=0$ のとき、対応する $mc\_address$ の 4 ビットは $O\_ddr\_addr[0]$ の出力を決定し、 $i=1$ のとき、対応する $mc\_address$ の 4 ビットは $O\_ddr\_addr[1]$ の出力を決定するというように、 $i=ROW\_WIDTH-1$ のとき、対応する $mc\_address$ の 4 ビットは O_ddr_addr の最上位ビットの出力を決定します。

ユーザーは、実際に MC に書き込まれたアドレスをマッピングしてから、 $mc\_address$ に接続する必要があります。

- mc_bank : この信号の使用方法は $mc\_address$ と同じです。

データインターフェース

- mc_cmd_wren : 制御ラインとアドレス・ラインの送信タイミングはパイプライン化されているので、この信号は High のままにすればよいです。
- $mc\_wrddata$: この信号の値は、ユーザーが MC に書き込んだ元の値です。
- $mc\_wrddata\_mask$: この信号は $mc\_wrddata$ のマスク信号であり、その 1 ビットは $mc\_wrddata$ の 1 バイトに対応し、下位ビットは $mc\_wrddata$ の下位バイトに対応します。
- $mc\_wrddata\_en$: $mc\_wrddata\_en$ が 1 の場合、 $mc\_wrddata$ と $mc\_wrddata\_mask$ は有効です。
- phy_rd_data : DDR3 メモリから読み出されたデータです。
- phy_rddata_valid : この信号が 1 の場合、 phy_rd_data は有効です。

3.2.2 データ書き込みタイミング

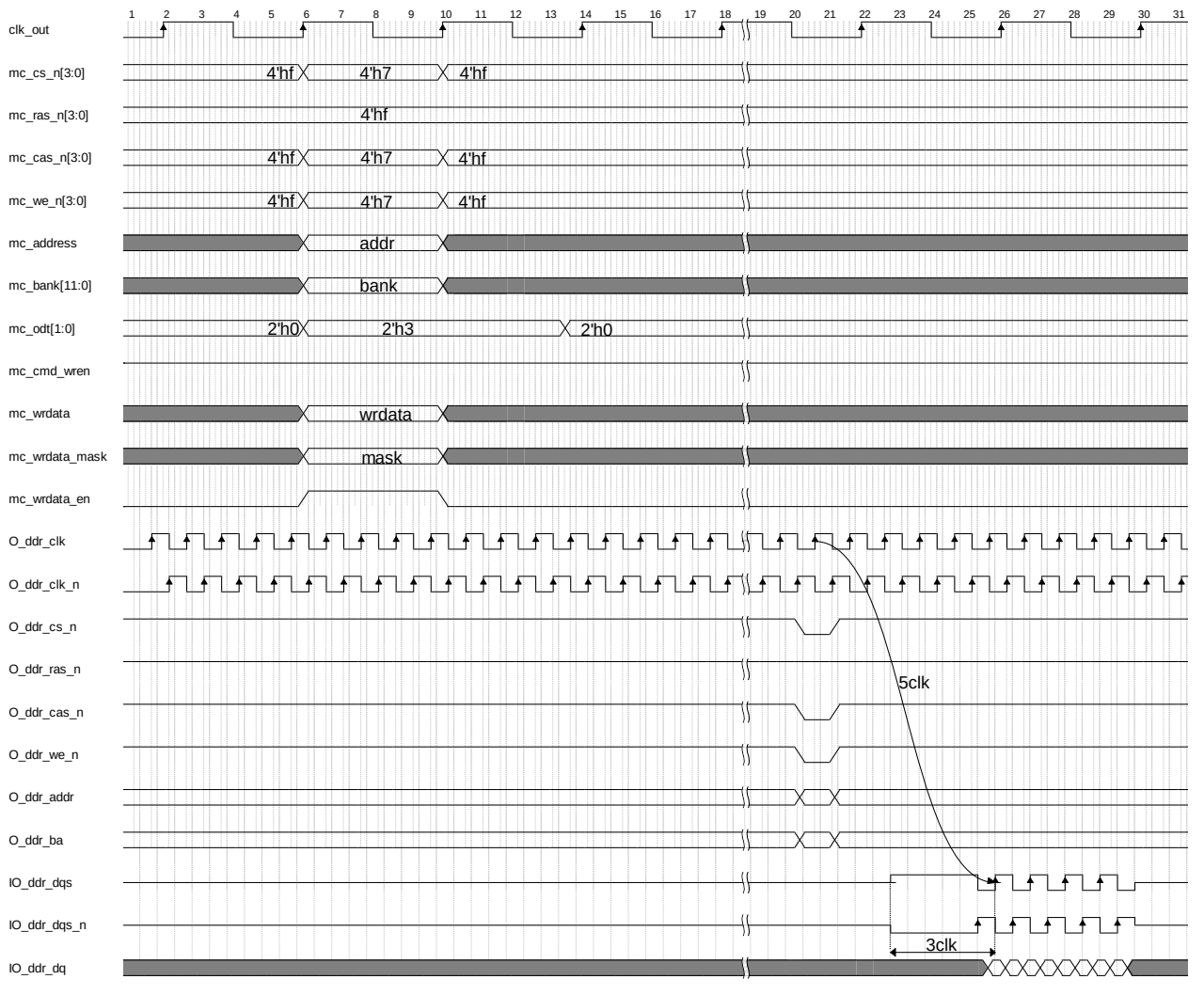
ユーザーインターフェースの説明によれば、 mc_cs_n 、 mc_ras_n 、 mc_cas_n 、および mc_we_n のバイナリ 0 の位置を変更することで、書き込みコマンドと書き込みデータの間隔(CWL)を調整できることが分かります。

事前に IO_ddr_dqs および $IO\_ddr\_dqs\_n$ のハイインピーダンス状態を中断する必要があります。これは、GW5A シリーズ FPGA のハードウェア特性に基づく適応です。図 3-6、図 3-7、図 3-8、図 3-9 は、さまざま

また CWL 値の場合におけるデータ書き込みタイミングを示しています。
ここで、clk_out と O_ddr_clk のクロック比は 1:4 です。

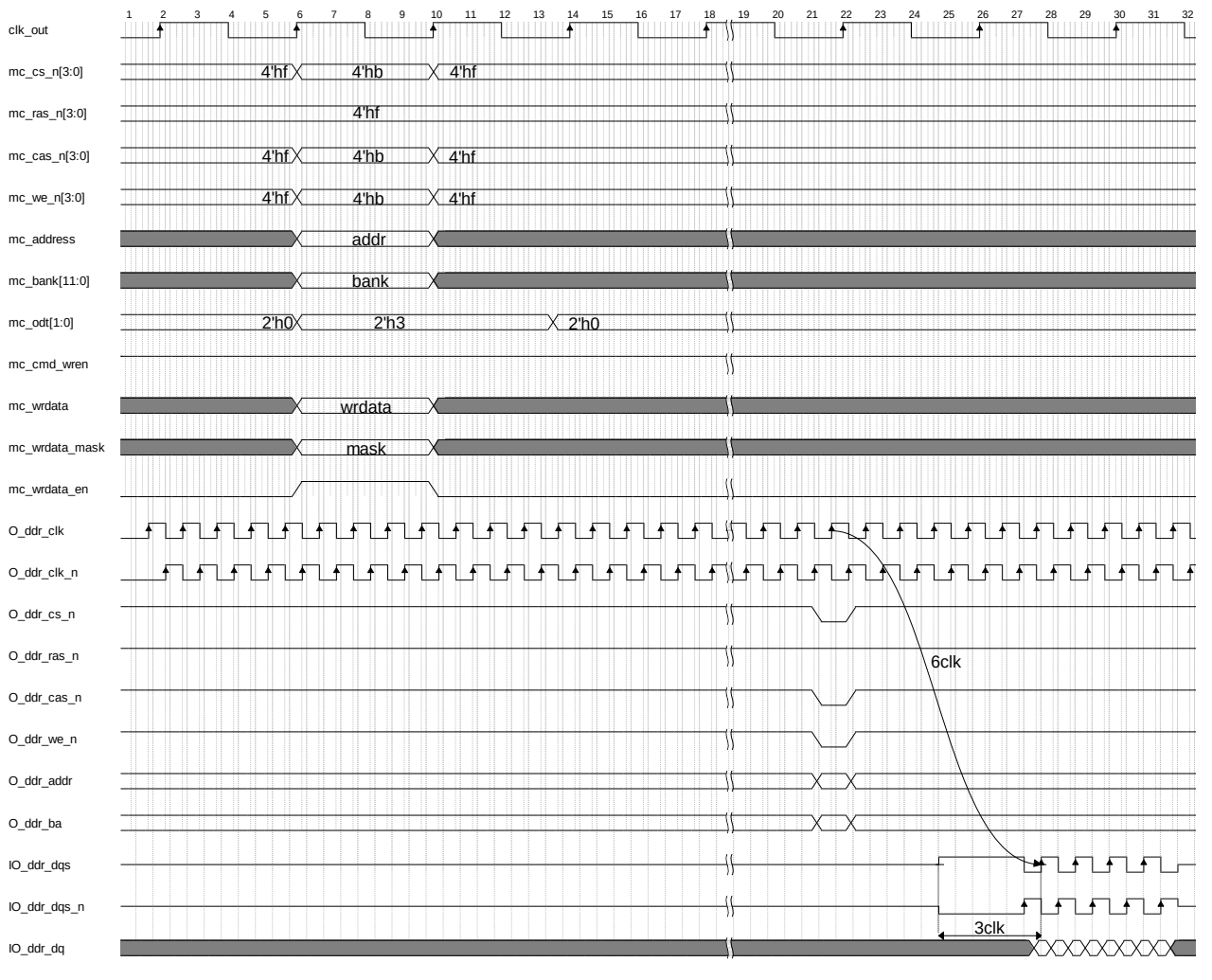
CWL=5,AL=0 の場合におけるデータ書き込みタイミング

図 3-6 CWL=5,AL=0 の場合におけるデータ書き込みタイミング図



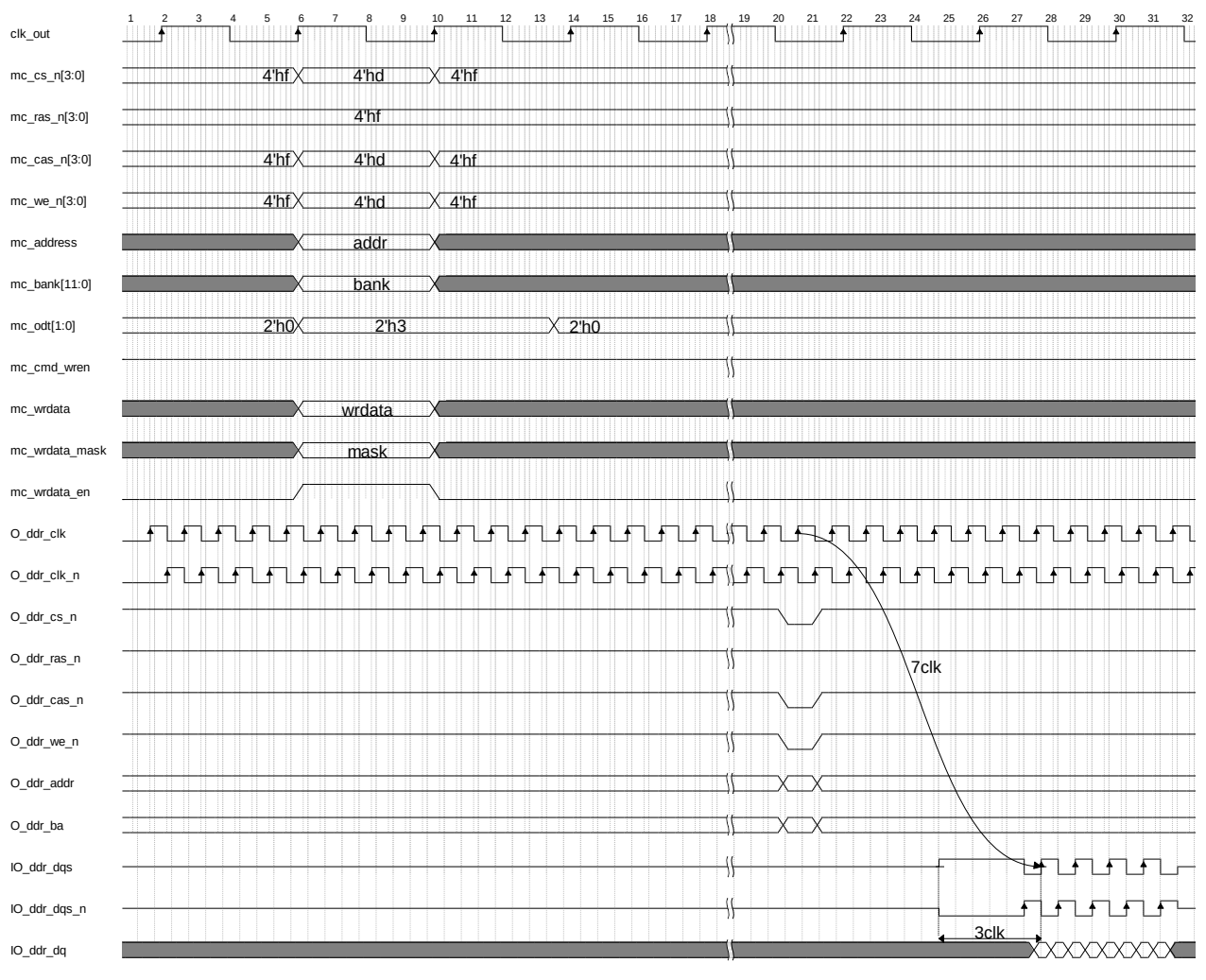
CWL=6,AL=0 の場合におけるデータ書き込みタイミング

図 3-7 CWL=6,AL=0 の場合におけるデータ書き込みタイミング図



CWL=7,AL=0 の場合におけるデータ書き込みタイミング

図 3-8 CWL=7,AL=0 の場合におけるデータ書き込みタイミング図



CWL=8,AL=0 の場合におけるデータ書き込みタイミング

図 3-9 CWL=8,AL=0 の場合におけるデータ書き込みタイミング図



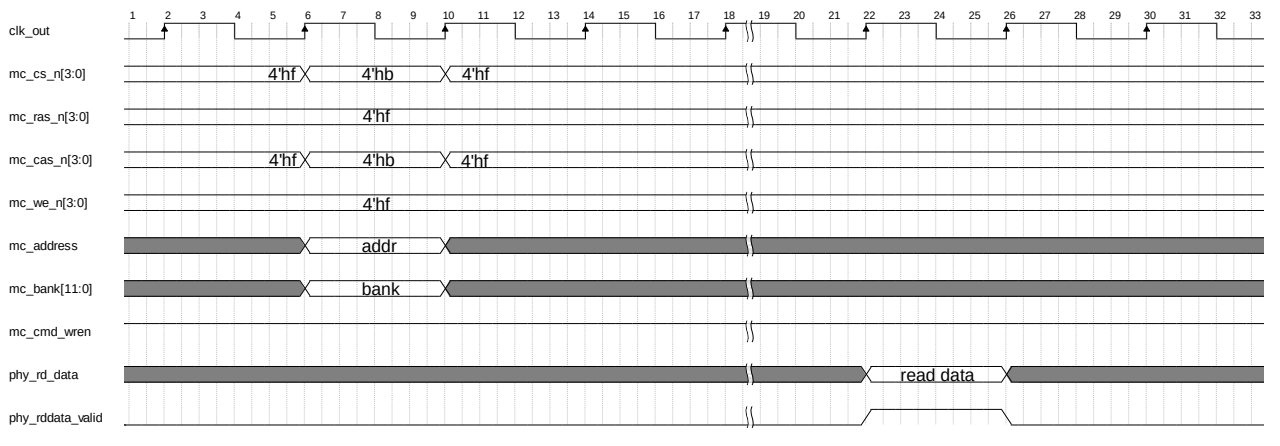
3.2.3 データ読み出しタイミング

読み出しコマンドを送信する時、理論的には読み出しコマンドとデータの間の間隔を調整する必要はありません。読み出しデータは DDR3 メモリによって返されるため、この読み出しデータを取得するには、読み出しキャリブレーションを完了するだけでよいです。ただし、DDR3 PHY IP 内部の、読み出しおよび書き込みコマンドを送信するロジックの一部が多重化されているため、MC インターフェースでのデータ読み出しタイミングは、書き込みタイミングと同様です。たとえば、CL=6, AL=0 の場合、`mc_cs_n[3:0]=4'hb`、`mc_ras_n[3:0]=4'hf`、`mc_cas_n[3:0]=4'hb`、`mc_we_n[3:0]=4'hf`。DDR3 PHY の clk ratio が 4:1 であるため、CL=10 の場合におけるデータ読み出しタイミングは CL=6 の場合と同じになります。以下は、CL=6 の場合におけるデータ読み出しタイミングのみを示し、その他の場合については説明を省略します。

`phy_rddata_valid=1` の場合、`phy_rd_data` は有効です。

CL=6,AL=0 の場合におけるデータ読み出しタイミング

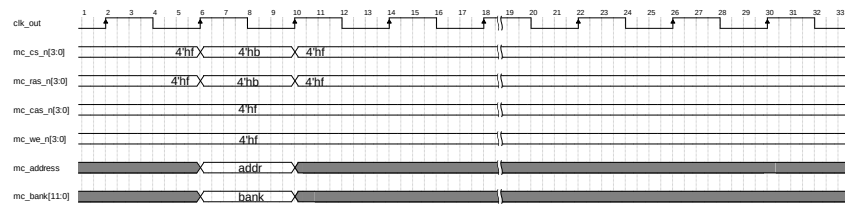
図 3-10 CL=6,AL=0 の場合におけるデータ読み出しタイミング図



3.2.4 Bank Active

MC がアクティブコマンドを送信するタイミングを下図に示します。上記のユーザーインターフェースの説明にしたがって、アクティブコマンドとその前後の他のコマンドの間隔を調整して、データの読み出しと書き込みの効率を向上させることができます。

図 3-11 アクティブコマンドを送信するタイミング



Precharge、Refresh、ZQ Calibration などの DDR3 の他のコマンドは、上記のコマンドと同じ形式で送信されるため、このマニュアルではその説明を省略します。

3.2.5 EYE SCAN

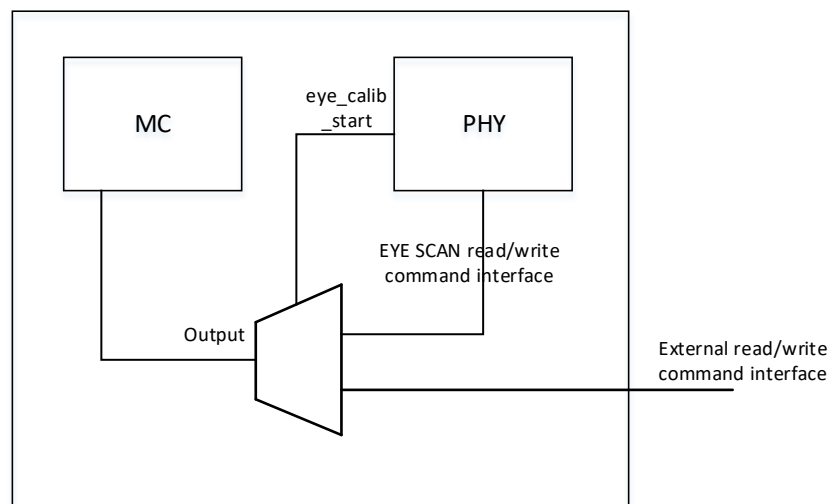
- **eye_calib_start** : 読み出しデータ・ウィンドウ・スキャン機能の開始フラグ。ウィンドウ・スキャン期間中、この信号は High のままです。
- **eye_cmd_rdy** : この信号が High の場合、MC は EYE SCAN モジュールによって送信された **eye_app_cmd_en** および **eye_app_cmd** を受信できます。
- **eye_app_cmd_en** : この信号が High の場合、**eye_app_cmd** は有効です。
- **eye_app_addr** : データ・ウィンドウ・スキャン時のデータ読み出し/書き込みのアドレス。

- **eye_wdf_rdy** : この信号が High の場合、MC は **eye_app_wdf_wren** および **eye_app_wdf_wdata** を受信できます。
- **eye_app_wdf_wren** : この信号が High の場合、**eye_app_wdf_wdata** は有効です。
- **eye_app_wdf_wdata** : データ・ウィンドウ・スキャン時の書き込みデータ。

DDR3 PHY は、IO LOGIC による dq データ収集の安定性を向上させるための読み出しデータ・ウィンドウ・スキャン機能をサポートしています。EYE SCAN モジュールは MC 層を利用してデータの読み出し/書き込みを行い、DDR3 PHY から返されたデータは PHY IP の EYE SCAN モジュールに直接入力されます。EYE SCAN モジュールは、サンプリング・ポイントを調整するたびに、一組のデータの読み出しと書き込みを行い、データを読み出すことにより現在のサンプリング・ポイントで正しい dq データが収集できるかどうかを判断します。複数の連続したサンプリング・ポイントで正しいデータが収集できる場合、IP はサンプリング・ポイントをサンプリング・ウィンドウの中央に移動します。

EYE_SCAN の読み出し/書き込みコマンド・インターフェースと外部読み出し/書き込みコマンド・インターフェースは、MUX に入る必要があります。eye_calib_start が有効な場合は、EYE_SCAN の読み出し/書き込みコマンド信号が選択されて MC に接続され、それ以外の場合は、外部読み出し/書き込みコマンド信号が選択されて MC に接続されます。

図 3-12 読み出し/書き込みコマンド・インターフェースの選択



3.2.6 温度適応調整

- **update_dqs_req** : 調整要求信号、アクティブ High。
- **update_dqs_ack** : 調整許可信号、アクティブ High。PHY が現在適応調整状態機械に入ることが許可されていることを示します。
- **update_dqs_finished** : 温度適応調整が完了したことを示します。アクティブ High。

Gowin DDR3 PHY Interface IP は温度適応調整機能をサポートしています。温度が変化すると、PHY インターフェースの O_ddr_clk と IO_ddr_dqs の位相関係と、データ読み出し時の dq のサンプリング・ポイントが変化し、システム全体のインピーダンス・マッチングも変化します。この場合、PHY は O_ddr_clk と IO_ddr_dqs の位相関係とデータ読み出し時の dq のサンプリング・ポイントを自動的に調整します。一方、MC 層側では、DDR3 メモリに ZQ Calibration Long/Short コマンドを送信して DDR3 メモリ内の終端抵抗を再校正するためのアルゴリズムを実装する必要があります。温度適応調整が完了する前に、DDR3 メモリに読み出し/書き込みコマンドを送信することはできません。

3.3 クロック、リセット、および FIFO _stop

詳細については、『Gowin DDR3 Memory Interface IP ユーザーガイド ([IPUG281](#))』を参照してください。

4ポート一覧

表 4-1 Gowin DDR3 PHY Interface IP のポート一覧

番号	信号名	タイプ	幅(ビット)	説明
User Interface				
1	clk	入力	1	入力リファレンス・クロック。水晶発振器が推奨されます
2	pll_stop	出力	1	Memory_clkのイネーブル信号
3	memory_clk	入力	1	このクロックの周波数は、DDR3メモリーインターフェースのクロックと同じです。GW2Aデバイスを使用する場合、このクロックはPLLの出力または他のクロックに接続します。GW5Aデバイスを使用する場合、このクロックはPLLの出力ポートclkout2に接続する必要があります。 <u>3.3クロック、リセット、およびFIFO stop</u> における説明を参照してください。
4	pll_lock	入力	1	この信号がHighの場合、memory_clkは安定しています。Memory_clkがPLLの出力に接続されている場合、このインターフェースはPLLのlockピンに接続します。
5	rst_n	入力	1	システムリセット信号、アクティブLow
6	mc_cs_n	入力	4	O_dds_cs_n信号の出力にマッピングされます
7	mc_ras_n	入力	4	O_dds_ras_n信号の出力にマッピングされます
8	mc_cas_n	入力	4	O_dds_cas_n信号の出力にマッピングされます
9	mc_we_n	入力	4	O_dds_cas_n信号の出力にマッピングされます

番号	信号名	タイプ	幅(ビット)	説明
10	mc_address	入力	4*ROW_WIDTH ^[1]	O_ddr_cas_n信号の出力にマッピングされます
11	mc_bank	入力	4*BANK_WIDTH ^[2]	O_ddr_bank信号の出力にマッピングされます
12	mc_reset_n	入力	1	ユーザーロジックではこの信号をHighのままにすればよいです
13	mc_odt	入力	2	O_ddr_odt信号の出力にマッピングされます
14	mc_cke	入力	4	O_ddr_cke信号の出力にマッピングされます
15	mc_wrdata_en	入力	1	mc_wrdataの書き込みイネーブル信号、アクティブHigh
16	mc_wrdata	入力	8*DQ_WIDTH ^[3]	メモリに保存されるデータ。IO_ddr_dq信号の出力にマッピングされます。
17	mc_wrdata_mask	入力	8*DM_WIDTH ^[4]	データ・マスク。O_ddr_dqm信号の出力にマッピングされます。
18	mc_cmd_wren	入力	1	mc_cs_n、mc_ras_n、mc_cas_n、mc_we_n、mc_address、mc_bank、mc_odt、およびmc_cke信号のイネーブル信号、アクティブHigh。ユーザーは、これらの信号を使用する際にこの信号をHighのままにする必要があります。
19	clk_out	出力	1	ユーザークロック。周波数はmemory_clkの1/4
20	ddr_rst	出力	1	IPからのリセット。一般に、このリセット信号をユーザーロジックのリセットとして使用することは推奨されません
21	phy_rddata_valid	出力	1	phy_rd_data有効信号、アクティブHigh
22	phy_rd_data	出力	8*DQ_WIDTH	DDR3から読み出されるデータ
23	ddr_init_internal	出力	1	初期化完了信号、アクティブHigh
24	updata_dqs_req	出力	1	温度適応調整の要求、アクティブHigh。温度調整機能を実現するために使用されます
25	updata_dqs_ack	入力	1	温度適応調整の応答、アクティブHigh。MCがupdate_dqs_req要求に同意した場合、現在、温度適応調整を実行できます。
26	updata_dqs_finished	出力	1	温度適応調整の完了、アクティブHigh

番号	信号名	タイプ	幅(ビット)	説明
27	eye_calib_start	出力	1	読み出しデータ・ウィンドウ・スキャンの開始、アクティブHigh。
28	eye_cmd_rdy	入力	1	この信号が有効な場合、MCはeye_app_cmdとeye_app_addrを受信できます
29	eye_app_cmd_en	出力	1	eye_app_cmdとeye_app_addrのイネーブル、アクティブHigh
30	eye_app_cmd	出力	3	読み出し/書き込みコマンドのフラグ。3'b000：書き込み、3'b001：読み出し
31	eye_app_addr	出力	[ADDR_WIDTH ^[5] -1:0]	アドレス信号の入力
32	eye_wdf_rdy	入力	1	この信号が有効な場合、MCはeye_app_wdf_wrenとeye_app_wdf_wdataを受信できます
33	eye_app_wdf_wren	出力	1	Eye_app_wdf_wdataのイネーブル信号、アクティブHigh。
34	eye_app_wdf_wdata	出力	[APP_DATA_WIDTH ^[6] -1:0]	読み出しデータ・ウィンドウ・スキャン時に書き込まれるキャリブレーションデータ
DDR3 SDRAM Interface				
29	O_ddr_addr	出力	ROW_WIDTH	PHYインターフェース信号：Row/Columnアドレス信号線
30	O_ddr_ba	出力	BANK_WIDTH	PHYインターフェース信号：bank信号線
31	O_ddr_cs_n	出力	1	PHYインターフェース信号：チップセレクト信号線
32	O_ddr_ras_n	出力	1	PHYインターフェース信号：Rowアドレスストロブ信号線
33	O_ddr_cas_n	出力	1	PHYインターフェース信号：Columnアドレスストロブ信号線
34	O_ddr_we_n	出力	1	PHYインターフェース信号：書き込みイネーブル信号線
35	O_ddr_clk	出力	1	PHYインターフェース信号：clk差動信号のP側
36	O_ddr_clk_n	出力	1	PHYインターフェース信号：clk差動信号のN側
37	O_ddr_cke	出力	1	PHYインターフェース信号：クロックイネーブル信号線
38	O_ddr_odt	出力	1	PHYインターフェース信号：終端抵抗制御信号線
39	O_ddr_reset_n	出力	1	PHYインターフェース信号：メモ

番号	信号名	タイプ	幅(ビット)	説明
				リのリセット信号線
40	O_dds_dqm	出力	DM_WIDTH	PHYインターフェース信号 : dqデータマスク信号線
41	IO_dds_dq	双方向	DQ_WIDTH	PHYインターフェース信号 : dq信号線
42	IO_dds_dqs	双方向	DQS_WIDTH ^[7]	PHYインターフェース信号 : dqs信号のP側
43	IO_dds_dqs_n	双方向	DQS_WIDTH	PHYインターフェース信号 : dqs信号のN側

注記 :

- ^[1] ROW_WIDTH : メモリの Row アドレスの幅。
- ^[2] BANK_WIDTH : メモリの Bank アドレスの幅。
- ^[3] DQ_WIDTH : Dq の幅。
- ^[4] DM_WIDTH : Dqm の幅(DQ_WIDTH/8)。
- ^[5] ADDR_WIDTH : 入力アドレスの幅
(RANK_WIDTH+BANK_WIDTH+ROW_WIDTH+ COL_WIDTH^[8])。
- ^[6] APP_DATA_WIDTH : ユーザーインターフェイスのデータ幅(8*DQ_WIDTH)。
- ^[7] DQS_WIDTH : Dqs の幅(DQ_WIDTH/8)。
- ^[8] COL_WIDTH : メモリの Column アドレスの幅。

5 呼び出しと構成

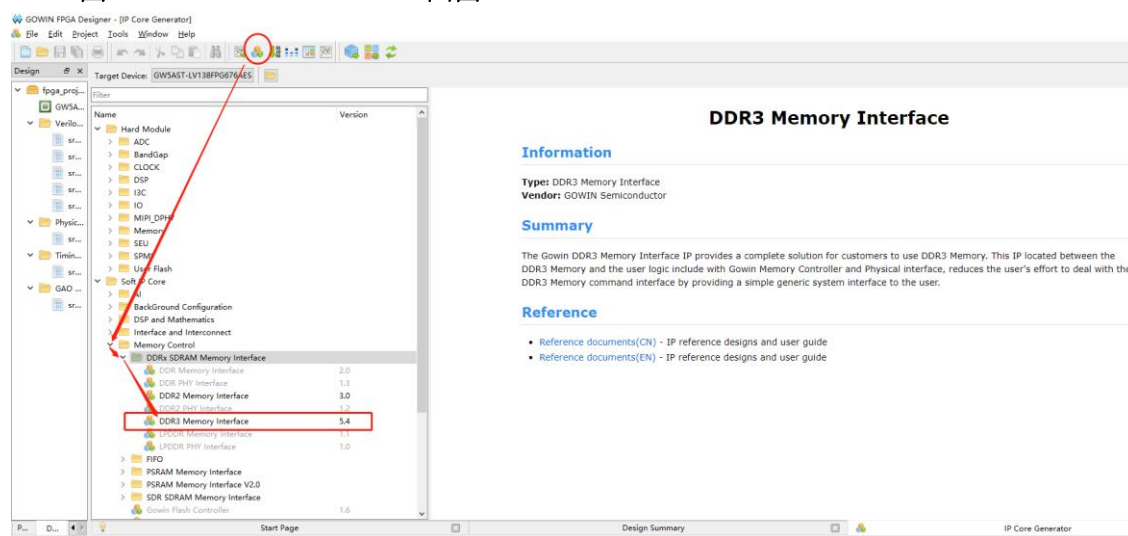
5.1 IP の呼び出し

Gowin ソフトウェア GUI の「」、または「メニューバー > Tools > IP Core Generator」をクリックして、IP を呼び出し・構成することができます。

1. IP Core Generator を開く

プロジェクトが作成された後、「IP Core Generator」オプションをクリックして Gowin の IP コア生成ツールを開きます(図 5-1)。

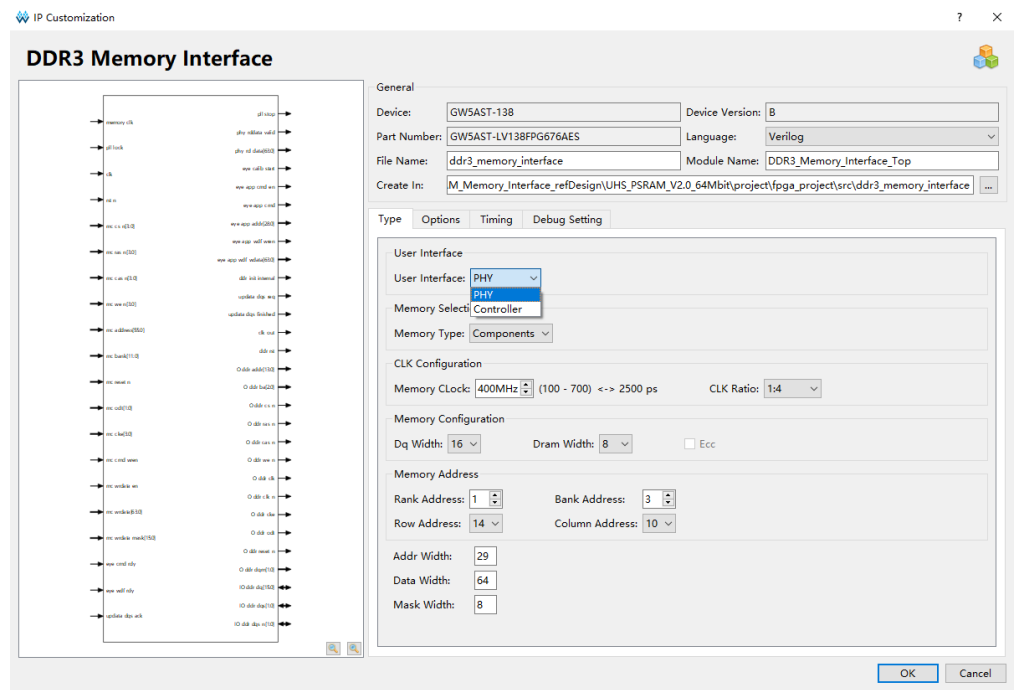
図 5-1 IP Core Generator の画面



2. IP を開く

「Soft IP Core > Memory Control > DDRx SDRAM Memory Interface > DDR3 Memory Interface」をダブルクリックして DDR3 Memory Interface IP の構成画面を開きます。下図の User Interface オプションで「PHY」を選択します(図 5-2)。

図 5-2 DDR3 PHY Interface の構成画面



- 「File Name」 フィールドでファイルの名前を構成できます。
- 「Module Name」 フィールドでトップ・モジュールの名前を構成できます。
- 「Options」 タブでその他のオプションを構成できます。

5.2 パラメータの構成

表 5-1 IP の構成オプション

オプション	説明	オプション
Memory Type	メモリのタイプ	Components, RDIMMs, UDIMMs, SODIMMs
Memory Clock	メモリアンターフェースクロックの周波数	動作クロックおよび実際のニーズに従って入力します
CLK Ratio	クロック比 ユーザーインターフェースクロックの周波数とメモリアンターフェースクロックの周波数の比	デフォルトでは1:4
Dq Width	Dqの幅	8, 16, 24, 32, 40, 48, 56, 64, 72
Dram Width	単一メモリのデータ幅	8, 16
Rank Address	Rankアドレス	Single及びDual rankデバイスの場合、その幅は1です。
Bank Address	Bankアドレスの幅	DDR3 SDRAMチップに応じて選択します

オプション	説明	オプション
Column Address	列アドレスの幅	DDR3 SDRAMチップに応じて選択します
Burst Mode	バーストモード	デフォルトでは8
Burst Type	バーストのタイプ	“Sequential” , “Interleaved”
CAS Latency	CASレイテンシ	5, 6, 7, 8, 9, 10, 11, 12, 13, 14
Additive Latency	アディティブ・レイテンシ	0, CL-1, CL-2
CW Latency	CWレイテンシ	実際の状況に応じて選択

表 5-2 DDR3 の時間パラメータ

オプション	説明
T _{CK}	Memoryインターフェースのクロックサイクル(ps)
t _{CKE}	CKE信号の最小パルス時間(ps)
t _{FAW}	同じrankで4つ以上の行アクティブコマンドの同時送信を許容する間隔時間。そのため、t _{RRD} の4倍以上である必要があります。
t _{RAS}	ACTIVEからPRECHARGEまでの時間
t _{RCD}	ACTIVEからREADまたはWRITEまでの時間
t _{REFI}	メモリリフレッシュの間隔
t _{RFC}	REFRESHからACTIVE/REFRESHまでの間隔
t _{RP}	PRECHARGE時間
t _{RRD}	ACTIVEからACTIVEまでの時間
t _{RTP}	READからPRECHARGEまでの時間
T _{WTR}	WRITEからREADまでの時間
AL	Additive Latency
CL	CAS Latency

