

Gowin EDP PHY IP ユーザーガイド

IPUG1043-2.2J, 2025-07-18

著作権について(2025)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

 **GOWIN** 及び **Gowin** は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI取引条件) に規定されている内容を除き、(明示的か又は黙示的かに拘わらず) いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ (不具合情報) については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2023/10/16	1.0J	初版。
2024/03/29	1.1J	● アナログ・フロントエンド (AFE) の構成オプションの説明を追加。 ● チャネル・ボンディングの構成オプションの説明を追加。
2024/06/07	2.0J	パラメータのリストを更新。
2025/01/17	2.1J	● 構成パラメータを更新。 ● スクリーンショットを更新。
2025/07/18	2.2J	● IP の特徴を更新。 ● DRP ポートを追加。 ● 構成パラメータを更新。 ● スクリーンショットを更新。

目次

目次	i
図一覧	iii
表一覧	iv
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	1
1.4 テクニカル・サポートとフィードバック	2
2 概要	3
2.1 概要	3
2.2 主な特徴	4
2.3 リソース使用量	4
3 機能の説明	5
3.1 ブロック図	5
3.2 内部構造	5
3.3 クロック	6
3.3.1 送信クロック	6
3.3.2 受信クロック	7
3.4 データ	7
3.4.1 送信データ	7
3.4.2 受信データ	8
3.4.3 チャネル・ボンディング	8
3.5 ポート一覧	9
3.6 パラメータの構成	11
3.7 タイミングの説明	14
3.7.1 EDP PHY TX インターフェースのタイミング	14
3.7.2 EDP PHY RX インターフェースのタイミング	15

4 GUI での構成	16
5 リファレンス・デザイン	21
5.1 デザイン例 1	21
6 提供されるファイル	23
6.1 ドキュメント	23
6.2 デザインのソースコード(暗号化)	23
6.3 リファレンス・デザイン	23

図一覧

図 3-1 ブロック図	5
図 3-2 構造	6
図 3-3 Gowin EDP PHY IP のポート図	9
図 3-4 EDP PHY TX インターフェースのタイミング図	14
図 3-5 EDP PHY RX インターフェースのタイミング図	15
図 4-1 IP Core Generator を開く	16
図 4-2 Serdes IP の構成画面を開く	17
図 4-3 EDP PHY の構成画面を開く	18
図 4-4 EDP PHY の構成画面	18
図 4-5 一般情報の構成画面	19
図 4-6 PHY Configuration タブ	19
図 4-7 SerDes IP の構成画面における EDP PHY IP	20
図 5-1 リファレンス・デザイン例 1 の基本構造	21

表一覧

表 1-1 用語、略語	1
表 2-1 Gowin EDP PHY IP	3
表 3-1 Gowin EDP PHY IP のポート一覧.....	9
表 3-2 Gowin EDP PHY IP のパラメータ	11
表 6-1 ファイル一覧.....	23
表 6-2 EDP PHY IP のソースコード一覧.....	23
表 6-3 Gowin EDP RefDesign フォルダのコンテンツ一覧	23

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、ユーザーが Gowin EDP PHY IP を使いこなせるよう、その概要、機能、呼び出しと構成、およびリファレンス・デザインなどについて説明します。本マニュアルに記載のソフトウェア GUI のスクリーンショットは、Gowin ソフトウェア V1.9.11.03 バージョン(64-bit)の場合のもので、ソフトウェアのアップデートにより、一部の内容が変更される場合があります。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW5AT シリーズ FPGA 製品データシート([DS981](#))
- GW5A シリーズ FPGA 製品データシート([DS1103](#))
- GW5AST シリーズ FPGA 製品データシート([DS1239](#))
- GW5AS シリーズ FPGA 製品データシート([DS1105](#))
- GW5AR シリーズ FPGA 製品データシート([DS1108](#))
- GW5ART シリーズ FPGA 製品データシート([DS1118](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
AFE	Analog Front End	アナログ・フロントエンド
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレ

用語、略語	正式名称	意味
		イ
IP	Intellectual Property	設計資産
VS	Vertical Sync	垂直同期
HS	Horizontal Sync	水平同期
DE	Data Enable	データ・イネーブル
VESA	Video Electronics Standards Association	ビデオ・エレクトロニクス・スタンダーズ・アソシエーション
DP	DisplayPort	ディスプレイポート
EDP	Embedded DisplayPort	組み込みディスプレイポート
SerDes	Serializer/Deserializer	シリアルライザ/デシリアルライザ

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

2.1 概要

DisplayPort（通称：DP）は、業界団体の VESA（Video Electronics Standards Association）によって策定されたデジタル・ビデオ・インターフェース規格です。このインターフェースは認証やライセンス料不要であり、主にビデオソースをディスプレイ装置などに接続するために使用されます。

eDP（Embedded DisplayPort）は、組み込みデバイス向けの、DP（Display Port）規格に基づいたディスプレイ・パネル・インターフェース規格で、DP プロトコルと完全な互換性があります。eDP は、主にタブレットやノートパソコンの液晶ディスプレイのインターフェースとして使用されます。

Gowin EDP PHY IP は、SerDes 物理層アクセスインターフェースを提供して、ユーザーが EDP プロトコル層と物理層を簡単に接続できるようにします。

表 2-1 Gowin EDP PHY IP

Gowin EDP PHY IP	
ロジックリソース	2.3 リソース使用量参照。
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンス・デザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis
統合開発環境	Gowin Software (V1.9.9 Beta-1 以降)

注記：

デバイスのサポート情報は、Gowin セミコンダクターの[ホームページ](#)で確認できます。

2.2 主な特徴

- レーン数を 1、2、4 に構成可能
- 8B10B エンコード/デコードをサポート
- Word Alignment 機能をサポート
- 1.62/2.7/5.4/8.1 Gbps/レーンの Link rate をサポート
- 16/32/64 ビットのユーザーデータ幅をサポート

2.3 リソース使用量

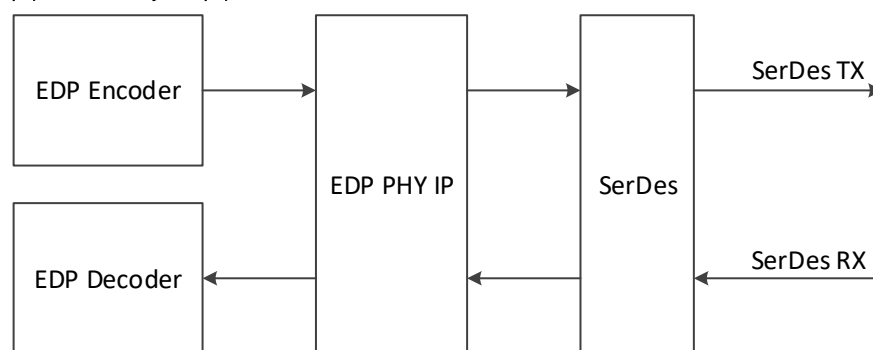
Gowin EDP PHY IP は、SerDes の構成にのみ使用され、Fabric リソースを占有しません。

3 機能の説明

3.1 ブロック図

Gowin EDP PHY IP は、eDP でエンコードされたパラレル・データをパラレル/シリアル変換用に SerDes に転送し、また、SerDes からのパラレル・データをデコード用に eDP に転送します。そのブロック図を図 3-1 に示します。

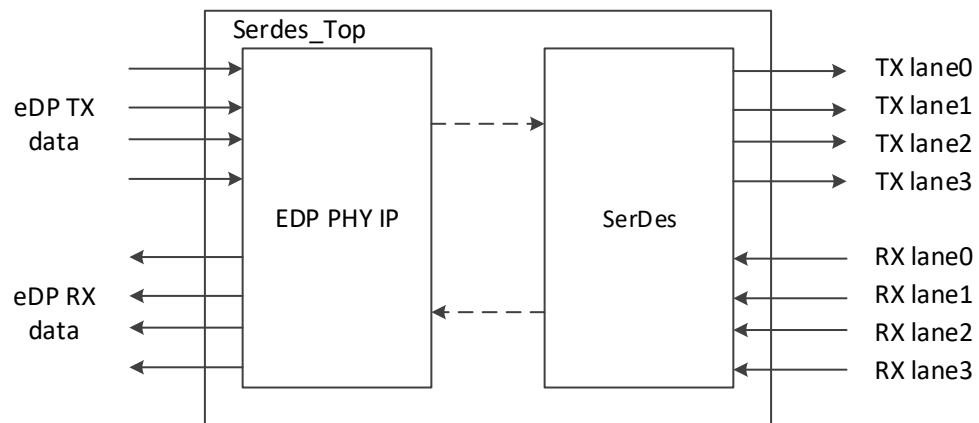
図 3-1 ブロック図



3.2 内部構造

Gowin EDP PHY IP は最大 4 レーン(チャネル)をサポートし、各レーンには送信ポートと受信ポートがあります。送信ポートは、eDP 送信モジュールからの K キャラクタ信号とデータ信号を受信すると同時に、ポートマッピングにより SerDes の送信ポートに接続されています。受信ポートは、SerDes の受信後の出力ポートを eDP 受信モジュールの K キャラクタ信号およびデータ信号ポートに接続します。その構造を図 3-2 に示します。

図 3-2 構造



3.3 クロック

3.3.1 送信クロック

送信クロックは CPLL/QPLL により生成されます。送信チャネルを構成する際、ユーザーは送信チャネルのレート、使用する PLL (CPLL/QPLL)、リファレンス・クロック・ソースとその周波数を設定する必要があります。上記の構成に従って、データ送信用の高速クロックが生成されます。また、SerDes は高速クロックをユーザーの構成に応じて分周して出力し、この分周後のクロックは Fabric の送信クロックとして使用できます。

- ユーザーが送信データレートを **1.62Gbps** に構成した場合、ユーザークロック比が **1:20** のとき、Fabric の送信クロックは $1.62\text{Gbps}/20=81\text{MHz}$ で、ユーザークロック比が **1:40** のとき、Fabric の送信クロックは $1.62\text{Gbps}/40=40.5\text{MHz}$ で、ユーザークロック比が **1:80** のとき、Fabric の送信クロックは $1.62\text{Gbps}/80=20.25\text{MHz}$ です。
- ユーザーが送信データレートを **2.7Gbps** に構成した場合、ユーザークロック比が **1:20** のとき、Fabric の送信クロックは $2.7\text{Gbps}/20=135\text{MHz}$ で、ユーザークロック比が **1:40** のとき、Fabric の送信クロックは $2.7\text{Gbps}/40=67.5\text{MHz}$ で、ユーザークロック比が **1:80** のとき、Fabric の送信クロックは $2.7\text{Gbps}/80=33.75\text{MHz}$ 。
- ユーザーが送信データレートを **5.4Gbps** に構成した場合、ユーザークロック比は **1:40** または **1:80** のみ選択可能で、ユーザークロック比が **1:40** のとき、Fabric の送信クロックは $5.4\text{Gbps}/40=135\text{MHz}$ で、ユーザークロック比が **1:80** のとき、Fabric の送信クロックは $5.4\text{Gbps}/80=67.5\text{MHz}$ です。
- ユーザーが送信データレートを **8.1Gbps** に構成した場合、ユーザークロック比が **1:80** のみになり、Fabric の送信クロックは $8.1\text{Gbps}/80=101.25\text{MHz}$ です。

2 チャネルまたは 4 チャネルの EDP PHY IP を使用する場合、各チャネルの `fabric_tx_clk_i` は、いずれかのチャネルの `pcs_tx_clk_o` を共有する必要があります。

3.3.2 受信クロック

受信チャネルを構成する際、ユーザーは受信チャネルのレートを構成する必要があります。受信クロックは CDR によってデータから復元され、復元されたシリアル・データ・クロックは受信モジュールに使用されます。また、SerDes はシリアル・データ・クロックをユーザーの構成に応じて分周して出力し、この分周後のクロックは Fabric の受信クロックとして使用できます。

- ユーザーが受信データレートを 1.62Gbps に構成した場合、ユーザークロック比が 1:20 のとき、Fabric の受信クロックは $1.62\text{Gbps}/20=81\text{MHz}$ で、ユーザークロック比が 1:40 のとき、Fabric の受信クロックは $1.62\text{Gbps}/40=40.5\text{MHz}$ で、ユーザークロック比が 1:80 のとき、Fabric の受信クロックは $1.62\text{Gbps}/80=20.25\text{MHz}$ です。
- ユーザーが受信データレートを 2.7Gbps に構成した場合、ユーザークロック比が 1:20 のとき、Fabric の受信クロックは $2.7\text{Gbps}/20=135\text{MHz}$ で、ユーザークロック比が 1:40 のとき、Fabric の受信クロックは $2.7\text{Gbps}/40=67.5\text{MHz}$ で、ユーザークロック比が 1:80 のとき、Fabric の受信クロックは $2.7\text{Gbps}/80=33.75\text{MHz}$ 。
- ユーザーが受信データレートを 5.4Gbps に構成した場合、ユーザークロック比は 1:40 または 1:80 のみ選択可能で、ユーザークロック比が 1:40 のとき、Fabric の受信クロックは $5.4\text{Gbps}/40=135\text{MHz}$ で、ユーザークロック比が 1:80 のとき、Fabric の受信クロックは $5.4\text{Gbps}/80=67.5\text{MHz}$ です。
- ユーザーが受信データレートを 8.1Gbps に構成した場合、ユーザークロック比が 1:80 のみになり、Fabric の受信クロックは $8.1\text{Gbps}/80=101.25\text{MHz}$ です。

2 チャネルまたは 4 チャネルの EDP PHY IP を使用する場合、各チャネルの `fabric_rx_clk_i` は、いずれかのチャネルの `pcs_rx_clk_o` を共有する必要があります。

3.4 データ

3.4.1 送信データ

ユーザークロック比が 1:20 の場合、送信パラレル・データの幅は 20 ビット(16 ビットのデータ、2 ビットの K キャラクタ、および 2 ビットの無効ビットを含む)になります。IO ポートはデータ `txdata[15:0]` および K キャラクタ `txk[1:0]` ポートのみを反映しています。`txk` の下位ビットは `txdata` の下位バイトに対応し、`txk` の上位ビットは `txdata` の上位バイトに対応します。

ユーザークロック比が 1:40 の場合、送信パラレル・データの幅は 40 ビット(32 ビットのデータ、4 ビットの K キャラクタ、および 4 ビットの無効ビットを含む) になります。IO ポートはデータ `txdata[31:0]` および K キャラクタ `txk[3:0]` ポートのみを反映しています。`txk` の下位ビットは `txdata` の下位バイトに対応し、`txk` の上位ビットは `txdata` の上位バイトに

対応します。

ユーザークロック比が **1:80** の場合、送信パラレル・データの幅は **80** ビット(**64** ビットのデータ、**8** ビットの **K** キャラクタ、および **8** ビットの無効ビットを含む) になります。IO ポートはデータ **txdata[63:0]** および **K** キャラクタ **txk[7:0]** ポートのみを反映しています。**txk** の下位ビットは **txdata** の下位バイトに対応し、**txk** の上位ビットは **txdata** の上位バイトに対応します。

SerDes がデータを送信する際、**txdata** の下位バイト(**LSB**)が最初に転送されます。各バイトは **8B10B** エンコードされシリアル・データに変換され、その下位ビット(**LSb**)が最初に転送されます。

3.4.2 受信データ

ユーザークロック比が **1:20** の場合、受信パラレル・データの幅は **20** ビット(**16** ビットのデータ、**2** ビットの **K** キャラクタ、および **2** ビットの無効ビットを含む)になります。IO ポートはデータ **rxdata[15:0]** および **K** キャラクタ **rxk[1:0]** ポートのみを反映しています。**rxk** の下位ビットは **rxdata** の下位バイトに対応し、**rxk** の上位ビットは **rxdata** の上位バイトに対応します。

ユーザークロック比が **1:40** の場合、受信パラレル・データの幅は **40** ビット(**32** ビットのデータ、**4** ビットの **K** キャラクタ、および **4** ビットの無効ビットを含む) になります。IO ポートはデータ **rxdata[31:0]** および **K** キャラクタ **rxk[3:0]** ポートのみを反映しています。**rxk** の下位ビットは **rxdata** の下位バイトに対応し、**rxk** の上位ビットは **rxdata** の上位バイトに対応します。

ユーザークロック比が **1:80** の場合、受信パラレル・データの幅は **80** ビット(**64** ビットのデータ、**8** ビットの **K** キャラクタ、および **8** ビットの無効ビットを含む) になります。IO ポートはデータ **rxdata[63:0]** および **K** キャラクタ **rxk[7:0]** ポートのみを反映しています。**rxk** の下位ビットは **rxdata** の下位バイトに対応し、**rxk** の上位ビットは **rxdata** の上位バイトに対応します。

SerDes がデータを受信する際、**rxdata**(**8B10B** デコードされた後のパラレル・データ)の下位バイト(**LSB**)が最初に転送され、各バイトの下位ビット(**LSb**)が最初に転送されます。

Word Alignment モジュールは、受信データのアラインメントを実現します。このモジュールは **K** キャラクタ(**K28.5**)に従って受信パラレル・データの境界をアラインメントします。

3.4.3 チャンネル・ボンディング

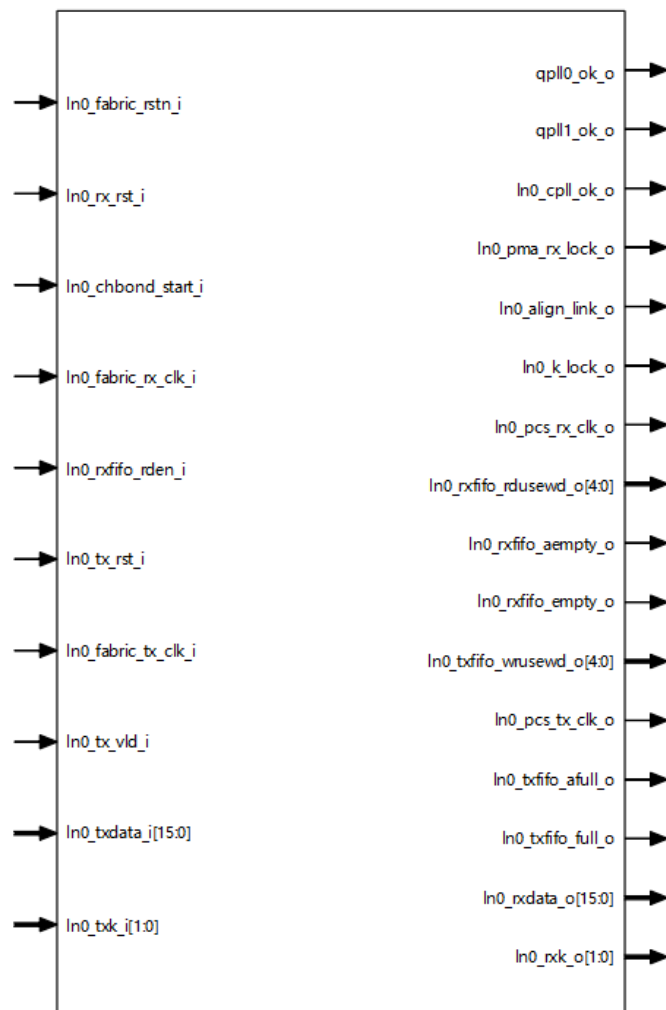
DP プロトコルによれば、レーン数が **1** より大きい場合、レーン間にデータスキューが発生するため、データ受信時に **Channel Bonding**(チャンネル・ボンディング)オプションを有効にすることで、レーン間のデータスキューを除去することができます。**Channel Bonding** オプションで **One Word** を選択し、**Pattern0** を **0x1C** に設定します。各レーンの **align_link** が **1** に

なったら、各レーンの **chbond_start** 信号を有効にします。**Channel Bonding** オプションを有効にしない場合、受信・デコードモジュールによりレーン間のデータスキューを除去する必要があります。

3.5 ポート一覧

Gowin EDP PHY IP の IO ポートを図 3-3 に示します。

図 3-3 Gowin EDP PHY IP のポート図



ポートは、パラメータの構成によってわずかに異なります。

Gowin EDP PHY IP の IO ポートの詳細を表 3-1 に示します。この表は Lane0 の場合のものであり、他のレーンと呼び出す場合は、対応するポートの番号も変わります。表にはユーザーポートのみがリストされており、SerDes に接続されるポートはソフトウェアによって自動的に接続されます。

表 3-1 Gowin EDP PHY IP のポート一覧

番号	信号名	方向	説明	備考
1	qpll0_ok_o	O	QPLL0 が有効かとの表示 1 : 有効 0 : 無効	すべての信号の方向は、EDP

番号	信号名	方向	説明	備考
2	qpll1_ok_o	O	QPLL1 が有効かとの表示 1 : 有効 0 : 無効	PHY IP を基準としています。
3	ln0_cppll_ok_o	O	Lane0 CPLL が有効かとの表示 1 : 有効 0 : 無効	
4	ln0_fabric_rstn_i	I	Lane0 fabric のリセット、アクティブ Low	
5	ln0_rx_rst_i	I	Lane0 RX のリセット、アクティブ High	
6	ln0_chbond_start_i	I	Lane0 チャネル・ボンディングの制御、アクティブ High	
7	ln0_pma_rx_lock_o	O	Lane0 RX pma のロック状態の表示 1 : ロック状態になっています 0 : ロック状態になっていません	
8	ln0_align_link_o	O	Lane0 受信 word align モジュールのロック状態の表示 1 : ロック状態になっています 0 : ロック状態になっていません	
9	ln0_k_lock_o	O	Lane0 の K キャラクタのロック状態の表示 1 : ロック状態になっています 0 : ロック状態になっていません	
10	ln0_pcs_rx_clk_o	O	Lane0 PCS 受信クロック	
11	ln0_fabric_rx_clk_i	I	Lane0 RX Buffer の読み出しクロック。 edp_ln0_pcs_rx_clk_o に直接接続できます。	
12	ln0_rxfifo_aempty_o	O	Lane0 RX Buffer の almost-empty の表示 1 : RX Buffer が almost-empty 0 : RX Buffer が almost-empty ではない	
13	ln0_rxfifo_empty_o	O	Lane0 RX Buffer の empty の表示 1 : RX Buffer が empty 0 : RX Buffer が empty ではない	
14	ln0_rxfifo_rduswd_o	I	Lane0 RX Buffer の残りデータの表示	
15	ln0_rxfifo_rden_i	I	Lane0 RX Buffer の読み出しイネーブル	
16	ln0_tx_rst_i	I	Lane0 TX のリセット、アクティブ High	
17	ln0_pcs_tx_clk_o	O	Lane0 PCS 送信クロック	
18	ln0_fabric_tx_clk_i	I	Lane0 TX Buffer の書き込みクロック。	

番号	信号名	方向	説明	備考
			edp_ln0_pcs_tx_clk_o に直接接続できます。	
19	ln0_txfifo_afull_o	O	Lane0 TX Buffer の almost-full の表示 1 : TX Buffer が almost-full 0 : TX Buffer が almost-full ではない	
20	ln0_txfifo_full_o	O	Lane0 TX Buffer の full の表示 1 : TX Buffer が full 0 : TX Buffer が full ではない	
21	ln0_txfifo_wrusewd_o	O	Lane0 TX Buffer の残りデータの表示	
22	ln0_tx_vld_i	I	Lane0 TX Buffer の書き込みイネーブル	
23	ln0_rxdata_o	O	EDP デコードデータ	
24	ln0_rxk_o	O	EDP デコード K キャラクタ	
25	ln0_txdata_i	I	EDP エンコードデータ	
26	ln0_txk_i	I	EDP エンコード K キャラクタ	
27	drp_addr_i	I	drp アドレス	DRP Port にチェックを入れた場合にのみサポートされます。
28	drp_wren_i	I	drp 書き込みイネーブル	
29	drp_wrdata_i	I	drp 書き込みデータ	
30	drp_strob_i	I	drp 書き込みストロブ	
31	drp_rden_i	I	drp 読み出しイネーブル	
32	drp_clk_o	O	drp 出力クロック	
33	drp_ready_o	O	drp 準備完了信号	
34	drp_rdvld_o	O	drp 読み出し有効信号	
35	drp_rddata_o	O	drp 読み出しデータ	
36	drp_resp_o	O	drp 応答	

3.6 パラメータの構成

表 3-2 Gowin EDP PHY IP のパラメータ

番号	パラメータ名	範囲	デフォルト値	説明
PHY Configuration				
1	Quad Selection	Q0/Q1	Q0	SerDes Quad の選択
2	PHY Lane0	Yes/No	No	SerDes レーン 0 の選択
3	PHY Lane1	Yes/No	No	SerDes レーン 1 の選択
4	PHY Lane2	Yes/No	No	SerDes レーン 2 の選択
5	PHY Lane3	Yes/No	No	SerDes レーン 3 の選択
6	Loopback Mode	OFF/LB_NES/LB_FES/LB_ENC	OFF	Lane ループバックモードの選択
7	DRP Port	Yes/No	No	DRP Port の選択
8	TX Line Rate	1.62/2.7/5.4/8.1G	1.62	送信ラインレート

番号	パラメータ名	範囲	デフォルト値	説明
		bps		
9	TX User Clock Ratio	1:20/1:40/1:80	1:20	送信ユーザークロック比
10	TX PN invert Lane0	Yes/No	No	送信チャネル 0 PN 側逆接続の選択
11	TX PN invert Lane1	Yes/No	No	送信チャネル 1 PN 側逆接続の選択
12	TX PN invert Lane2	Yes/No	No	送信チャネル 2 PN 側逆接続の選択
13	TX PN invert Lane3	Yes/No	No	送信チャネル 3 PN 側逆接続の選択
14	RX Line Rate	1.62/2.7/5.4/8.1G bps	1.62	受信ラインレート
15	RX User Clock Ratio	1:20/1:40/1:80	1:20	受信ユーザークロック比
16	RX PN invert Lane0	Yes/No	No	受信チャネル 0 PN 側逆接続の選択
17	RX PN invert Lane1	Yes/No	No	受信チャネル 1 PN 側逆接続の選択
18	RX PN invert Lane2	Yes/No	No	受信チャネル 2 PN 側逆接続の選択
19	RX PN invert Lane3	Yes/No	No	受信チャネル 3 PN 側逆接続の選択
20	Reference Clock Source	Q0 REFCLK0 Q0 REFCLK1 Q1 REFCLK0 Q1 REFCLK1 Q0 REFIN0 Q0 REFIN1 Q0 REFIN MCLK	Q0 REFCLK0	リファレンス・クロック・ソースの選択 ● GWAS/T-138 と GWAT-75 デバイスの場合、範囲は Q0 REFCLK0/Q0 REFCLK1/ Q1 REFCLK0/Q1 REFCLK1 です ● GWAT-60 デバイスの場合、範囲は Q0 REFCLK0/Q0 REFCLK1/Q0 REFIN0/Q0 REFIN1 です ● GVAR/T-15 デバイスの場合、範囲は Q0 REFCLK0/ Q0 REFCLK1/Q0 REFIN/MCLK です
21	Reference Clock Frequency	50-500MHz	135	リファレンス・クロックの周波数。135MHz を推奨
22	PLL Selection	CPLL QPLL0	CPLL	PLL の選択

番号	パラメータ名	範囲	デフォルト値	説明
		QPLL1		
AFE				
23	Differential Swing	180mV~900mV	900mV	送信差動信号のスイング Vdiffpp を構成します。 Vdiffpp=2xVdiff
24	FFE Mode	Auto/Manual	Auto	送信 FFE モードを構成します。 Auto : 自動モード Manual : 手動モード
25	Cm	0~19	0	送信 FFE pre-cursor
26	C0	21~40	40	送信 FFE main-cursor
27	C1	0~19	0	送信 FFE post-cursor
28	SD Threshold	25mV~200mV	100mV	受信差動信号 SD スレッシュ ヨルド
29	Equalization Mode	Auto/Manual	Auto	受信イコライゼーション モードを構成します Auto : 自動モード Munual : 手動モード
30	ATT	0~10	7	受信中間周波数の減衰を 調整するために使用され ます。値が小さいほど減衰 が大きくなります。
31	BOOST	0~15	9	受信高周波数の増幅を調 整するために使用されま す。値が大きいほどゲイン が大きくなります。
32	BIAS	0~15	7	SerDes 受信信号の増幅パ ラメータを構成するた めに使用されます。値が大 きいほど、信号増幅効果が強 くなります。
Channel Bonding				
33	Channel Bonding	None/One Word/Two Words/Four Words	None	受信 Channel Bonding のイ ネーブル： ● None : Channel Bonding を有効にしま せん ● One Word : 1 ワードの Channel Bonding を有 効にします ● Two Words : 2 ワード の Channel Bonding を 有効にします ● Four Words : 4 ワード

番号	パラメータ名	範囲	デフォルト値	説明
				の Channel Bonding を有効にします
34	Master Channel Selection	選択されている Lane	--	受信 Channel Bonding のマスターチャンネルを選択します
35	Pattern0	0x00~0xFF	0x7C	最初の pattern。K キャラクターでなければなりません。
36	Pattern1/2/3	0x00~0xFF	0x7C	2 番目/3 番目/4 番目の pattern。K キャラクターであるかどうかはオプションです。
37	K Character	チェックする/チェックしない	チェックしない	pattern を K キャラクターとして構成するか選択します チェックする : K キャラクター チェックしない : データ
38	Max Skew	0~31	8	受信の各チャンネル間の最大 skew を構成します
39	Read Start Depth	0~31	16	データボンディング後、このモジュールの、読み出しが開始するデータ深さを構成します。

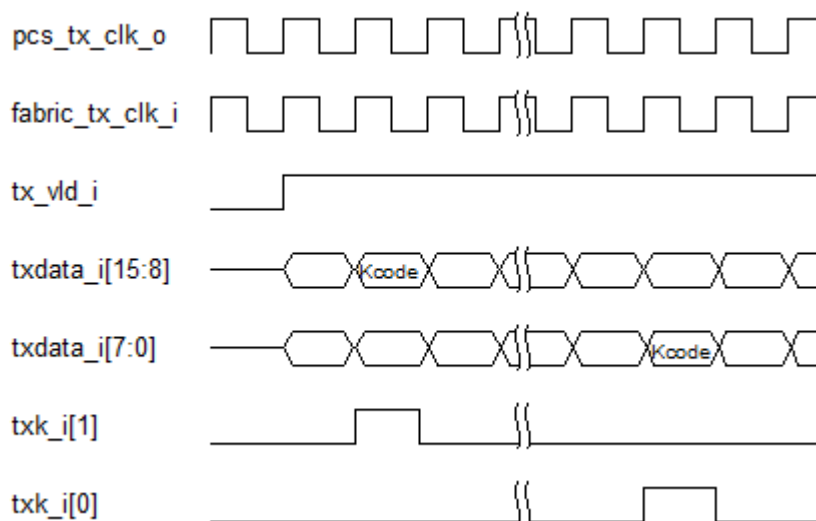
3.7 タイミングの説明

このセクションでは、Gowin EDP PHY IP のタイミングについて説明します。

3.7.1 EDP PHY TX インターフェースのタイミング

EDP PHY TX インターフェースのタイミングを図 3-4 に示します。

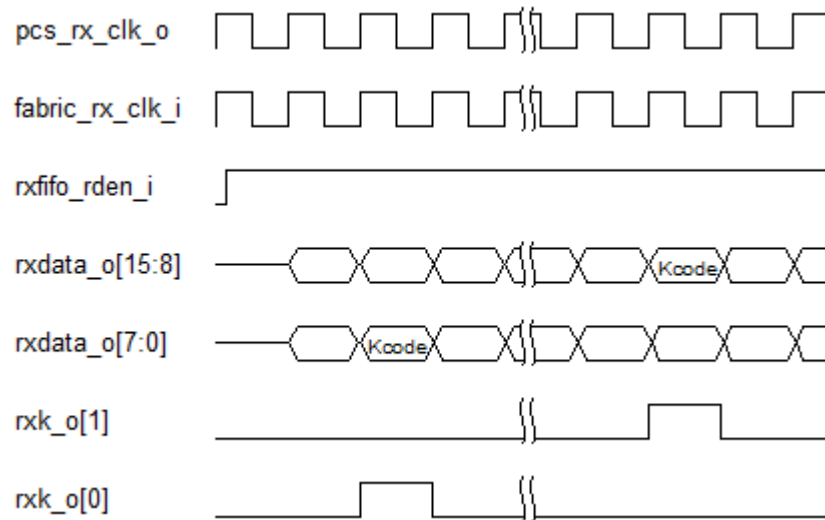
図 3-4 EDP PHY TX インターフェースのタイミング図



3.7.2 EDP PHY RX インターフェースのタイミング

EDP PHY RX インターフェースのタイミングを図 3-5 に示します。

図 3-5 EDP PHY RX インターフェースのタイミング図



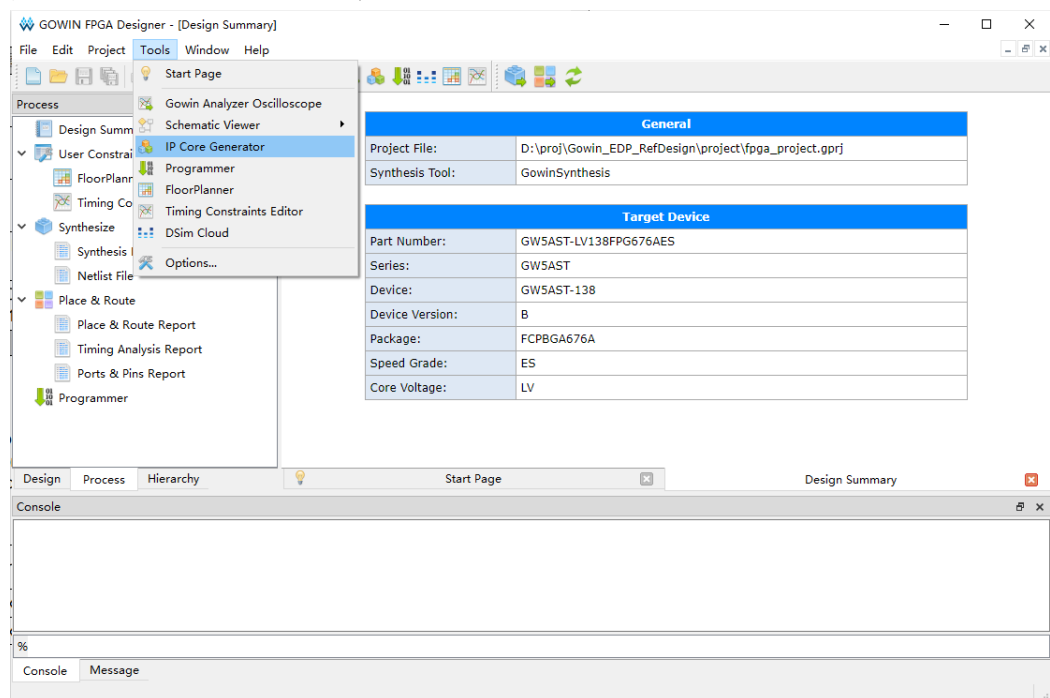
4GUIでの構成

Gowin ソフトウェアの IP Core Generator を使用して、EDP PHY IP を呼び出し・構成することができます。

1. IP Core Generator を開く

プロジェクトが作成された後、Tools > IP Core Generator をクリックして、Gowin の IP コア生成ツールを開きます(図 4-1)。

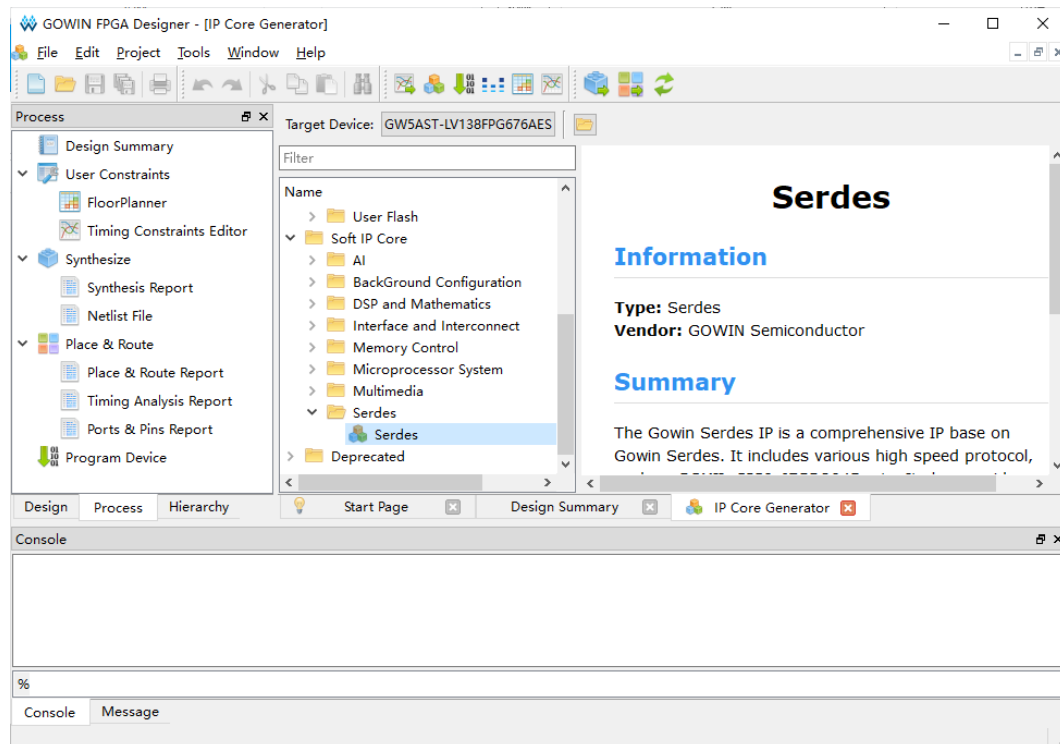
図 4-1 IP Core Generator を開く



2. SerDes IP の構成画面を開く

「Serdes」をダブルクリックします(図 4-2)。

図 4-2 Serdes IP の構成画面を開く



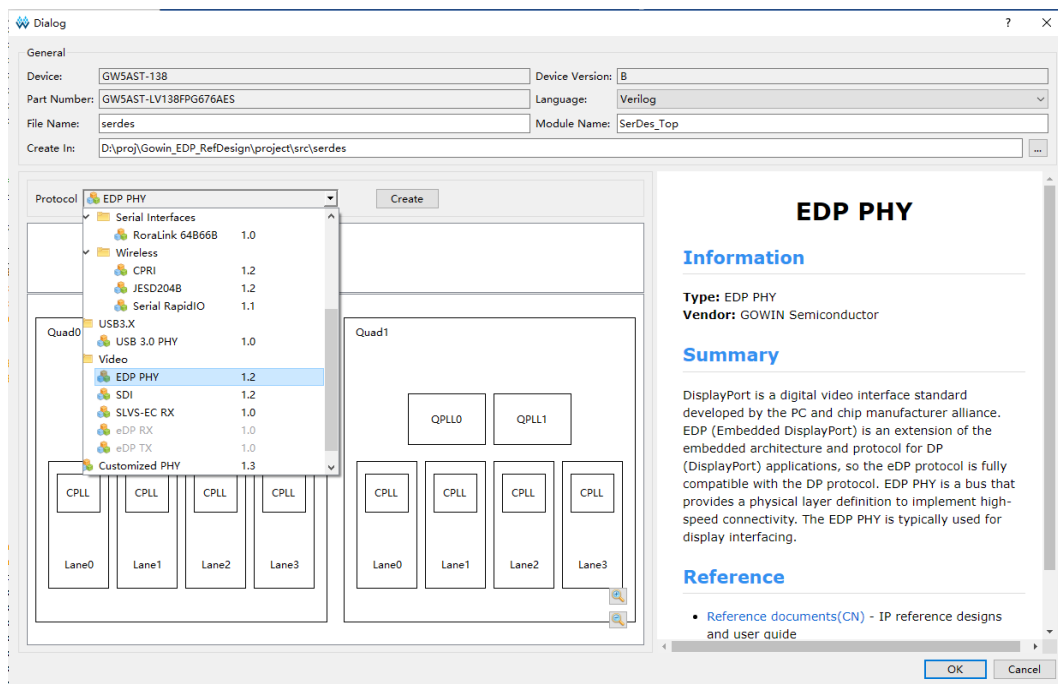
3. EDP PHY IP の構成画面を開く

SerDes IP の構成画面でまず「General」オプショングループを構成します：

- **Device、Device Version、Part Number** オプション：現在のプロジェクトで選択されているチップのモデルによって決定されます。
- **Language** オプション：Verilog(デフォルト)およびVHDL がサポートされます。
- **File Name、Module Name、Create In** オプション：Serdes のファイル名、モジュール名、および IP コアのフォルダのパスを設定するために使用されます。

SerDes IP の構成画面の「Protocol」リストから「EDP PHY」を選択し、右側の「Create」ボタンをクリックします(図 4-3)。

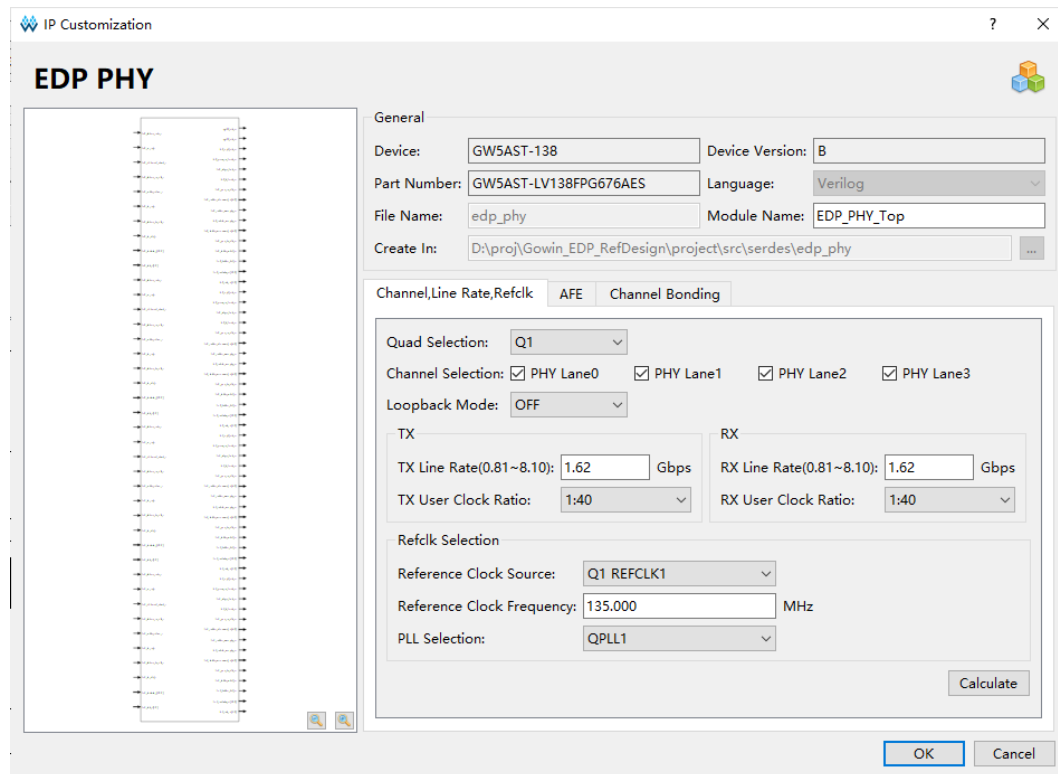
図 4-3 EDP PHY の構成画面を開く



4. EDP PHY の構成画面

その構成画面を図 4-4 に示します。左側は、IP のポート図で、右側は、IP の構成可能なオプションです。

図 4-4 EDP PHY の構成画面



IP の一般情報を構成します(図 4-5)。

構成画面の上部は一般情報の構成エリアです。「Module Name」は、生成れる IP モジュールのモジュール名です。この名前は変更できます。「File Name」は、生成される IP ファイルのファイル名です。この名前は変更できます。

図 4-5 一般情報の構成画面

PHY Configuration、AFE、Channel Bonding タブをそれぞれ構成します(図 4-6)。

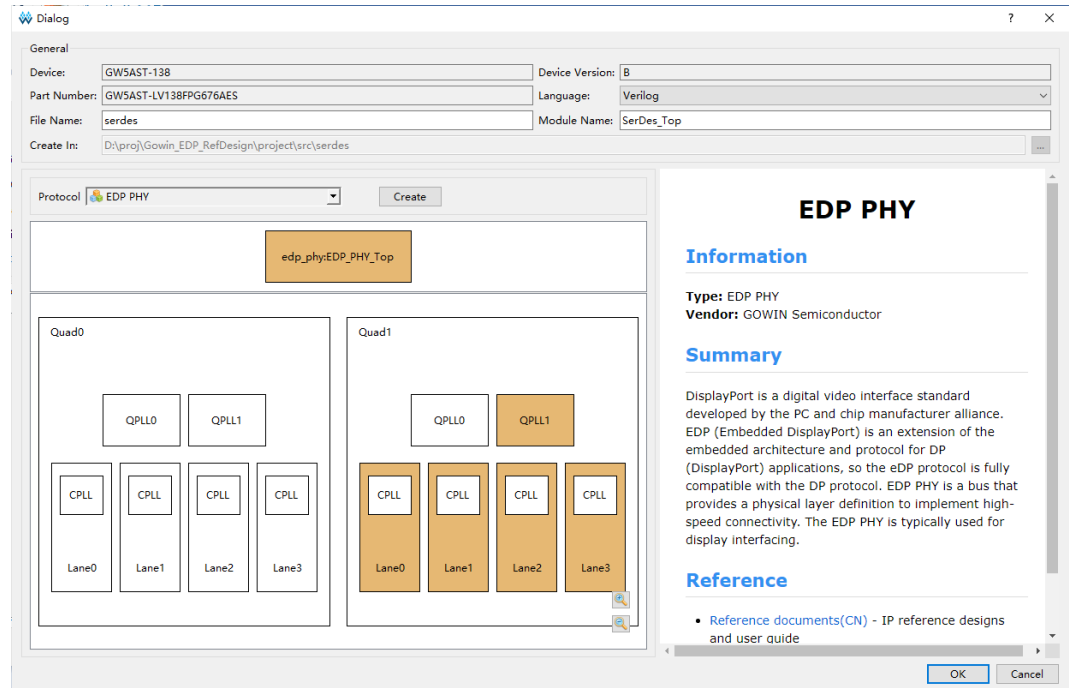
ラインレートとリファレンス・クロックの間に制限関係があるため、リファレンス・クロックが上記のラインレートを生成できるかどうかを確認してください。あるいは、「Calculate」ボタンをクリックして確認することができます。

図 4-6 PHY Configuration タブ

5. IP を生成

EDP PHY IP の構成が完了したら、画面の右下隅にある「OK」ボタンをクリックして EDP PHY IP 関連ファイルを生成します。この時 Serdes IP の構成画面には、生成された EDP PHY IP と、対応する Quad、PLL、および Lane の使用状況が表示されます(図 4-7)。

図 4-7 SerDes IP の構成画面における EDP PHY IP



次に、画面の右下隅にある「OK」ボタンをクリックすると、Serdes IP 関連ファイルが生成され、これで EDP PHY IP の生成が完了します。

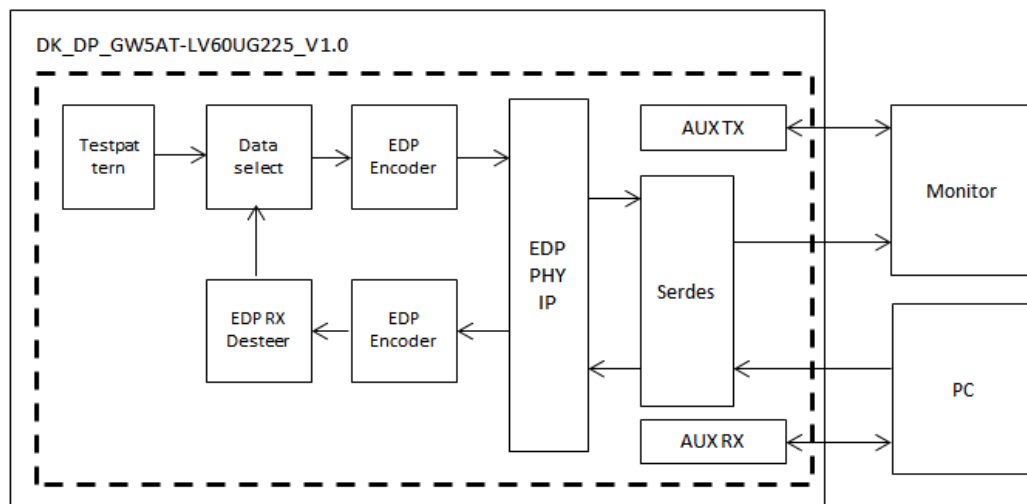
5 リファレンス・デザイン

このセクションでは、主に EDP PHY IP の[リファレンス・デザイン](#)例の構成とその使用方法について説明します。詳細については、GOWIN のホームページにおける EDP PHY リファレンス・デザインを参照してください。

5.1 デザイン例 1

本リファレンス・デザインでは、DK_DP_GW5AT-LV60UG225_V1.0 開発ボードを例として使用しています。このリファレンス・デザインの基本構造を図 5-1 に示します。開発ボードの詳細については、Gowin のホームページを参照してください。

図 5-1 リファレンス・デザイン例 1 の基本構造



リファレンス・デザインは DP 送信部と DP 受信部で構成されています。DP 送信部では、Testpattern モジュールが生成したテスト・パターン・ビデオ信号は、EDP Encoder モジュールによってエンコードされて EDP PHY IP に入力され、シリアル信号に変換されて DP ディスプレイに出力されます。DP 受信部がデータを受信しない場合は常にテスト・パターンが表示されます。DP 受信部では、PC から出力された DP 信号は EDP PHY IP を経てパラレル信号に変換され、そして EDP Decoder モジュールによっ

てデコードされ、EDP RX Desteer モジュールによって形式変換されて Data select モジュールに出力されます。最後に、ディスプレイに出力されて表示されます。

6 提供されるファイル

提供されるファイルには主に、ドキュメント、デザインのソースコード、およびリファレンス・デザインが含まれています。

6.1 ドキュメント

フォルダには主にユーザーガイドの PDF ファイルが含まれています。

表 6-1 ファイル一覧

名称	説明
Gowin EDP PHY IP ユーザーガイド(IPUG1043)	即ち、本マニュアル

6.2 デザインのソースコード(暗号化)

暗号化コードのフォルダには、GUI で使用される、Gowin EDP PHY IP の RTL 暗号化コードが含まれています。

表 6-2 EDP PHY IP のソースコード一覧

名称	説明
edp_phy.v	EDP PHY IP ファイル(暗号化)
serdes.v	すべての SerDes 関連 IP のトップレベル・ファイル。ユーザーにインターフェース情報を提供します。

6.3 リファレンス・デザイン

Gowin SDI RefDesign フォルダには、主に Gowin EDP PHY IP のネットリスト・ファイル、リファレンス・デザイン、制約ファイル、トップレベル・ファイル、およびプロジェクト・フォルダなどが含まれています。

表 6-3 Gowin EDP RefDesign フォルダのコンテンツ一覧

名称	説明
test_top.v	リファレンス・デザインのトップ・モジュール
serdes	EDP PHY IP フォルダ
testpatternX4.v	テストパターン生成モジュール
key_debounce.v	デバウンスモジュール
key_debounceN.v	デバウンスモジュール

名称	説明
fpga_project.cst	物理制約ファイル
fpga_project.sdc	タイミング制約ファイル
auxlink	補助チャンネル・フォルダ
gowin_pll	PLL IP フォルダ
edp_decoder	EDP 受信モジュール・フォルダ
edp_encoder	EDP 送信モジュール・フォルダ
edp_rx_desteer	EDP RX Desteer モジュール・フォルダ

