



Gowin QSGMII IP

ユーザーガイド

IPUG1087-1.3J, 2025-05-23

著作権について(2025)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

 **GOWIN** 及び **Gowin** は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI取引条件) に規定されている内容を除き、(明示的か又は黙示的かに拘わらず) いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ (不具合情報) については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2024/02/02	1.0J	初版。
2024/10/25	1.1J	● Management 機能にリセット信号を追加。 ● リセット・スキームを変更。 ● GW5AT-60 デバイスのサポートを追加。 ● 「AFE」 オプションを追加。
2025/02/28	1.2J	SerDes のリセット・スキームを変更：ユーザーは PMA と PCS をリセット可能。
2025/05/23	1.3J	● GW5AT-15 デバイスのサポートを追加。 ● AFE の説明を追加。

目次

目次	i
図一覧	iii
表一覧	v
1 本マニュアルについて	1
1.1 目的	1
1.2 関連ドキュメント	1
1.3 用語、略語	1
1.4 テクニカル・サポートとフィードバック	2
2 概要	3
2.1 主な特徴	3
2.2 動作周波数	4
2.3 リソース使用量	4
3 機能の説明	5
3.1 構造	5
3.2 IP のリセット	6
3.3 ユーザーインターフェース	6
3.3.1 構成インターフェース	6
3.3.2 状態インターフェース	8
3.3.3 PHY 層インターフェース	9
3.3.4 MAC 層インターフェース	14
3.4 AFE (Analog Front End)	25
3.4.1 送信	26
3.4.2 受信	27
3.5 リファレンス・クロック	27
3.5.1 GW5AT-15	27
3.5.2 GW5AT-60	28
3.5.3 その他のデバイス	28
4 ポート一覧	30
5 パラメータの構成	36

6 GUI での構成	39
7 リファレンス・デザイン	45
7.1 ハードウェア・プラットフォーム	45
7.2 原理図	46
7.3 バスプロトコルとアドレス計画	47
7.4 ボードレベル・テスト	51
7.4.1 操作の説明	51
7.4.2 操作手順	51
8 提供されるファイル	53
8.1 ドキュメント	53
8.2 デザインのソースコード(暗号化)	53
8.3 リファレンス・デザイン	53

図一覧

図 3-1 Gowin QSGMII IP の構造	5
図 3-2 1000M での正常なイーサネットフレームの受信	10
図 3-3 10M/100M での正常なイーサネットフレームの受信	10
図 3-4 1000M での誤ったフレームの受信	10
図 3-5 10M/100M での誤ったフレームの受信	10
図 3-6 1000M でのキャリアエクステンションの受信	11
図 3-7 10M/100M でのキャリアエクステンションの受信	11
図 3-8 1000M での誤ったキャリアエクステンションの受信	11
図 3-9 10M/100M での誤ったキャリアエクステンションの受信	11
図 3-10 1000M での正常なイーサネットフレームの送信	12
図 3-11 10M/100M での正常なイーサネットフレームの送信	12
図 3-12 1000M での誤ったイーサネットフレームの送信	12
図 3-13 10M/100M での誤ったイーサネットフレームの送信	13
図 3-14 1000M でのキャリアエクステンションの送信	13
図 3-15 10M/100M でのキャリアエクステンションの送信	13
図 3-16 1000M での誤ったキャリアエクステンションの送信	13
図 3-17 10M/100M での誤ったキャリアエクステンションの送信	14
図 3-18 1000M レートの半二重モードでの送信	14
図 3-19 1000M レートでの送信衝突	14
図 3-20 1000M での正常な MAC フレームの受信	15
図 3-21 10M/100M での正常な MAC フレームの受信	15
図 3-22 1000M での誤った MAC フレームの受信	15
図 3-23 10M/100M での誤った MAC フレームの受信	15
図 3-24 1000M での、FCS Forward を有効にした場合の正常な MAC フレームの受信	16
図 3-25 1000M での、FCS Forward を有効にした場合の誤った MAC フレームの受信	16
図 3-26 10M/100M での、FCS Forward を有効にした場合の正常な MAC フレームの受信	16
図 3-27 10M/100M での、FCS Forward を有効にした場合の誤った MAC フレームの受信	16
図 3-28 VLAN Tagged フレームの受信	17
図 3-29 受信の統計	17

図 3-30 1000M での正常な MAC フレームの送信	19
図 3-31 10M/100M での正常な MAC フレームの送信	19
図 3-32 1000M での誤った MAC フレームの送信	19
図 3-33 10M/100M での誤った MAC フレームの送信	19
図 3-34 1000M での、FCS Forward を有効にした場合の MAC フレームの送信	20
図 3-35 10M/100M での、FCS Forward を有効にした場合の MAC フレームの送信	20
図 3-36 衝突が発生した場合に再送信	20
図 3-37 衝突が発生した場合に再送信しない(自発的に).....	21
図 3-38 衝突が発生した場合に再送信しない(受動的に).....	21
図 3-39 送信の統計	21
図 3-40 pause フレームの送信	22
図 3-41 pause フレームの受信	23
図 3-42 MDC と MDIO の接続図.....	24
図 3-43 MIIM の書き込みタイミング	25
図 3-44 MIIM の読み出しタイミング	25
図 3-45 送信差動信号のスイング Vdiffpp.....	26
図 3-46 FFE TX 電圧の定義	27
図 4-1 Gowin QSGMII IP IO のポート図.....	31
図 6-1 IP Core Generator	39
図 6-2 SerDes IP の構成画面	40
図 6-3 PHY Configuration タブ	41
図 6-4 MAC Configuration タブ	42
図 6-5 AFE Configuration タブ	43
図 6-6 SerDes IP の構成画面における QSGMII IP	44
図 7-1 ハードウェア・プラットフォーム	45
図 7-2 リファレンス・デザインの原理図	46
図 7-3 UART to Bus IP のパラメータの設定(その 1).....	47
図 7-4 UART to Bus IP のパラメータの設定(その 2).....	48

表一覧

表 1-1 用語、略語	1
表 2-1 Gowin QSGMII IP	3
表 2-2 リソース使用量	4
表 3-1 configuration_vector_chx_i の各ビットの定義.....	7
表 3-2 status_vector_chx_o の各ビットの定義	8
表 3-3 rx_statistics_vector_chx_o の各ビットの定義	17
表 3-4 tx_statistics_vector_chx_o の各ビットの定義	21
表 3-5 GW5AT-15 のリファレンス・クロックの対応関係	28
表 3-6 GW5AT-60 のリファレンス・クロックの対応関係	28
表 3-7 その他のデバイスのリファレンス・クロックの対応関係	28
表 4-1 Gowin QSGMII IP IO のポート一覧	31
表 5-1 Gowin QSGMII IP の静的パラメータ	36
表 7-1 レジスタアドレスの定義.....	48
表 8-1 ファイル一覧.....	53
表 8-2 Gowin QSGMII IP のソースコード一覧	53
表 8-3 Gowin QSGMII IP RefDesign フォルダのコンテンツ一覧	54

1 本マニュアルについて

1.1 目的

本マニュアルは、ユーザーが Gowin QSGMII IP を使いこなせるよう、その概要、機能、呼び出しと構成、およびリファレンス・デザインなどについて説明します。本マニュアルに記載のソフトウェア GUI のスクリーンショットは、Gowin ソフトウェア V1.9.11.02 バージョン(64-bit)の場合のもので、ソフトウェアのアップデートにより、一部の内容が変更される場合があります。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- Gowin ソフトウェア ユーザーガイド([SUG100](#))
- GW5A シリーズ FPGA 製品データシート([DS1103](#))
- GW5AT シリーズ FPGA 製品データシート([DS981](#))
- GW5AS シリーズ FPGA 製品データシート([DS1105](#))
- GW5AST シリーズ FPGA 製品データシート([DS1239](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
AFE	Analog Front End	アナログ・フロントエンド
CRC	Cyclic Redundancy Check	巡回冗長検査
FCS	Frame Check Sequence	フレーム・チェック・シーケンス
FFE	Feed-Forward Equalization	フィードフォワード・

用語、略語	正式名称	意味
		イコライゼーション
IFG	Inter-Frame Gap	フレーム間隔
IP	Intellectual Property	設計資産
LUT	Look-up Table	ルックアップテーブル
MAC	Media Access Control	媒体アクセス制御
PCS	Physical Coding Sublayer	物理符号化副層
QSGMII	Quad Serial Gigabit Media Independent Interface	クアッド・シリアル・ギガビット媒体独立インターフェース
SFD	Start of Frame Delimiter	開始フレーム識別子
SGMII	Serial Gigabit Media Independent Interface	シリアル・ギガビット媒体独立インターフェース

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ: www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

Gowin QSGMII IPは、4つのSGMIIチャンネルを1つの5Gb/sインターフェースに統合するQSGMII仕様準拠ソリューションを実装します。このIPの使用により、ピン・リソースを節約することができます。

表 2-1 Gowin QSGMII IP

Gowin QSGMII IP	
ロジックリソース	表 2-2 参照
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンス・デザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis
統合開発環境	Gowin ソフトウェア(V1.9.9.01 以降)

注記：

デバイスのサポート情報は、Gowin セミコンダクターの[ホームページ](#)で確認できます。

2.1 主な特徴

- QSGMII 仕様に準拠
- SGMII は 10/100/1000M のレートをサポート
- イーサネット MAC 機能の搭載はオプション
- 全二重および半二重モードをサポート、半二重モードでの衝突検出をサポート
- CRC を自動的に追加および検証するかどうかはオプション
- padding(充填)機能をサポート
- イーサネットフレームの分類統計をサポート
- イーサネットフレーム・エラーの統計をサポート
- IFG を構成可能

- Jumbo モードをサポート
- 全二重モードでの Flow Control をサポート
- 管理インターフェース(MDC/MDIO)をサポート

2.2 動作周波数

Gowin QSGMII IP の動作周波数は 125MHz です。

2.3 リソース使用量

Gowin QSGMII IP は、Verilog で実装され、そのパフォーマンスとリソース使用量は、使用されているデバイスの密度、スピードグレードなどにより異なる場合があります。例えば、GW5AT シリーズ FPGA の場合、そのリソース使用量は表 2-2 に示すようになります。他のデバイスでのリソース使用量については、その最新情報を参照してください。

表 2-2 リソース使用量

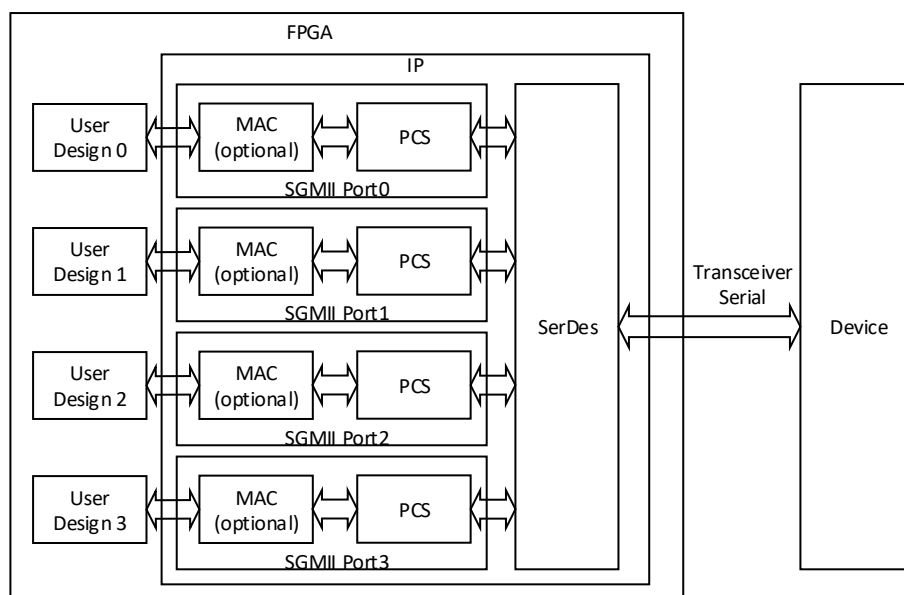
インターフェース	LUTs	Registers	デバイス	スピード
MAC 層	6531	6207	GW5AT-138	ES
PHY 層	2419	1943	GW5AT-138	ES
PHY 層(MIIM)	2932	2235	GW5AT-138	ES

3 機能の説明

3.1 構造

Gowin QSGMII IP は主に、4 チャンネルの SGMII と SerDes で構成されており、各 SGMII チャンネルには MAC(オプション)と PCS が含まれています(図 3-1)。User Design は FPGA 内のユーザーデザインで、Device は QSGMII 仕様をサポートする外部イーサネットデバイスです。

図 3-1 Gowin QSGMII IP の構造



- **SGMII** : イーサネットの **MAC** 層および **PCS** 層の機能を実装します。
 - **MAC** : ユーザーデータとイーサネット・フレーム・データとの間のフォーマットの変換を実装し、**CRC**、**padding**、**Flow Control**、**IFG** の構成、フレームの統計、エラーの表示などをサポートします。
 - **PCS** : **GMII**、オートネゴシエーション、**K28.5** と **K28.1** 間の置換(ポート 0 のみ)、**I1** のみの送信を実装します。
- **SerDes** : イーサネットデータのエンコード/デコード、シリアル-パラレル変換などを実装します。

3.2 IP のリセット

ユーザーは、`rstn_i`(アクティブ Low)を使用して Gowin QSGMII IP の全体的なリセットを実現することができます。

Gowin QSGMII IP のリセット時間は、実際の状況に応じて設定する必要があります。リセットは、少なくともリファレンス・クロックの出力が安定するまで継続する必要があります。

3.3 ユーザーインターフェース

IP は 4 つの SGMII チャンネルをサポートします。各 SGMII チャンネルはオプションの MAC 層機能と、3 つのレートをサポートします。さらに、各 SGMII チャンネルのレート、IFG、および Flow Control 機能を個別に構成することができます。ただし、PHY 層の MIIM 機能と MIIM のクロック分周係数機能を個別に構成することはできません。

4 つの SGMII チャンネルのポート名は、それぞれ Port0 ~ Port3 に対応する、「ch0」、「ch1」、「ch2」、「ch3」で区別されています。説明の便宜上、以下の説明ではポート名の対応する部分を「chx」と表記しています。

3.3.1 構成インターフェース

モードの構成

SGMII は、System Mode と Media Mode に分類できます。System Mode では、SGMII の現在のレートとデュプレックスモードは、外部に接続されたイーサネットデバイスによって決定され、10M、100M、1000M の 3 つのレートと、全二重と半二重の 2 つのデュプレックスモードがサポートされます。Media Mode では、SGMII の現在のレートとデュプレックスモードは自分で設定でき、サポートされるレートとデュプレックスモードは System Mode と同じです。

`sgmii_mode_chx_i` を 0 にした場合、SGMII は System Mode であり、このとき、レートとデュプレックスモードを設定する必要はありません。`sgmii_mode_chx_i` を 1 にした場合、SGMII は Media Mode であり、このとき、`configuration_vector_chx_i[13:11]`を通じて SGMII のレートとデュプレックスモードを設定することができます。デュプレックスモードについては、`configuration_vector_chx_i[13]`が 1 の場合は SGMII が全二重であり、`configuration_vector_chx_i[13]`が 0 の場合は SGMII が半二重です。レートについては、`configuration_vector_chx_i[12:11]`が 1X の場合は SGMII の転送レートが 1000M であり、`configuration_vector_chx_i[12:11]`が 01 の場合は SGMII の転送レートが 100M であり、`configuration_vector_chx_i[12:11]`が 00 の場合は SGMII の転送レートが 10M です。

さらに、`sgmii_link_timer_chx_i`を設定することで、SGMII のリンク時間を制御することができます。リンク時間は以下の式で計算されます：

リンク時間=sgmii_link_timer_chx_i*32.769us

注記：

SGMII のリンク時間は 1.6ms です。

機能の構成

repeater_mode_chx_i を 1 にすると、SGMII はリピータモードに設定されます。configuration_vector_chx_i を構成することで、SGMII 内部のオートネゴシエーション機能の有効/無効、再度オートネゴシエーション、デュプレックスモード、レートモード、パワーダウンなどの機能を制御することができます。configuration_vector_chx_i は、SGMII に MAC 機能が含まれている場合、または PHY 機能のみがあり、PHY MIIM インターフェースをサポートしていない場合にのみ存在することに注意してください。また、ユーザーは、signal_detect_chx_i を 1 にすることで、SGMII が信号検出機能をサポートするようにすることもできます。さらに、signal_detect_chx_i と configuration_vector_chx_i[1]を併用することで、SGMII のデータ同期機能を制御することができます。configuration_vector_chx_i の各ビットの定義を表 3-1 に示します。

表 3-1 configuration_vector_chx_i の各ビットの定義

位置	名称	説明
14	Sgmii Phy Link	SGMIIがMedia Modeの場合のPHYのLink状態： 1：Link up 0：Link down
13	Sgmii Phy Duplex	SGMIIがMedia Modeの場合のデュプレックスモード： 1：全二重 0：半二重
12:11	Sgmii Phy Speed	SGMIIがMedia Modeの場合のレート： 1X：1000M 01：100M 00：10M
[10:8]	Reserve	—
7	Disparity Check Enable	不一致チェック： 0：無効にします 1：有効にします
6	Power Down	パワーダウン機能： 1：パワーダウン 0：パワーアップ
5	Unidir En	単方向転送機能： 1：有効にします 0：無効にします
4	Mr Restart An	再度オートネゴシエーション機能： 1->0：再度オートネゴシエーション

位置	名称	説明
3	Isolate	ユーザーとPHY層間のデータ転送を分離する転送分離機能： 1：有効にします 0：無効にします
2	Mr An Enable	オートネゴシエーション機能： 1：有効にします 0：無効にします
1	Mr Loopback	データ同期機能： 1：IPはデータ同期を行います。 signal_detect_chx_iは機能しません。 0：signal_detect_chx_i=1の場合、IPはデータ同期を行い、signal_detect_chx_i=0の場合、IPはデータ同期を行いません。
0	Mr Main Reset	リセット機能： 1：リセット 0：リセット解除

3.3.2 状態インターフェース

status_vector_chx_o は SGMII の現在の状態(ステータス)を示し、link_partner_ability_base_chx_o はこのオートネゴシエーション時の相手側の構成レジスタ情報を示します。status_vector_chx_o の各ビットの定義を表 3-2 に示します。

表 3-2 status_vector_chx_o の各ビットの定義

位置	名称	説明
10	Decode Disparity Err	デコード時の不一致異常の表示： 1: 不一致異常 0：不一致正常
9	Decode Coding Err	デコード時のデータ異常の表示： 1：データ異常 0：データ正常
8	Phy Link Status	SGMIIでの相手側のPHY Link状態の表示： 1：Link up 0：Link down
7	Duplex Status	SGMIIでの相手側のデュプレックスモードの表示： 1：全二重 0：半二重
6:5	Speed Status	SGMIIでの相手側のレートの表示： 1x：1000M 01：100M 00：10M

位置	名称	説明
4	Page Received	相手側の構成レジスタ情報受信の表示
3	Power Down	パワーダウン状態の表示： 1：パワーダウン 0：パワーアップ
2	An Complete	オートネゴシエーション完了状態の表示： 1：オートネゴシエーション完了 0：オートネゴシエーション未完了
1	Link Status	Link状態の表示： 1：Link up 0：Link down
0	Sync Status	データ同期状態の表示： 1：データ同期 0：データ未同期

3.3.3 PHY 層インターフェース

イーサネットフレームの受信

イーサネットフレームの受信とは、シリアル・データをイーサネット・フレーム・データに変換するプロセスです。すべての受信信号は `gmii_rx_clk_chx_o` に同期します。

正常なイーサネットフレームの受信

1000M での正常なイーサネットフレームの受信プロセスを図 3-2 に示し、10M/100M での正常なイーサネットフレームの受信プロセスを図 3-3 に示します。

`gmii_rx_clk_chx_o` の周波数は、レートにかかわらず 125MHz であり、各バイトのデータは、10M のレートの場合に 100 サイクル繰り返し受信され、100M のレートの場合に 10 サイクル繰り返し受信され、1000M のレートの場合に 1 サイクルのみ受信されます。

1000M のレートでは、イーサネットフレームは 7 バイトの **Preamble** と 1 バイトの **SFD** で 1 フレームの開始を示し、10M と 100M のレートでは、データの各バイトはそれぞれ 100 サイクルと 10 サイクル繰り返し受信されます。レートに関係なく、変換中に **SFD** が存在するため、受信した **Preamble** は 1 バイト欠落する可能性があることに注意してください。

(正常な)イーサネットフレームの受信で、`gmii_rx_dv_chx_o` はフレームが終了するまで 1 のままであり、`gmii_rx_er_chx_o` は常に 0 であり、`gmii_rxd_chx_o` は受信データです。IP には受信したイーサネットフレームをバッファリングするバッファがないため、ユーザーは常にイーサネットフレームを受信できることを確保する必要があります。イーサネットフレームのデータは、フレーム全体が受信されるまで連続的に出力され、フレーム間にギャップ(間隔)があります。

図 3-2 1000M での正常なイーサネットフレームの受信

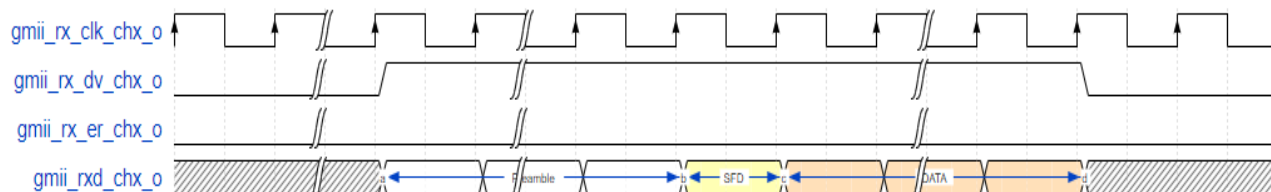
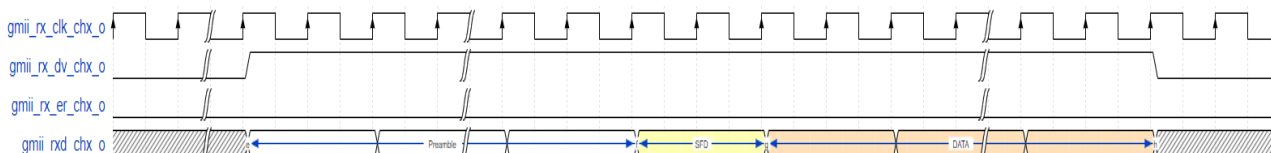


図 3-3 10M/100M での正常なイーサネットフレームの受信



誤ったイーサネットフレームの受信

gmii_rx_dv_chx_o が 1 の場合に gmii_rx_er_chx_o が 1 であることは、現在のバイトデータがエラーデータであることを意味します。図 3-4 と図 3-5 にそれぞれ 1000M および 10M/100M での誤ったフレームの受信を示します。

図 3-4 1000M での誤ったフレームの受信

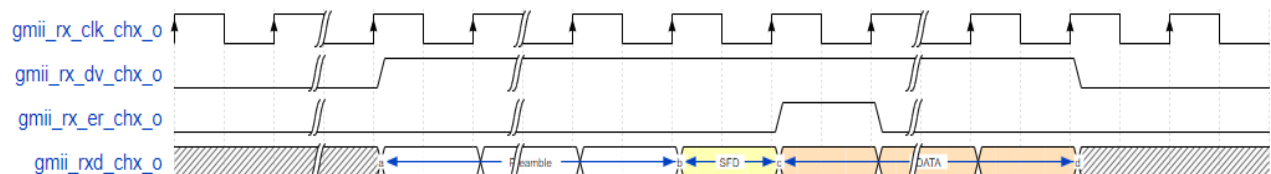
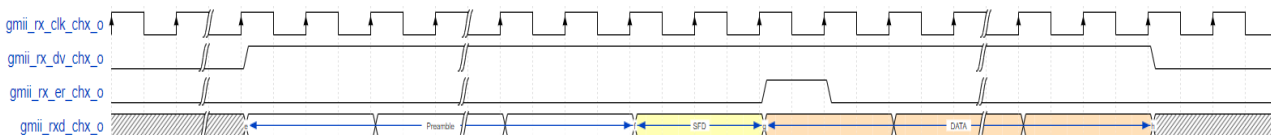


図 3-5 10M/100M での誤ったフレームの受信



キャリアエクステンションの受信

gmii_rx_dv_chx_o が 0、gmii_rx_er_chx_o が 1、gmii_rxd_chx_o が 8'h0F の際のプロセスは、キャリアエクステンションの受信です。キャリアエクステンションはイーサネットフレームの受信の直後に続くことに注意してください。図 3-6 に、1000M レートでのキャリアエクステンションの受信を示し、図 3-7 に、10M/100M でのキャリアエクステンションの受信を示します。

図 3-6 1000M でのキャリアエクステンションの受信

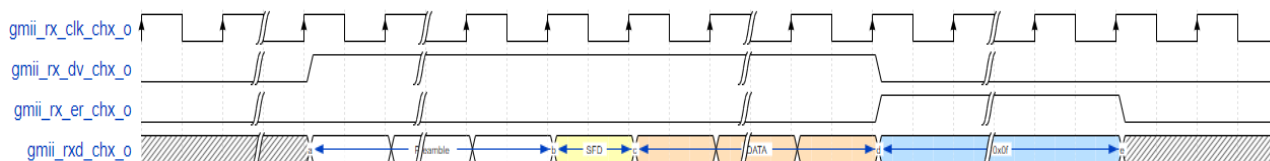
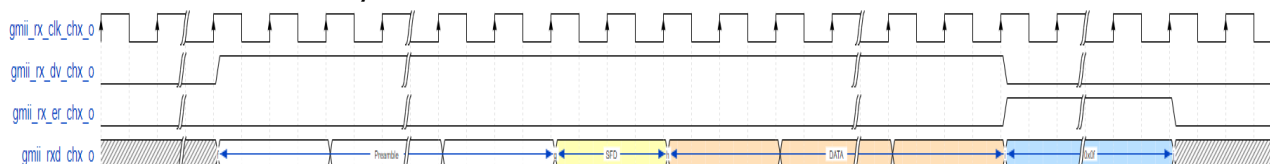


図 3-7 10M/100M でのキャリアエクステンションの受信



誤ったキャリアエクステンションの受信

キャリアエクステンションの受信に基づき、gmii_rx_dv_chx_o が 0、gmii_rx_er_chx_o が 1、gmii_rxd_chx_o が 8'h1F の際のプロセスは、誤ったキャリアエクステンションの受信です。図 3-8 に、1000M レートでの誤ったキャリアエクステンションの受信を示し、図 3-9 に、10M/100M レートでの誤ったキャリアエクステンションの受信を示します。

図 3-8 1000M での誤ったキャリアエクステンションの受信

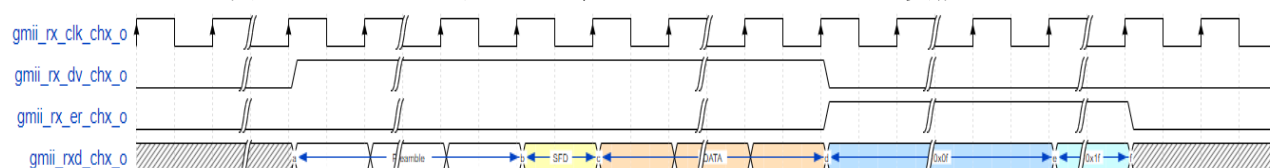
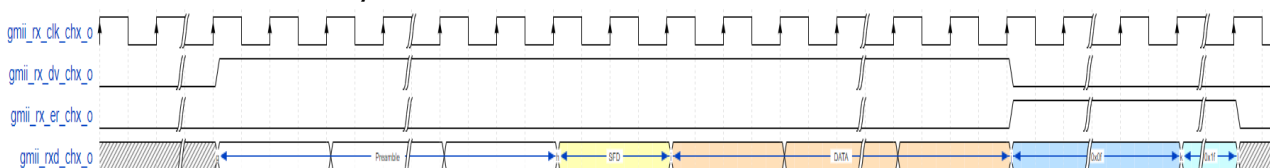


図 3-9 10M/100M での誤ったキャリアエクステンションの受信



イーサネットフレームの送信

イーサネットフレームの送信とは、イーサネット・フレーム・データをシリアル・データに変換するプロセスです。すべての送信信号は gmii_tx_clk_chx_o に同期します。

正常なイーサネットフレームの送信

1000M での正常なイーサネットフレームの送信プロセスを図 3-10 に示し、10M/100M での正常なイーサネットフレームの送信プロセスを図 3-11 に示します。

gmii_tx_clk_chx_o の周波数は、レートにかかわらず 125MHz であり、

各バイトのデータは、10M のレートの場合に 100 サイクル繰り返し送信され、100M のレートの場合に 10 サイクル繰り返し送信され、1000M のレートの場合に 1 サイクルのみ送信されます。

1000M のレートでは、イーサネットフレームは 7 バイトの Preamble と 1 バイトの SFD で 1 フレームの開始を示し、10M と 100M のレートでは、データの各バイトはそれぞれ 100 サイクルと 10 サイクル繰り返し送信されます。

(正常な)イーサネットフレームの送信中、gmii_tx_en_chx_i はフレームが終わるまで 1 のままである必要があります。gmii_tx_er_chx_i は常に 0 である必要があります。送信されるバイトは、gmii_tx_en_chx_i が 1 のときに gmii_txd_chx_i に割り当てられます。IP には、送信されるイーサネットフレームをバッファリングするバッファがないことに注意してください。したがって、最初のバイトの送信の開始後、フレーム全体が送信されるまで、ユーザーは後続のバイトを準備し、gmii_tx_en_chx_i が 1 のときにそれらを早速 gmii_txd_chx_i に割り当てる必要があります。

図 3-10 1000M での正常なイーサネットフレームの送信

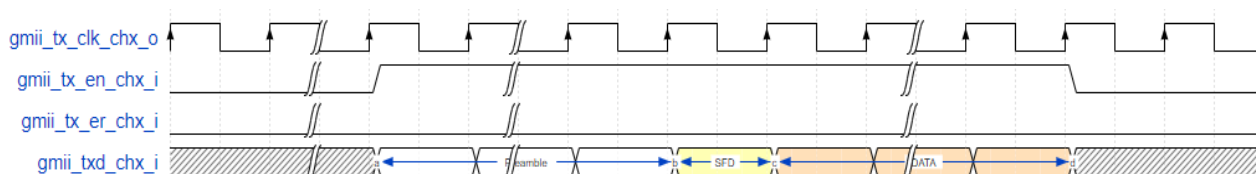
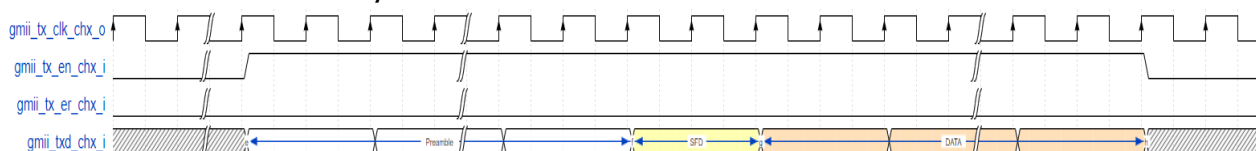


図 3-11 10M/100M での正常なイーサネットフレームの送信



誤ったイーサネットフレームの送信

送信中、gmii_tx_en_chx_i が 1 でありかつ gmii_tx_er_chx_i が 1 であることは、現在のバイトデータがエラーデータであることを意味します。1000M および 10M/100M レートでの誤ったフレームの送信をそれぞれ図 3-12 および図 3-13 に示しています。

図 3-12 1000M での誤ったイーサネットフレームの送信

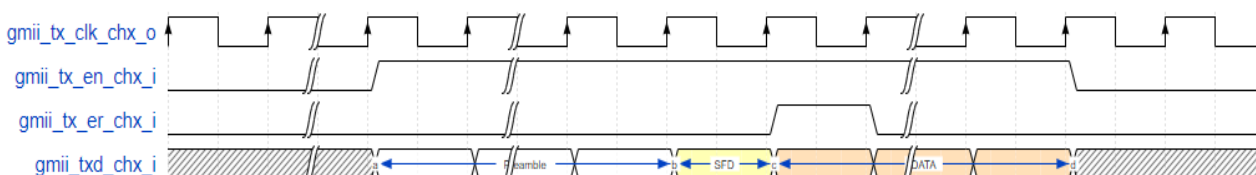
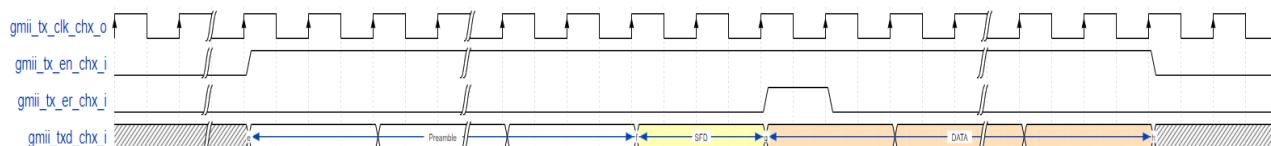


図 3-13 10M/100M での誤ったイーサネットフレームの送信



キャリアエクステンションの送信

gmii_tx_en_chx_i が 0、gmii_tx_er_chx_i が 1、gmii_txd_chx_i が 8'h0F の際のプロセスは、キャリアエクステンションの送信です。キャリアエクステンションはイーサネットフレームの送信の直後に続くことに注意してください。図 3-14 に、1000M レートでのキャリアエクステンションの送信を示し、図 3-15 に、10M/100M でのキャリアエクステンションの送信を示します。

図 3-14 1000M でのキャリアエクステンションの送信

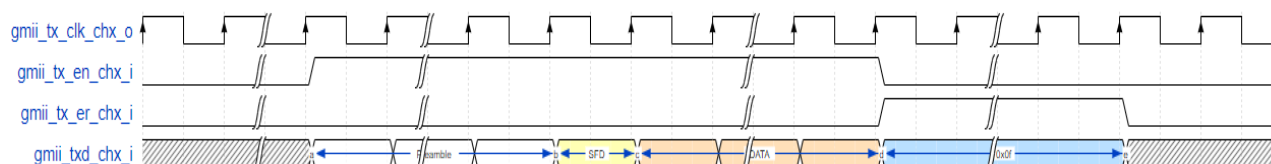
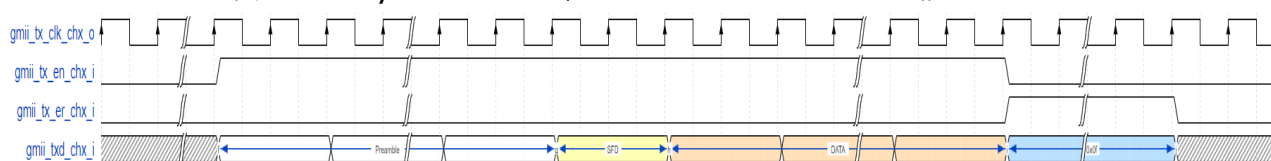


図 3-15 10M/100M でのキャリアエクステンションの送信



誤ったキャリアエクステンションの送信

キャリアエクステンションの送信に基づき、gmii_tx_en_chx_i が 0、gmii_tx_er_chx_i が 1 の時、gmii_txd_i は連続した 8'h0f に続いて連続した 8'h1f を出力します。図 3-16 に、1000M レートでの誤ったキャリアエクステンションの送信を示し、図 3-17 に、10M/100M レートでの誤ったキャリアエクステンションの送信を示します。

図 3-16 1000M での誤ったキャリアエクステンションの送信

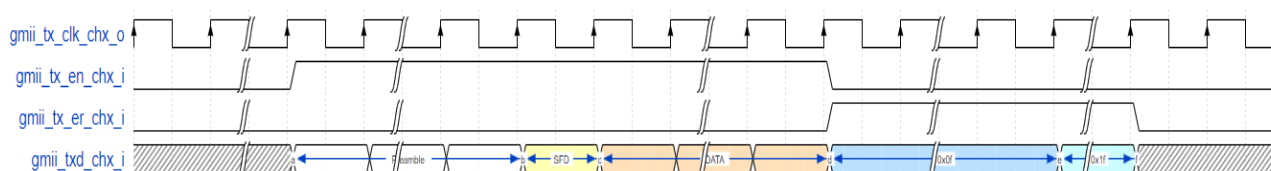
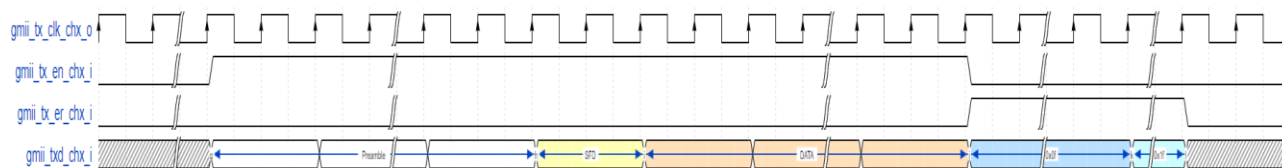


図 3-17 10M/100M での誤ったキャリアエクステンションの送信



半二重モードでの送信

半二重モードでは、送信前に `gmii_crs_chx_o` と `gmii_col_chx_o` 信号が検出され、それらが両方とも 0 であれば、イーサネットフレームは上記の全二重送信プロセスに従って送信することができ、そうでなければ待ち続けます。送信中に、`gmii_col_chx_o` が 1 であることが検出された場合、直ちに `gmii_tx_en_chx_i` と `gmii_tx_er_chx_i` を 0 にしてこのイーサネットフレームの送信を終了する必要があります。`gmii_crs_chx_o` と `gmii_col_chx_o` が両方とも 0 になった後、このフレームを再送信するかどうかはユーザー次第です。図 3-18 は 1000M レートの半二重モードでの送信を示し、図 3-19 は 1000M レートでの送信衝突を示します。

図 3-18 1000M レートの半二重モードでの送信

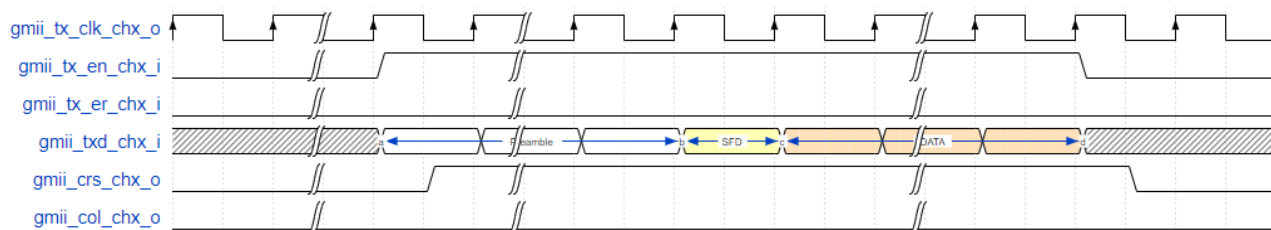
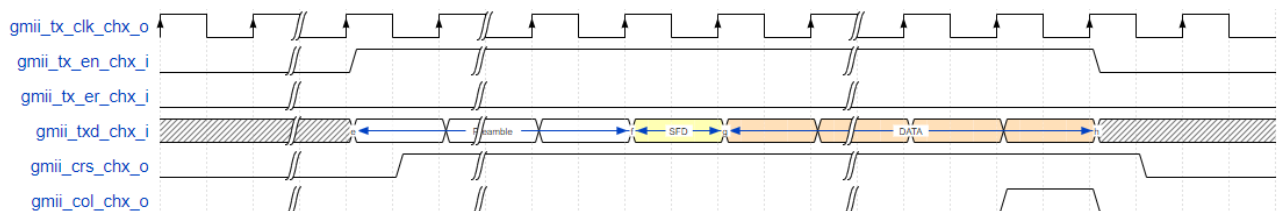


図 3-19 1000M レートでの送信衝突



3.3.4 MAC 層インターフェース

MAC フレームの受信

MAC フレームの受信とは、シリアル・データをユーザーデータに変換するプロセスです。すべての受信信号は `rx_mac_clk_chx_o` に同期します。

正常な MAC フレームの受信

1000M での正常な MAC フレームの受信プロセスを図 3-20 に示し、10M/100M での正常 MAC フレームの受信プロセスを図 3-21 に示します。

`rx_mac_valid_chx_o=1` は、このサイクルに `rx_mac_data_chx_o` が有効であることを示します。`rx_mac_valid_chx_o` と `rx_mac_last_chx_o=1` は、このサイクルの `rx_mac_data_chx_o` が有効であり、この MAC フレーム

ムの最後のバイトであることを示します。IP には受信した MAC フレームをバッファリングするバッファがないため、ユーザーはいつでもイーサネットフレームを受信できることを確保する必要があります。データは、フレームの最初のバイトがユーザーインターフェースに到着してから、フレーム全体が受信されるまで連続的に受信されます。

図 3-20 1000M での正常な MAC フレームの受信

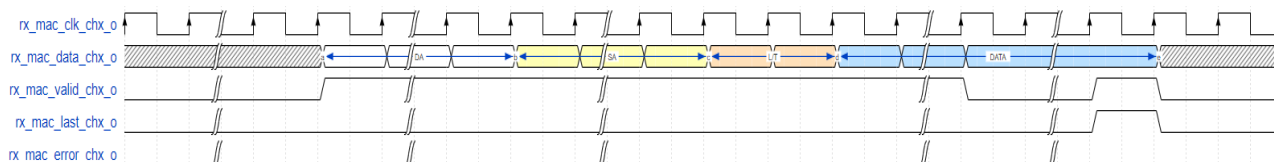
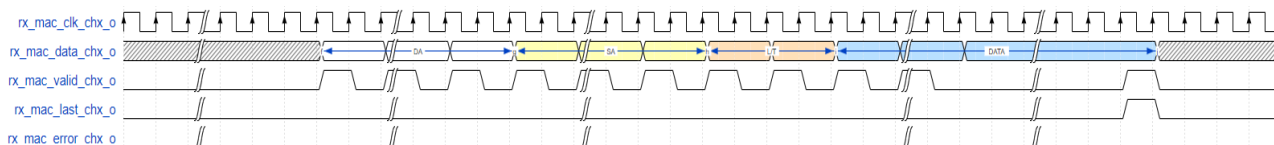


図 3-21 10M/100M での正常な MAC フレームの受信



誤った MAC フレームの受信

rx_mac_error_chx_o=1 は、現在のフレームにエラーがあることを示します。エラータイプについては、rx_statistics_valid_chx_o と rx_statistics_vector_chx_o 信号を参照してください。rx_mac_error_chx_o が 1 の場合にのみ、rx_mac_last_chx_o は現在のフレームのエラー状態を示します。図 3-22 と図 3-23 にそれぞれ 1000M および 10M/100M での誤った MAC フレームの受信を示します。

図 3-22 1000M での誤った MAC フレームの受信

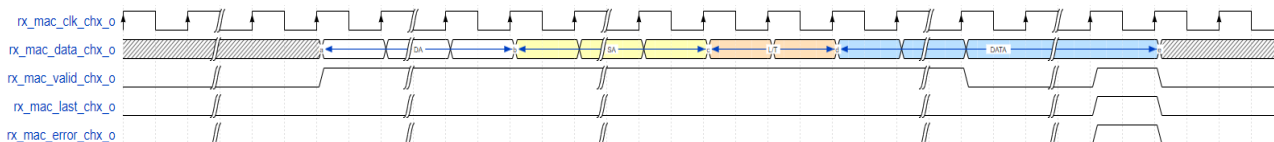
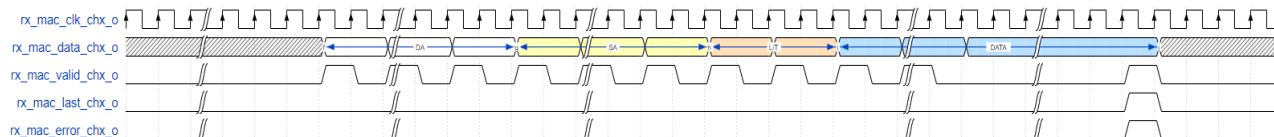


図 3-23 10M/100M での誤った MAC フレームの受信



次のエラーが発生した場合、rx_mac_error_chx_o はエラーを示します。

1. FCS エラーを受信した場合。
2. align フレームを受信した場合。
3. 受信中、PHY 層インターフェースの gmii_rx_er_chx_o 信号が有効である場合。
4. 半二重中に衝突が発生した場合。

5. フレーム長が正しくない場合。つまり、Jumbo 機能が無効にされた場合、受信した非 VLAN フレームが 64 バイト未満または 1518 バイトを超え、VLAN フレームが 64 バイト未満または 1522 バイトを超え、Jumbo 機能が有効にされた場合、受信したフレームが 64 バイト未満です。

受信 MAC フレーム FCS Forward

ユーザーが IP を受信 FCS Forward モードに設定すると、図 3-24～図 3-27 に示すように、IP は受信した FCS フィールドをユーザー側に渡します。この場合、IP は FCS フィールドを自動的にチェックし、その結果は rx_mac_error_chx_o および rx_statistics_vector_chx_o によって表示されます。

図 3-24 1000M での、FCS Forward を有効にした場合の正常な MAC フレームの受信

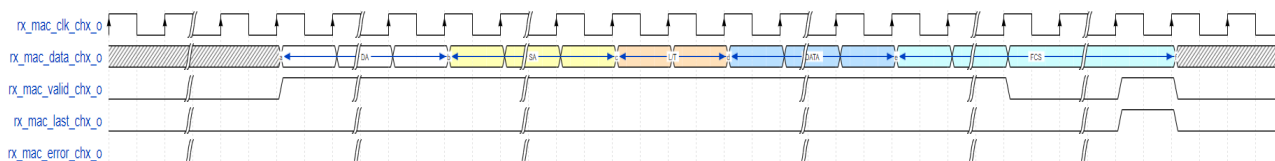


図 3-25 1000M での、FCS Forward を有効にした場合の誤った MAC フレームの受信

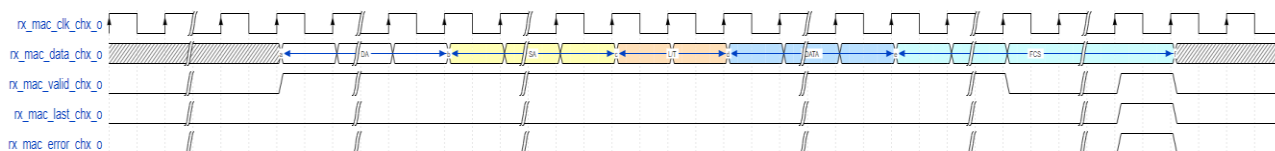


図 3-26 10M/100M での、FCS Forward を有効にした場合の正常な MAC フレームの受信

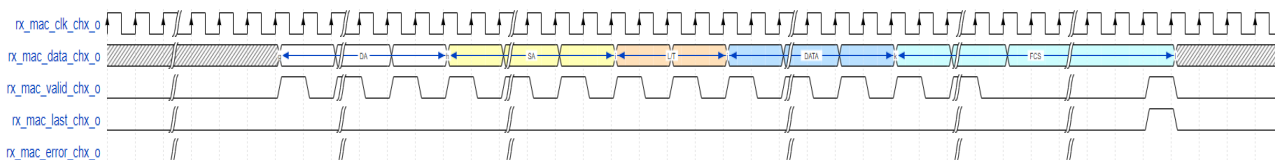
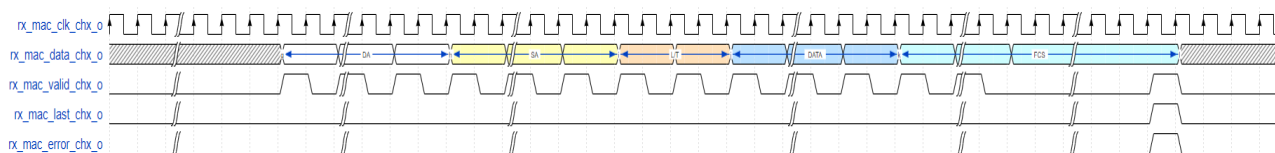


図 3-27 10M/100M での、FCS Forward を有効にした場合の誤った MAC フレームの受信

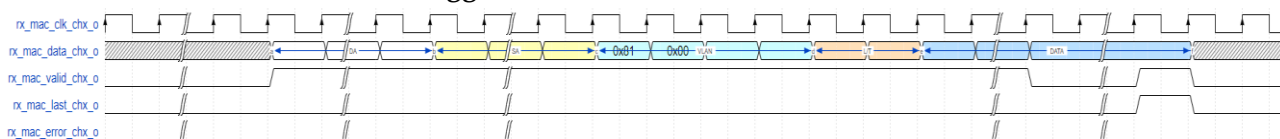


VLAN Tagged フレームの受信

IP は、VLAN Tagged フレームを受信した場合、rx_statistics_vector_chx_o でこのフレームが VLAN Tagged フレームであることを示します。VLAN Tagged フレームは、ソース MAC アドレスの後の 2 バイトが 0x8100 のフレームです。IEEE802.3 では、VLAN フィールド

ドは 4 バイトあり、最初の 2 バイトは 0x8100 で、最後の 2 バイトは VLAN タグです(図 3-28)。

図 3-28 VLAN Tagged フレームの受信



MAC Control フレームの受信

IP は、MAC Control フレームを受信した場合、`rx_statistics_vector_chx_o` でこのフレームが MAC Control フレームであることを示します。MAC Control フレームは L/T フィールドが 0x8808 のフレームです。IEEE802.3 では、L/T フィールドが 0x8808 のフレームを MAC Control フレームと定義しています。

イーサネット回線が異常な時の受信

イーサネット回線に異常があるか、半二重の衝突が発生した場合、1 バイトのフレームが転送されることがあります。このとき、ユーザー側インターフェースの最初の `rx_mac_valid_chx_o` と `rx_mac_last_chx_o` は同時に 1 になります。つまり、当該バイトを受信した直後に、このフレームは終了します。ユーザーデザインは、このような異常な状況に対処する必要があります。

受信の統計

受信したフレームの統計情報は、`rx_statistics_vector_chx_o` 信号により表示されます。`rx_statistics_vector_chx_o` は、`rx_statistics_valid_chx_o` が 1 の場合に有効であり、受信したフレームの統計情報を示します。そのタイミングを図 3-29 に示し、`rx_statistics_vector_chx_o` の各ビットの定義を表 3-3 に示します。

図 3-29 受信の統計

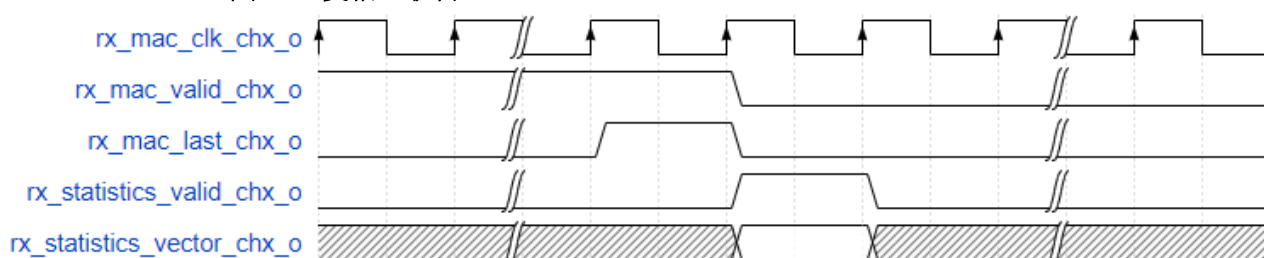


表 3-3 `rx_statistics_vector_chx_o` の各ビットの定義

位置	名称	説明
26	RX Alignment Error	受信したフレームがバイトの整数倍でない場合、1にセット
25	RX Length Error	受信したフレームの長さが規格を満たしてい

位置	名称	説明
		ない場合、1にセット
24	RX FCS Error	受信したフレームにFCSエラーがある場合、1にセット
23	RX_ER Error	受信中にPHY層インターフェースのgmii_rx_er_chx_o信号が有効である場合、1にセット
22	RX Collision Error	半二重モードで、フレーム受信中に衝突が発生した場合、1にセット
21:6	RX Frame Length	FCSフィールドを含む、受信フレームの長さ
5	RX Flow Control Frame	全二重モードで、受信したフレームがフロー制御フレームの場合、1にセット
4	RX MAC Control Frame	受信したフレームがMAC Controlフレームの場合、1にセット
3	RX VLAN Frame	受信したフレームがVLANフレームの場合、1にセット
2	RX Multicast Frame	受信したフレームがマルチキャストフレームの場合、1にセット
1	RX Broadcast Frame	受信したフレームがブロードキャストフレームの場合、1にセット
0	RX Unicast Frame	受信したフレームがユニキャストフレームの場合、1にセット

MAC フレームの送信

MAC フレームの送信とは、ユーザーデータをシリアル・データに変換するプロセスです。すべての送信信号はtx_mac_clk_chx_oに同期します。

正常な MAC フレームの送信

1000M での正常な MAC フレームの送信プロセスを図 3-30 に示し、10M/100M での正常な MAC フレームの送信プロセスを図 3-31 に示します。

tx_mac_clk_chx_o の周波数は、レートにかかわらず 125MHz です。tx_mac_ready_chx_o は、10M のレートの場合に 100 サイクルごとに有効であり、100M のレートの場合に 10 サイクルごとに有効であり、1000M のレートの場合に 1 サイクルごとに有効です。

フレームの送信中、tx_mac_valid_chx_i は、このフレームの最後まで 1 のままである必要があります。両方とも 1 になっている

tx_mac_ready_chx_o と tx_mac_last_chx_i は、tx_mac_data_chx_i がこのサイクルで送信され、この MAC フレームの最後のバイトであることを示します。IP には、送信される MAC フレームをバッファリングするバッファがないことに注意してください。したがって、最初のバイトの送信の開始後、フレーム全体が送信されるまで、ユーザーは後続のバイトを準備し、tx_mac_ready_chx_o が 1 のときにそれらを早速 tx_mac_data_chx_i に割

り当てる必要があります。

図 3-30 1000M での正常な MAC フレームの送信

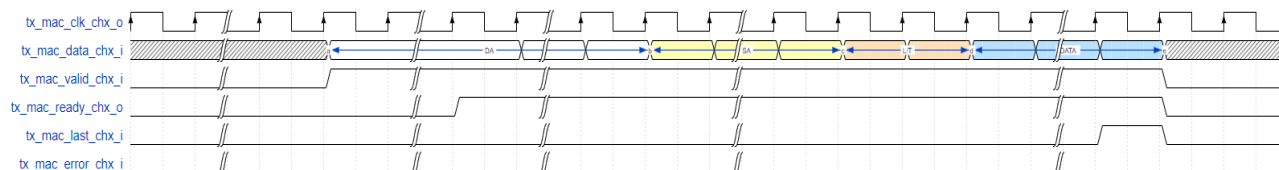
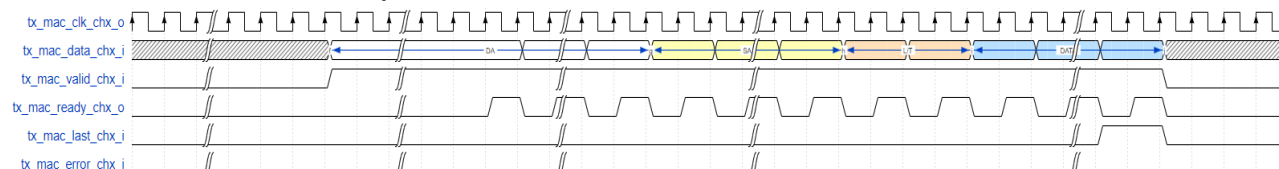


図 3-31 10M/100M での正常な MAC フレームの送信



誤った MAC フレームの送信

送信中、同時に 1 になっている `tx_mac_error_chx_i` と `tx_mac_ready_chx_o` は、現在送信されているデータにエラーがあることを示します。IP は、PHY 層インターフェースでデータのエラーの表示信号を送信します。図 3-32 は、1000M での誤った MAC フレームの送信プロセスを示し、図 3-33 は、10M/100M での誤った MAC フレームの送信プロセスを示します。

図 3-32 1000M での誤った MAC フレームの送信

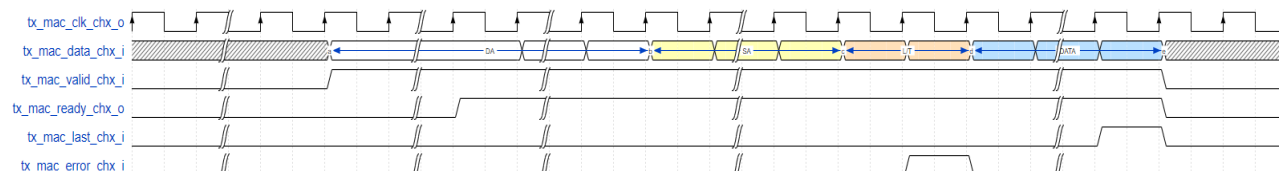
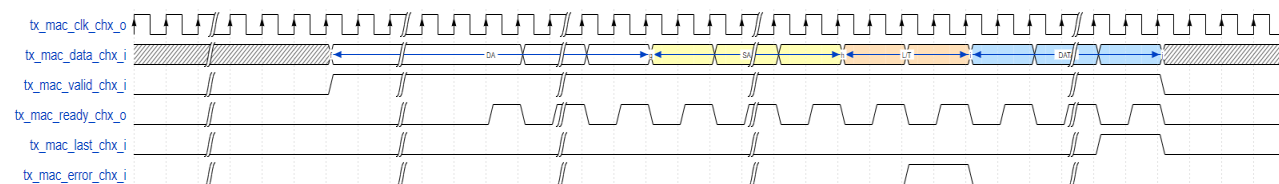


図 3-33 10M/100M での誤った MAC フレームの送信



送信 MAC フレーム FCS Forward

ユーザーが IP を送信 FCS Forward モードに設定した場合、IP は FCS フィールドを自動的に追加しません。したがって、DATA フィールドを送信した後、ユーザーは FCS フィールドを計算して手動で追加する必要があります(図 3-34 と

図 3-35)。

図 3-34 1000M での、FCS Forward を有効にした場合の MAC フレームの送信

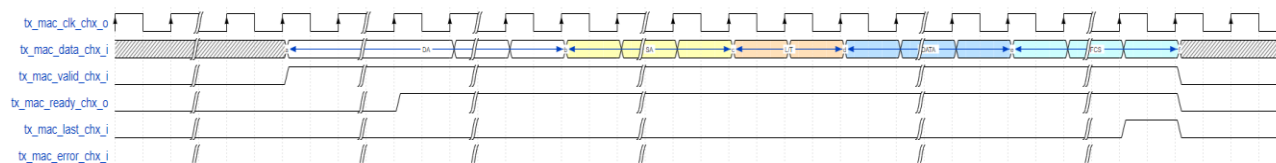
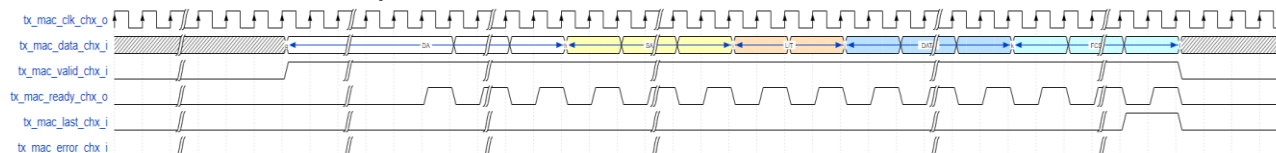


図 3-35 10M/100M での、FCS Forward を有効にした場合の MAC フレームの送信



半二重モードでの送信

半二重モードでは、IPはtx_collision_chx_oおよびtx_retransmit_chx_o信号を通じて送信状態を示します。ユーザーが送信中に衝突を検出なかった場合、MAC フレームは上記の全二重送信プロセスに従って送信できます。ユーザーが送信中に衝突を検出した場合、次のように対処する必要があります。ユーザーがtx_collision_chx_o=1を検出したことは、回線の上に衝突が発生していることを示します。ユーザーは、tx_collision_chx_o=1を検出した直後にtx_mac_valid_chx_iを0にセットしてこのMACフレームの送信を終了する必要があります。tx_collision_chx_o=1が検出された場合にtx_retransmit_chx_oが1であることは、この衝突が適切な範囲内にあることを意味し、このフレームを再送信するかどうかはユーザー次第です。ユーザーがこのフレームを再送信する場合は、5 サイクル以内にtx_mac_valid_chx_iを1にセットしてこのフレームを再送信してください。ユーザーがこのフレームを再送信しない場合は、5 サイクル後にtx_mac_valid_chx_iを1にセットして次のフレームを送信します。tx_collision_chx_o=1が検出された場合にtx_retransmit_chx_oが0であることは、この衝突が適切な範囲内にないことを意味します(フレーム衝突数が16回を超えるか、64 バイトが送信された後に衝突が発生します)。このとき、ユーザーはこのフレームの送信を中止する必要があります。図 3-36 は、衝突が発生した場合の再送信を示し、図 3-37 と図 3-38 は衝突が発生した場合に再送信しないことを示します。

図 3-36 衝突が発生した場合に再送信

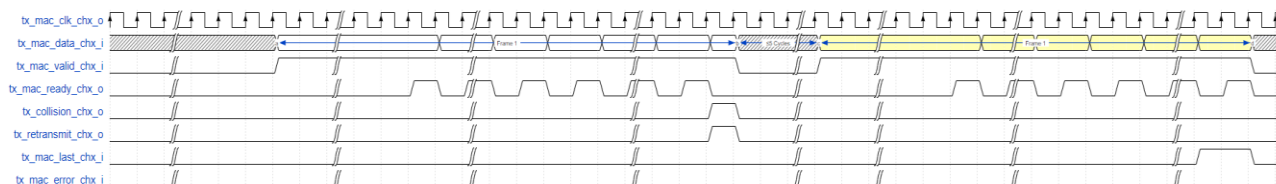


図 3-37 衝突が発生した場合に再送信しない(自発的に)

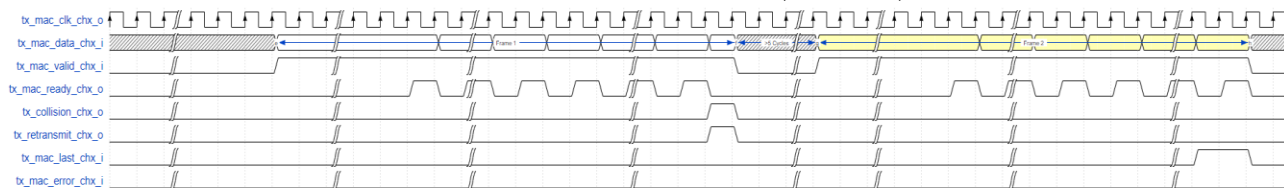
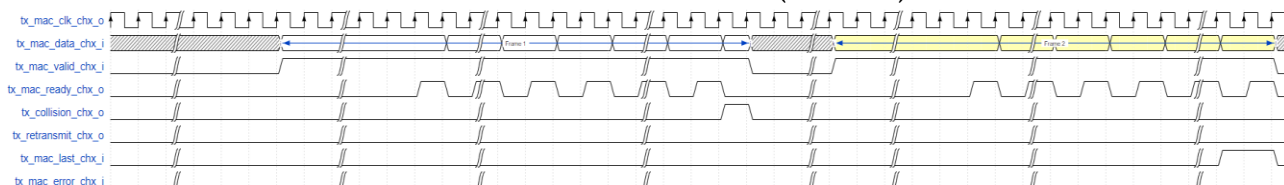


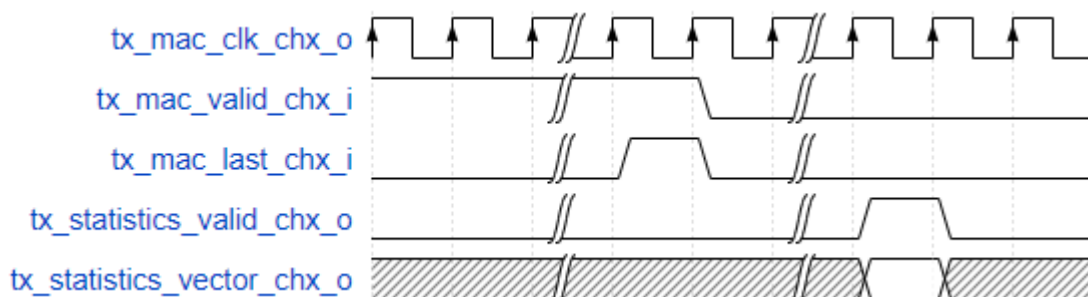
図 3-38 衝突が発生した場合に再送信しない(受動的に)



送信の統計

送信したフレームの統計情報は、`tx_statistics_vector_chx_o` 信号により表示されます。`tx_statistics_vector_chx_o` は、`tx_statistics_valid_chx_o` が 1 の場合に有効であり、送信したフレームの統計情報を示します。そのタイミングを図 3-39 に示し、`tx_statistics_vector_chx_o` の各ビットの定義を表 3-4 に示します。

図 3-39 送信の統計

表 3-4 `tx_statistics_vector_chx_o` の各ビットの定義

位置	名称	説明
28	TX Collision	半二重モードで、このフレームの送信中に衝突が発生した場合、1 にセット
27:24	TX Attempts	半二重モードでの、このフレームの再送信を試行した回数 0 は 1 回目の送信、1 は 2 回目の送信、15 は 16 回目の送信を表します。
23	Excessive Collision	半二重モードで、16 回目の送信試行中に衝突が発生した場合、1 にセット
22	Late Collision	64 バイトの送信後に衝突が発生した場合、1 にセット

位置	名称	説明
21:6	TX Frame Length	FCS フィールドを含む、送信フレームの長さ
5	TX Flow Control Frame	全二重モードで、送信したフレームがフロー制御フレームの場合、1 にセット
4	TX MAC Control Frame	送信したフレームが MAC Contro フレームの場合、1 にセット
3	TX VLAN Frame	送信したフレームが VLAN フレームの場合、1 にセット
2	TX Multicast Frame	送信したフレームがマルチキャストフレームの場合、1 にセット
1	TX Broadcast Frame	送信したフレームがブロードキャストフレームの場合、1 にセット
0	TX Unicast Frame	送信したフレームがユニキャストフレームの場合、1 にセット

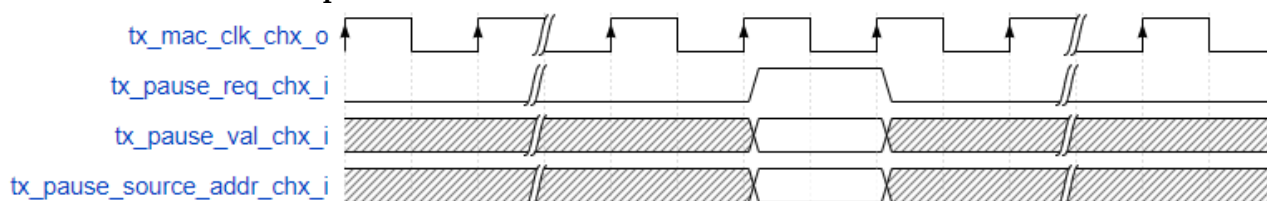
Flow Control 機能

この IP は全二重モードでの Flow Control をサポートします。全二重モードでは、ユーザーは IP を構成して Pause フレームを送受信することで、フロー制御を実現できます。

pause フレームの送信

ユーザーは、tx_pause_req_chx_i 信号を 1 にセットすることにより、1 つの pause フレームを送信することができます。tx_pause_val_chx_i の値は pause フレームの parameter フィールドに挿入され、pause 時間の計算に使用されます。tx_pause_source_addr_chx_i は、pause フレームのソース MAC アドレスとして使用され、下位バイトから上位バイトの順に送信されます。

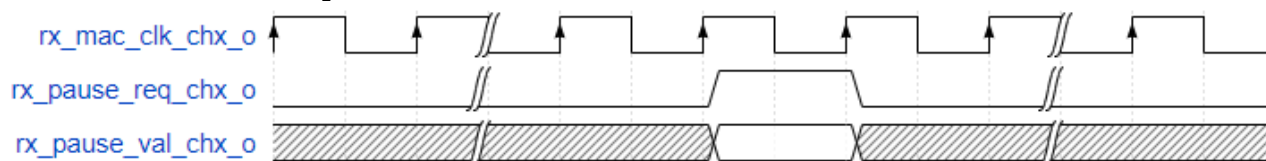
図 3-40 pause フレームの送信



pause フレームの受信

IP は pause フレームを受信すると、rx_pause_req_chx_o 信号を 1 にセットします。rx_pause_val_chx_o の値は受信した pause フレームの parameter フィールドであり、pause 時間の計算に使用されます。

図 3-41 pause フレームの受信



FCS Forward 機能

IP は、送信 FCS Forward と受信 FCS Forward をサポートしています。

受信 FCS Forward

ユーザーが受信 FCS Forward 機能を無効にした場合、FCS フィールドはユーザー側に出力されません。IP は自動的に FCS フィールドを検証し、その検証結果を `rx_statistics_vector_chx_o` の対応するフィールドに出力します。ユーザーが受信 FCS Forward 機能を有効にした場合、FCS フィールドはユーザー側に出力されます。この場合、IP は依然として自動的に FCS フィールドを検証し、その検証結果を `rx_statistics_vector_chx_o` の対応するフィールドに出力します。

送信 FCS Forward

ユーザーが送信 FCS Forward 機能を無効にした場合、ユーザーは FCS フィールドを計算して送信する必要はありません。IP は自動的に FCS フィールドを計算してその結果をイーサネットフレームに自動的に追加します。ユーザーが FCS Forward 機能を有効にした場合、ユーザーは FCS フィールドを計算し、それをユーザー側から IP に送信する必要があります。

PAD 機能

ユーザーが送信 FCS Forward を無効にした場合、ユーザーが IP に送信したフレームが 60 バイト(FCS を除く)未満の場合、IP は、送信されるイーサネットフレームがサイズの要件(最小 64 バイト)を満たすよう自動的にフレームを 60 バイトまで 0 で補足し、FCS フィールドを追加します。ユーザーが送信 FCS Forward を有効にした場合、IP は自動的に 64 バイトまで補足せず、送信される実際のデータとその長さはユーザー次第になります。

送信 IFG の設定

IP が全二重モードで動作する場合、ユーザーは送信の最小 IFG を設定できます。IP が半二重モードで動作する場合、ユーザーが設定した最小 IFG は無視され、最小 IFG は 12 バイトのままです。

ユーザーが IFG 機能を無効にした場合、送信の最小 IFG(12 バイト)です。ユーザーが IFG 機能を有効にした場合、最小 IFG はユーザーの設定によって決定されます。ユーザーが最小 IFG を 8 バイト未満に設定した場合、IP の実際の最小 IFG は 8 バイトであり、ユーザーが最小 IFG を 8 バイト以上に設定した場合、IP の実際の最小 IFG はユーザーが設定した値です。最小 IFG は最大 255 バイトに設定できます。

Jumbo の設定

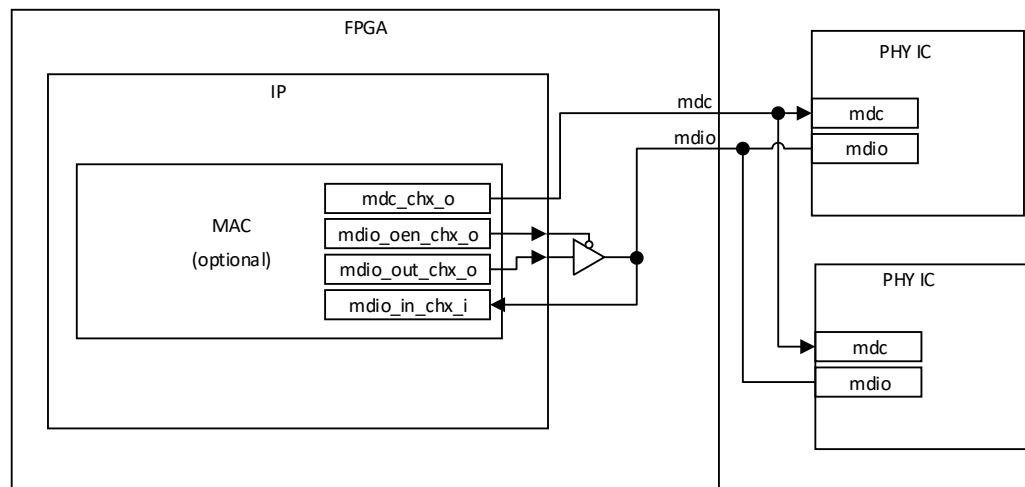
IP は Jumbo 機能をサポートしています。ユーザーが Jumbo 機能を無効にした場合、IP は 64~1518 バイト(非 VLAN フレーム)または 64~1522 バイト(VLAN フレーム)のイーサネットフレーム長が正しいと判断します。受信したイーサネットフレームが上記の範囲内にない場合、`rx_mac_error_chx_o` はフレームにエラーがあることを示し、`rx_statistics_vector_chx_o` の RX Length Error は 1 になります。ユーザーが Jumbo 機能を有効にした場合、受信したイーサネットフレームが 64 バイト未満のときにのみ、IP はエラーと判断します。

Management 機能

IP は、ユーザーが MDC および MDIO を介して PHY チップレジスタを構成するための MIIM インターフェースを提供しています。

MDC クロックは `miim_hs_clk_chx_i` 入力クロックを分周したものです。ユーザーは、MDC クロック周波数が PHY チップの要件を満たすよう `miim_hs_clk_chx_i` 入力クロックに従って分周器を構成する必要があります。その構成方法については、表 5-1 を参照してください。MDC と MDIO の接続を図 3-42 に示します。

図 3-42 MDC と MDIO の接続図



MDIO 接続の参考用 verilog 構文は次のとおりです：

```
assign mdio_in_chx_i = mdio;
```

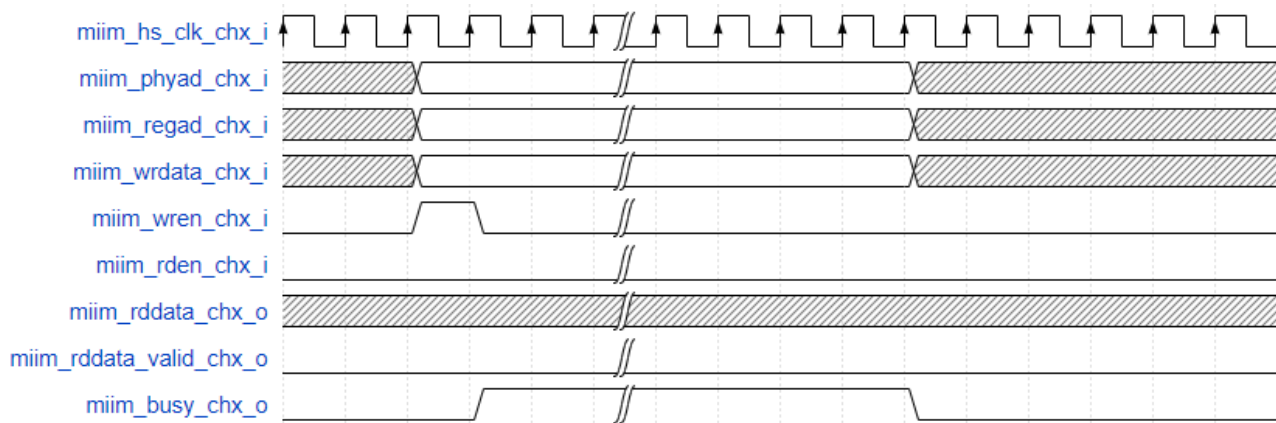
```
assign mdio = (!mdio_oen_chx_o) ? mdio_out_chx_o : 1'bz;
```

すべての MIIM インターフェース信号は `miim_hs_clk_chx_i` クロックに同期します。

書き込みの場合、ユーザーは `miim_wren_chx_i` を 1 サイクルの間 1 にセットする必要があります。IP は、MIIM バスがこの書き込みを実行していることを示すよう、`miim_busy_chx_o` を High にプルアップします。`miim_busy_chx_o` が再び 0 になったことは、この書き込みが終了し、ユ

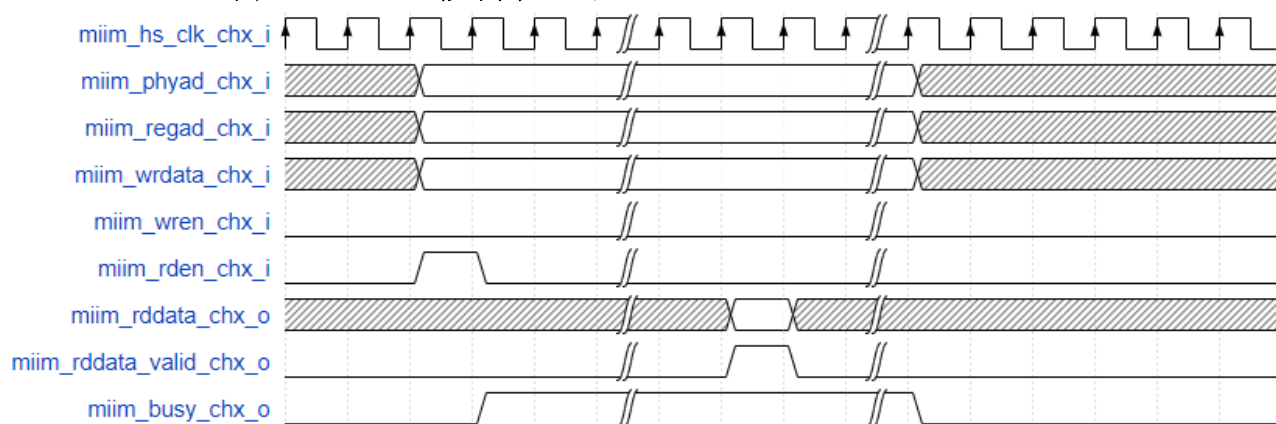
ユーザーが次の読み出しまたは書き込みを実行できることを意味します。
 miim_phyad_chx_i、miim_regad_chx_i、および miim_wrdata_chx_i 信号は、miim_wren_chx_i が 1 の時にバス上で Ready になり、miim_busy_chx_o が 1 の時にそのままである必要があります。MIIM の書き込みタイミングを図 3-43 に示します。

図 3-43 MIIM の書き込みタイミング



読み出しの場合、ユーザーは miim_rden_chx_i を 1 サイクルの間 1 にセットする必要があります。IP は、MIIM バスがこの読み出しを実行していることを示すよう、miim_busy_chx_o を High にプルアップします。miim_busy_chx_o が再び 0 になったことは、この読み出しが終了し、ユーザーが次の読み出しまたは書き込みを実行できることを意味します。miim_phyad_chx_i と miim_regad_chx_i 信号は、miim_rden_chx_i が 1 の時にバス上で Ready になり、miim_busy_chx_o が 1 の時にそのままである必要があります。読み出し中、ユーザーは miim_rddata_valid_chx_o 信号を監視する必要があります。miim_rddata_valid_chx_o が 1 の場合、ユーザーはこの読み出しの値を miim_rddata_chx_o 信号でサンプリングできます。MIIM の読み出しタイミングを図 3-44 に示します。

図 3-44 MIIM の読み出しタイミング



3.4 AFE (Analog Front End)

AFE はアナログ・フロントエンドであり、Gowin QSGMII IP の動作速

度は 5Gbps です。IP の構成画面で IP のアナログ・パラメータを構成して、信号の整合性を保証することができます。

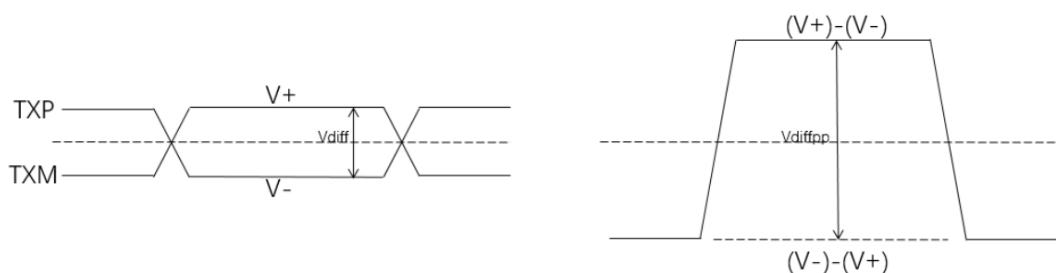
3.4.1 送信

送信側では、ユーザーは IP 送信信号の差動スイングおよび FFE(Feed-Forward Equalization)パラメータを構成できます。

送信差動スイング

図 3-45 に示すように、送信信号の差動電圧は $V_{diff}=(V+)-(V-)$ であり、送信差動信号スイングは $V_{diffpp}=2*V_{diff}$ です。 V_{diffpp} は構成画面で構成でき、その範囲は 180mV～900mV です。

図 3-45 送信差動信号のスイング V_{diffpp}



TX FFE

FFE はフィードフォワード・イコライゼーション(Feed-Forward Equalisation)であり、IP は TX FFE 係数の自動調整と手動調整をサポートしています。ユーザーが FFE Mode を Auto に構成した場合、IP はハードウェア環境に応じて FFE 係数を自動的に調整しますが、 C_m 、 C_0 、 C_1 の構成は無効になります。ユーザーが FFE Mode を Manual に構成した場合、3-tap 係数を手動で調整し、送信信号のデエンファシス状態を構成できます。

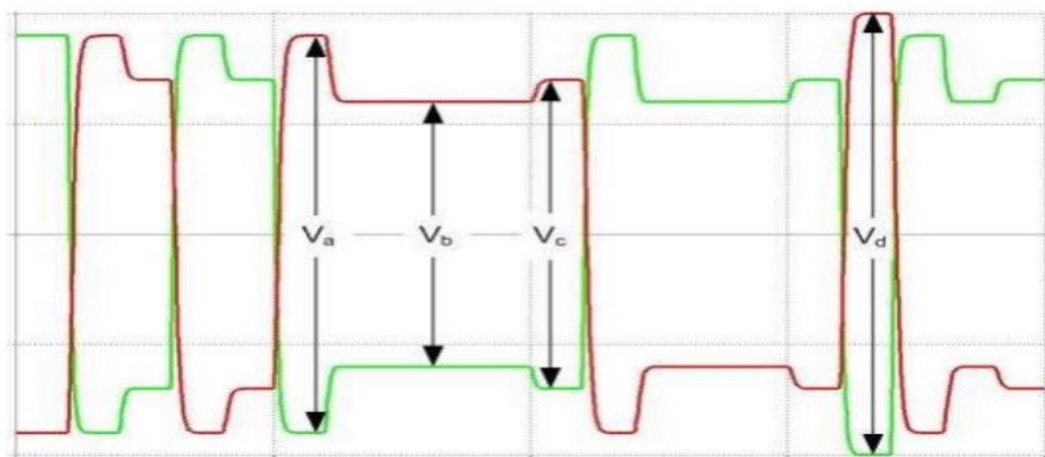
図 3-46 に示すように、FFE Mode を Manual に構成した場合、 C_m 、 C_0 、 C_1 の値を調整することで、 V_a 、 V_b 、 V_c の電圧振幅を調整することができます。その計算式は次のとおりです。

$$V_a = V_{diffpp} * (-C_m + C_0 + C_1) / 40$$

$$V_b = V_{diffpp} * (-C_m + C_0 - C_1) / 40$$

$$V_c = V_{diffpp} * (C_m + C_0 - C_1) / 40$$

図 3-46 FFE TX 電圧の定義



3.4.2 受信

受信差動信号のスレッシュホールド

受信側では、SD Threshold オプションを構成することで、受信信号の電圧スレッシュホールドを調整することができます。受信差動信号が SD Threshold より大きい場合、SerDes は有効なデータを受信したと判断します。受信差動信号が SD Threshold より小さい場合、SerDes は有効なデータを受信していないと判断し、Electrical Idle 状態になります。

3.5 リファレンス・クロック

SerDes が正常に動作するには安定したリファレンス・クロックが必要です。ユーザーは、SerDes の動作中にリファレンス・クロックの周波数の正確性と安定性を確保する必要があります。

3.5.1 GW5AT-15

GW5AT-15 の SerDes には合計 4 つのリファレンス・クロック・ソースがあり、そのうち 2 つは専用の SerDes リファレンス・クロック入力から、1 つは GPIO から、1 つは内部 OSC クロックから取得されます。表 3-5 に、回路図と IP 画面上のリファレンス・クロックの対応を示します。

ユーザーが GPIO を SerDes リファレンス・クロック・ソースとして使用する場合、SerDes IP をインスタンス化する時に IP の gpio_refclk_i を top モジュールの入力に接続し、cst ファイル内で IO の位置制限を行う必要があります。使用しない場合は、IP の gpio_refclk_i ポートを未接続のままにしてください。ユーザーが FPGA の内部 OSC をリファレンス・クロック・ソースとして使用する場合、プロジェクト内で OSCB プリミティブをインスタンス化し、OSCB プリミティブの OSCREF IP の mclk_i に接続する必要があります。使用しない場合は、IP の mclk_i ポートを未接続のままにしてください。

表 3-5 GW5AT-15 のリファレンス・クロックの対応関係

リファレンス・クロック	回路図	IP画面上のオプション	IPのピン
Quad0 Refclk0	Q0_REFCLKP/M_0	Q0 REFCLK0	-
Quad0 Refclk1	Q0_REFCLKP/M_1	Q0 REFCLK1	-
GPIO	Q0REF_T/C_IN	Q0 REFIN	gpio_refclk_i
内部水晶発振器 (OSC)	-	MCLK	mclk_i

3.5.2 GW5AT-60

GW5AT-60 の SerDes には合計 6 つのリファレンス・クロック・ソースがあり、そのうち 4 つは専用の SerDes リファレンス・クロック入力から、2 つは GPIO から取得されます。表 3-6 に、回路図と IP 画面上のリファレンス・クロックの対応を示します。

ユーザーが GPIO0 または GPIO1 を SerDes リファレンス・クロック・ソースとして使用する場合、SerDes IP をインスタンス化する時に IP の gpio_refclk0_i または gpio_refclk1_i を top モジュールの入力に接続し、cst ファイル内で IO の位置制限を行う必要があります。使用しない場合は、IP の gpio_refclk0_i または gpio_refclk1_i ポートを未接続のままにしてください。

表 3-6 GW5AT-60 のリファレンス・クロックの対応関係

リファレンス・クロック	回路図	IP画面上のオプション	IPのピン
Quad0 Refclk0	Q0_REFCLKP/M_0	Q0 REFCLK0	-
Quad0 Refclk1	Q0_REFCLKP/M_1	Q0 REFCLK1	-
Quad0 Refclk2	Q0_REFCLKP/M_2	Q0 REFCLK2	-
Quad0 Refclk3	Q0_REFCLKP/M_3	Q0 REFCLK3	-
GPIO0	Q0REF_T/C_IN0	Q0 REFIN0	gpio_refclk0_i
GPIO1	Q0REF_T/C_IN1	Q0 REFIN1	gpio_refclk1_i

3.5.3 その他のデバイス

他のデバイスの SerDes には合計 4 つのリファレンス・クロック・ソースがあり、それらはすべて専用の SerDes リファレンス・クロック入力から取得されます。そのうち、Quad0 と Quad1 にはそれぞれ 2 つのリファレンス・クロック・ソースが含まれます。リファレンス・クロックは Quad をまたいで使用できます。同じコンフィギュレーションで Quad をまたいで使用できるリファレンス・クロックは 1 つだけです。表 3-7 に、回路図と IP 画面上のリファレンス・クロックの対応を示します。

表 3-7 その他のデバイスのリファレンス・クロックの対応関係

リファレンス・クロック	回路図	IP画面上のオプション	IPのピン
Quad0 Refclk0	Q0_REFCLKP/M_0	Q0 REFCLK0	-

リファレンス・クロック	回路図	IP画面上のオプション	IPのピン
Quad0 Refclk1	Q0_REFCLKP/M_1	Q0 REFCLK1	-
Quad1 Refclk0	Q1_REFCLKP/M_0	Q1 REFCLK0	-
Quad1 Refclk1	Q1_REFCLKP/M_1	Q1 REFCLK1	-

4ポート一覧

Gowin QSGMII IP の IO ポートを図 4-1 に示します。下表および下図における信号名内の「chx」は、4 つの SGMII チャンネルに対応する「ch0」、「ch1」、「ch2」、「ch3」を示します。

図 4-1 Gowin QSGMII IP IO のポート図

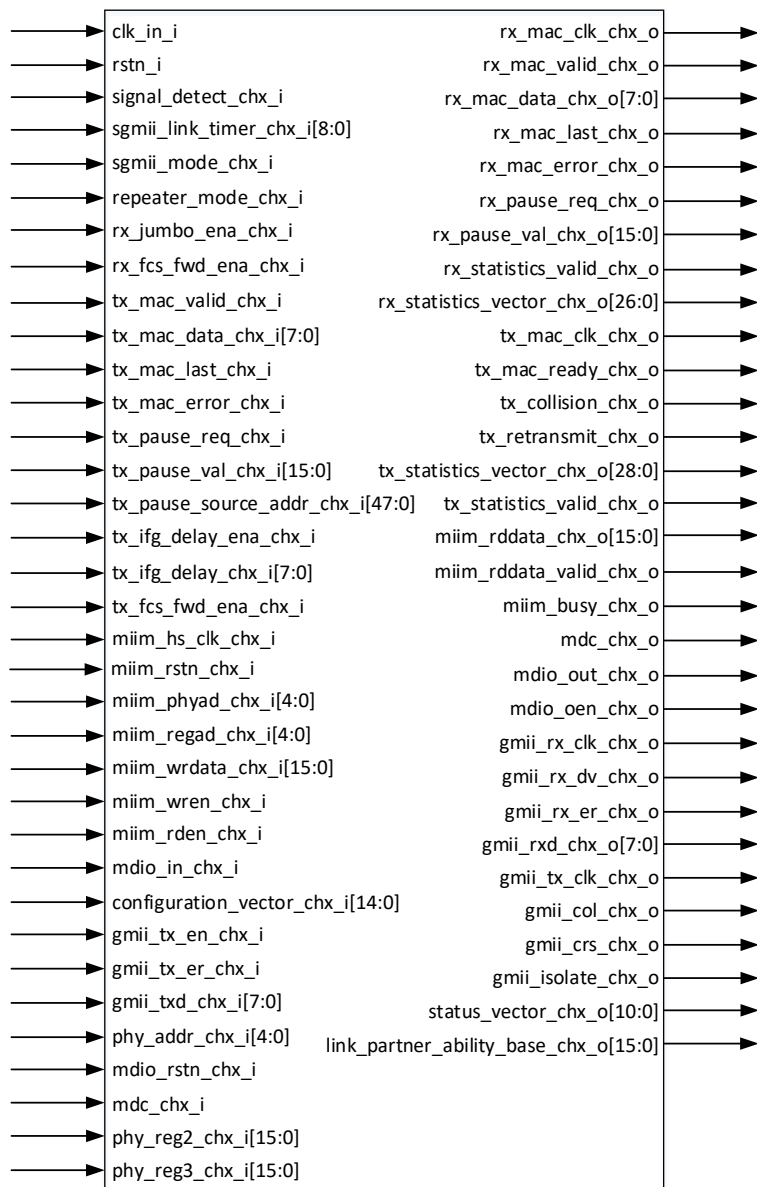


表 4-1 Gowin QSGMII IP IO のポート一覧

信号	方向	幅(ビット)	説明	クロック・ドメイン
Clock Input				-
clk_in_i	入力	1	周波数50MHz以下の連続クロック信号	-
Reset				-
rstn_i	入力	1	リセット信号、アクティブLow	-
IP Configuration				-
signal_detect_chx_i	入力	1	信号検出機能の構成用で、configuration_vector_chx_i[1]と組み合わせてデータ同期機能を制御します。1'b1にすることをお勧めします。1：信号検出機能を有効にします	MAC層： rx_mac_clk_chx_o PHY層： gmii_rx_clk

信号	方向	幅(ビット)	説明	クロック・ドメイン
			0 : 信号検出機能を無効にします	_chx_o
sgmii_link_timer_chx_i	入力	9	SGMIIプロトコルでのLink時間。9'd48にすることをお勧めします。	
sgmii_mode_chx_i	入力	1	SGMIIモード選択信号： 1 : Media Mode 0 : System Mode	
repeater_mode_chx_i	入力	1	リピータモード選択信号。1'b0にすることをお勧めします。 1 : リピータモードを有効にします 0 : リピータモードを無効にします	
configuration_vector_chx_i	入力	15	機能を構成するための信号	
IP Status				-
status_vector_chx_o	出力	11	機能状態情報の表示	MAC層： rx_mac_clk_chx_o
link_partner_ability_base_chx_o	出力	16	相手側の構成レジスタ情報の表示	PHY層： gmii_rx_clk_chx_o
GMII Interface				-
gmii_rx_clk_chx_o	出力	1	GMIIの受信クロック	gmii_rx_clk_chx_o
gmii_rx_dv_chx_o	出力	1	GMIIの受信イネーブル	
gmii_rxd_chx_o	出力	8	GMIIの受信データ	
gmii_rx_er_chx_o	出力	1	GMIIの受信エラー	
gmii_tx_clk_chx_o	出力	1	GMIIの送信クロック	gmii_tx_en_chx_i
gmii_tx_en_chx_i	入力	1	GMIIの送信イネーブル	
gmii_txd_chx_i	入力	8	GMIIの送信データ	
gmii_tx_er_chx_i	入力	1	GMIIの送信エラー	
gmii_col_chx_o	出力	1	GMII衝突信号。この信号は半二重モードでのみ有効です	-
gmii_crs_chx_o	出力	1	GMIIキャリア信号。この信号は半二重モードでのみ有効です	
gmii_isolate_chx_o	出力	1	GMII転送分離	gmii_rx_clk_chx_o
MAC Layer Interface				-
rx_mac_clk_chx_o	出力	1	受信クロック	rx_mac_clk_chx_o
rx_mac_valid_chx_o	出力	1	受信イネーブル	
rx_mac_data_chx_o	出力	8	受信データ	
rx_mac_last_chx_o	出力	1	受信最終バイトの表示	
rx_mac_error_chx_o	出力	1	受信エラーの表示	
rx_statistics_valid_chx_o	出力	1	受信の統計が有効かとの表示	

信号	方向	幅(ビット)	説明	クロック・ドメイン
rx_statistics_vector_chx_o	出力	27	受信の統計情報	
tx_mac_clk_chx_o	出力	1	送信クロック	tx_mac_clk_chx_o
tx_mac_valid_chx_i	入力	1	送信イネーブル	
tx_mac_data_chx_i	入力	8	送信データ	
tx_mac_last_chx_i	入力	1	送信最終バイトの表示	
tx_mac_error_chx_i	入力	1	送信エラーの表示	
tx_mac_ready_chx_o	出力	1	送信ハンドシェイク信号。1は、tx_mac_data_chx_iが受信されたことを示します	
tx_collision_chx_o	出力	1	送信衝突の表示。1はこの送信に衝突があり、送信を直ちに終了する必要があることを示します。この信号は半二重モードでのみ有効です	
tx_retransmit_chx_o	出力	1	再送信の表示。この信号はtx_collision_chx_oと同時に現れ、1は、このフレームを再送信する必要があることを示します。この信号は半二重モードでのみ有効です	
tx_statistics_valid_chx_o	出力	1	送信の統計が有効かとの表示	
tx_statistics_vector_chx_o	出力	29	送信の統計情報	
MAC Layer Configuration				-
rx_fcs_fwd_ena_chx_i	入力	1	受信FCS Forward : 1 : 受信FCS Forwardを有効にします 0 : 受信FCS Forwardを無効にします	rx_mac_clk_chx_o
rx_jumbo_ena_chx_i	入力	1	受信Jumbo : 1 : 受信Jumboを有効にします 0 : 受信Jumboを無効にします	
rx_pause_req_chx_o	出力	1	pauseフレーム受信の表示	
rx_pause_val_chx_o	出力	16	こちら側が必要とするpause時間を示すための、pauseフレームのparameterフィールド。	
tx_fcs_fwd_ena_chx_i	入力	1	送信FCS Forward : 1 : 送信FCS Forwardを有効にします 0 : 送信FCS Forwardを無効にします	tx_mac_clk_chx_o
tx_ifg_delay_ena_chx_i	入力	1	送信の最小IFGの構成 : 1 : 最小IFGの構成を有効にします 0 : 最小IFGの構成を無効にします。最小IFGはデフォルトで12バイト	
tx_ifg_delay_chx_i	入力	8	送信の最小IFG : tx_ifg_delay_ena_chx_iが1の場合、送信の最小IFGはtx_ifg_delay_chx_iに	

信号	方向	幅(ビット)	説明	クロック・ドメイン
			より決定されます。 tx_ifg_delay_chx_i が8未満の場合、最小IFGは8であり、 tx_ifg_delay_chx_i が8以上の場合、最小IFGはユーザーが設定した値になります。 tx_ifg_delay_ena_chx_i が0の場合、この設定は無効です。	
tx_pause_req_chx_i	入力	1	pause フレーム送信のイネーブル信号	
tx_pause_val_chx_i	入力	16	相手側が必要とする pause 時間を示すための、 pause フレームの parameter フィールド。	
tx_pause_source_addr_chx_i	入力	48	pause フレームのソースMACアドレス	
Management Interface				-
miim_hs_clk_chx_i	入力	1	Managementモジュールのクロック入力(MAC層)	miim_hs_clk_chx_i
miim_rstn_chx_i	入力	1	Managementモジュールのリセット入力(MAC層)	
miim_phyad_chx_i	入力	5	PHYアドレス(MAC層)	
miim_regad_chx_i	入力	5	レジスタアドレス(MAC層)	
miim_wrdata_chx_i	入力	16	書き込みデータ(MAC層)	
miim_wren_chx_i	入力	1	書き込みイネーブル(MAC層)	
miim_rden_chx_i	入力	1	読み出しイネーブル(MAC層)	
miim_rddata_chx_o	出力	16	読み出しデータ(MAC層)	
miim_rddata_valid_chx_o	出力	1	読み出しデータ有効(MAC層)	
miim_busy_chx_o	出力	1	MIIMインターフェース状態の表示(MAC層) 1 : 読み出し/書き込み中 0 : アイドル	
mdc_chx_o	出力	1	MDCクロック出力(MAC層)	MAC層 : miim_hs_clk_chx_i PHY層 : mdc_chx_i
mdio_in_chx_i	入力	1	MDIO入力 (MAC層、PHY層)	
mdio_out_chx_o	出力	1	MDIO出力 (MAC層、PHY層)	
mdio_oen_chx_o	出力	1	MDIO出力イネーブル (MAC層、PHY層)	
phy_addr_chx_i	入力	5	PHYアドレス(PHY層)	mdc_chx_i
mdio_rstn_chx_i	入力	1	MIIMリセット(PHY層)	
mdc_chx_i	入力	1	MDCクロック入力(PHY層)	
phy_reg2_chx_i	入力	16	アドレス0x2のレジスタデータ (PHY層)	
phy_reg3_chx_i	入力	16	アドレス0x3のレジスタデータ (PHY層)	

信号	方向	幅(ビット)	説明	クロック・ドメイン
			層)	

5 パラメータの構成

ユーザーは、設計要件に従って Gowin QSGMII IP のさまざまな静的パラメータを構成する必要があります(表 5-1)。

表 5-1 Gowin QSGMII IP の静的パラメータ

名称	説明	オプション
PHY Configuration		
Channel Selection	Lane の選択	● GW5AT-15 デバイスの場合 : Q0 Lane0, Q0 Lane1, Q0 Lane2, Q0 Lane3 ● GW5AT-60 デバイスの場合 : Q0 Lane0, Q0 Lane1, Q0 Lane2, Q0 Lane3 ● その他のデバイスの場合 : Q0 Lane0, Q0 Lane1, Q0 Lane2, Q0 Lane3, Q1 Lane0, Q1 Lane1, Q1 Lane2, Q1 Lane3
Loopback Mode	Lane ループバックモードの選択	OFF, LB_NES, LB_FES, LB_ENC
Reference Clock Source	リファレンス・クロック・ソースの選択	● GW5AT-15 デバイスの場合 : Q0 REFCLK0, Q0 REFCLK1, Q0 REFIN, MCLK ● GW5AT-60 デバイスの場合 : Q0 REFCLK0, Q0 REFCLK1, Q0 REFCLK2, Q0 REFCLK3, Q0 REFIN0, Q0 REFIN1 ● その他のデバイスの場合 : Q0 REFCLK0, Q0 REFCLK1, Q1 REFCLK0, Q1 REFCLK1
Reference Clock Frequency	リファレンス・クロックの周波数の設定	手入力
Line Rate	ラインレート	5.0Gbps。構成不可
PLL Selection	PLL の選択	QPLL0, QPLL1, CPLL
MAC Configuration		
Enable MAC	イーサネット MAC 層機能のイ	チェックする、チェックしない

名称	説明	オプション
	ネーブル	
Enable PHY MIIM	イーサネット PHY 層 MIIM インターフェースのイネーブル。PHY 層のレジスタを構成するために使用されます。	チェックする、チェックしない
MIIM Clock Divider	miim_hs_clk_chx_i 入力クロックの分周値。分周されたクロックは管理インターフェースクロックとして mdc_chx_o に出力されます。これは、イーサネット MAC 層機能が有効にされた場合のみ利用可能です。このパラメータが 2 未満の場合、実際の分周値は 2 になります。このパラメータが 2 以上の場合、実際の分周値は入力された値です。	手動入力、範囲は 0～255
AFE Configuration		
Differential Swing	送信差動信号のスイング Vdiffpp を構成します。 $V_{diffpp} = 2 * V_{diff}$	900mV, 852mV, 804mV, 756mV, 708mV, 660mV, 612mV, 564mV, 516mV, 468mV, 420mV, 372mV, 324mV, 276mV, 228mV, 180mV
FFE Mode	送信 FFE モード。Auto(自動モード)と Manual(手動モード)があります	Auto, Manual
Cm	送信 FFE pre-cursor	手動入力、範囲は 0～19
C0	送信 FFE main-cursor	自動計算、範囲は 21～40
C1	送信 FFE p-cursor	手動入力、範囲は 0～19
SD Threshold	受信差動信号 SD スレッシュホールド	25mV, 50mV, 75mV, 100mV, 125mV, 150mV, 175mV, 200mV
Equalization Mode	受信イコライゼーションモード。Auto(自動モード)と Manual(手動モード)があります	Auto, Manual
ATT	受信中間周波数の減衰を調整するために使用されます。値が小さいほど減衰が大きくなります。	手動入力、範囲は 0～10
BOOST	受信高周波数の増幅を調整するために使用されます。値が大きいほどゲインが大きくなります。	手動入力、範囲は 0～15
BIAS	SerDes 受信信号の増幅パラメータを構成するために使用さ	手動入力、範囲は 0～15

名称	説明	オプション
	れます。値が大きいほど、信号増幅効果が強くなります。	

注記：

ラインレートとリファレンス・クロックの間に制限関係があるため、リファレンス・クロックが上記のラインレートを生成できるかどうかを確認してください。あるいは、「**Calculate**」ボタンをクリックして確認することができます。

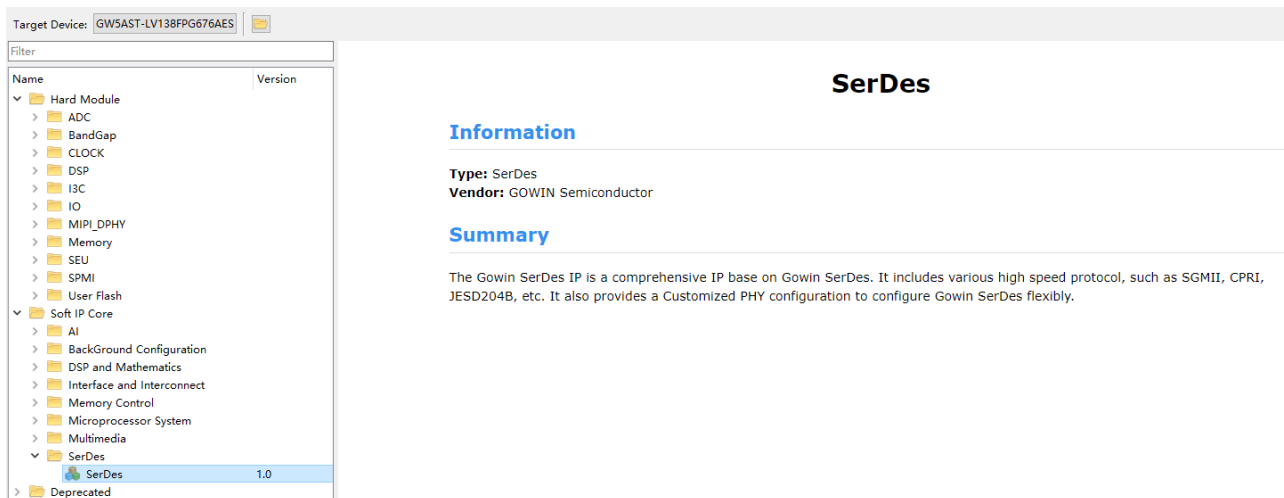
6GUIでの構成

ユーザーは、IDE の IP Core Generator を使用して Gowin QSGMII IP を呼び出しおよび構成することができます。本章では、MAC 層インターフェースを例に、構成画面、構成手順、及び各構成オプションの意味を説明します。

1. IP Core Generator を開く

プロジェクトが作成された後、「Tools > IP Core Generator」を開きます(図 6-1)。

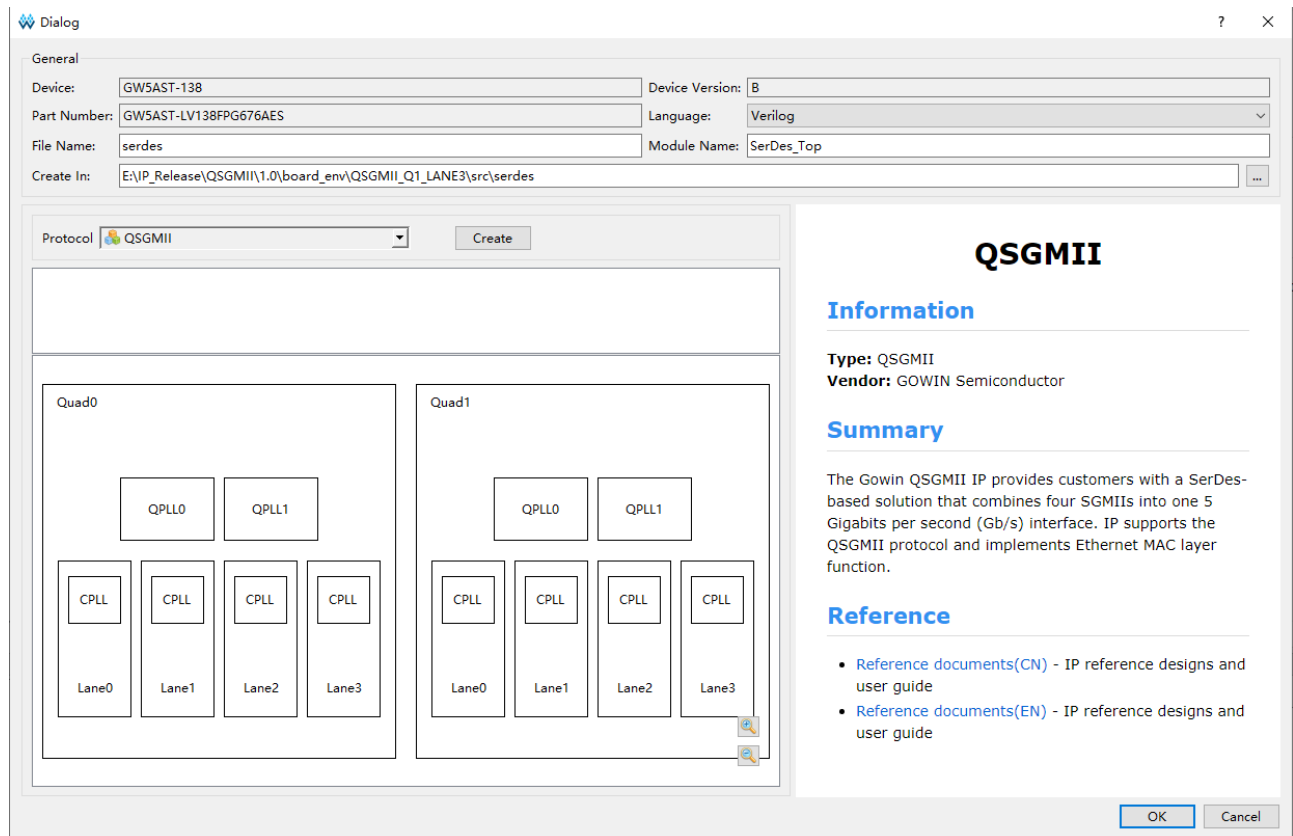
図 6-1 IP Core Generator



2. SerDes IP の構成画面を開く

IP Core Generator から SerDes IP の構成画面を開きます(図 6-2)。

図 6-2 SerDes IP の構成画面



SerDes IP の構成画面でまず「General」オプショングループを構成します：

- **Device、Device Version、Part Number** オプション：現在のプロジェクトで選択されているチップのモデルによって決定されます。
- **Language** オプション：Verilog(デフォルト)およびVHDL がサポートされます。
- **File Name、Module Name、Create In** オプション：SerDes のファイル名、モジュール名、および IP コアのフォルダのパスを設定するために使用されます。

次に、「Protocol」オプションで必要なプロトコルを選択し、右側の「Create」ボタンをクリックすると、プロトコルの構成画面が開きます。「Protocol」オプションの下には、現在サポートされている SerDes プロトコルと、対応する Quad、PLL、および Lane の使用状況が表示されます。右側には現在 Protocol オプションで選択されたプロトコルの関連情報 (Information、Summary、および Reference) が表示されます。

3. QSGMII IP の構成画面を開く

SerDes IP の構成画面の「Protocol」リストから「QSGMII」を選択し、右側の「Create」ボタンをクリックして QSGMII IP の構成画面を開きます。

構成画面の左側には QSGMII IP のポート図が表示され、右側には

QSGMII IP の構成オプション（PHY Configuration タブ、MAC Configuration タブ、AFE Configuration タブを含む）が表示されます。これらの構成オプションはそれぞれ図 6-3、図 6-4、図 6-5 に示すとおりです。各パラメータの意味は、表 5-1 に示すとおりです。

図 6-3 PHY Configuration タブ

The screenshot displays the 'QSGMII' IP Customization window. On the left is a hierarchical tree view of the IP components. The main area is divided into three tabs: 'PHY Configuration' (selected), 'Mac Configuration', and 'AFE Configuration'. The 'General' section at the top contains fields for Device (GW5AST-138), Device Version (B), Part Number (GW5AST-LV138FPG676AES), Language (Verilog), File Name (qsgmii), Module Name (QSGMII_Top), and Create In (II\1.1\ref_design\Gowin_QSGMII_IP_RefDesign\project\src\serdes\qsgmii). The 'PHY Configuration' section includes Channel Selection (Q1 Lane3), Loopback Mode (OFF), Line Rate (5 Gbps), and a 'Refclk Selection' sub-section with Reference Clock Source (Q1 REFCLK0), Reference Clock Frequency (100 MHz), and PLL Selection (QPLL1). A 'Calculate' button is located at the bottom right of the PHY Configuration section. The bottom of the window has 'OK' and 'Cancel' buttons.

図 6-4 MAC Configuration タブ

IP Customization

QSGMII

General

Device: GW5AST-138 Device Version: B

Part Number: GW5AST-LV138FPG676AES Language: Verilog

File Name: qsgmii Module Name: QSGMII_Top

Create In: II\1.1\ref_design\Gowin_QSGMII_IP_RefDesign\project\src\serdes\qsgmii

PHY Configuration Mac Configuration AFE Configuration

☒ Enable MAC

☐ Enable PHY MIIM

MIIM Clock Divider: 20 (0~255)

OK Cancel

図 6-5 AFE Configuration タブ

QSGMII

IP Customization

General

Device: GW5AST-138 Device Version: B

Part Number: GW5AST-LV138FPG676AES Language: Verilog

File Name: qsgmii Module Name: QSGMII_Top

Create In: II\1.1\ref_design\Gowin_QSGMII_IP_RefDesign\project\src\serdes\qsgmii

PHY Configuration **Mac Configuration** **AFE Configuration**

TX

Differential Swing: 900mV

FFE Mode

FFE Mode: Auto

Cm: 0 (0~19)

C0: 40 (21~40)

C1: 0 (0~19)

RX

SD Threshold: 100mV

Equalization

Equalization Mode: Auto

ATT: 7 (0~10)

BOOST: 9 (0~15)

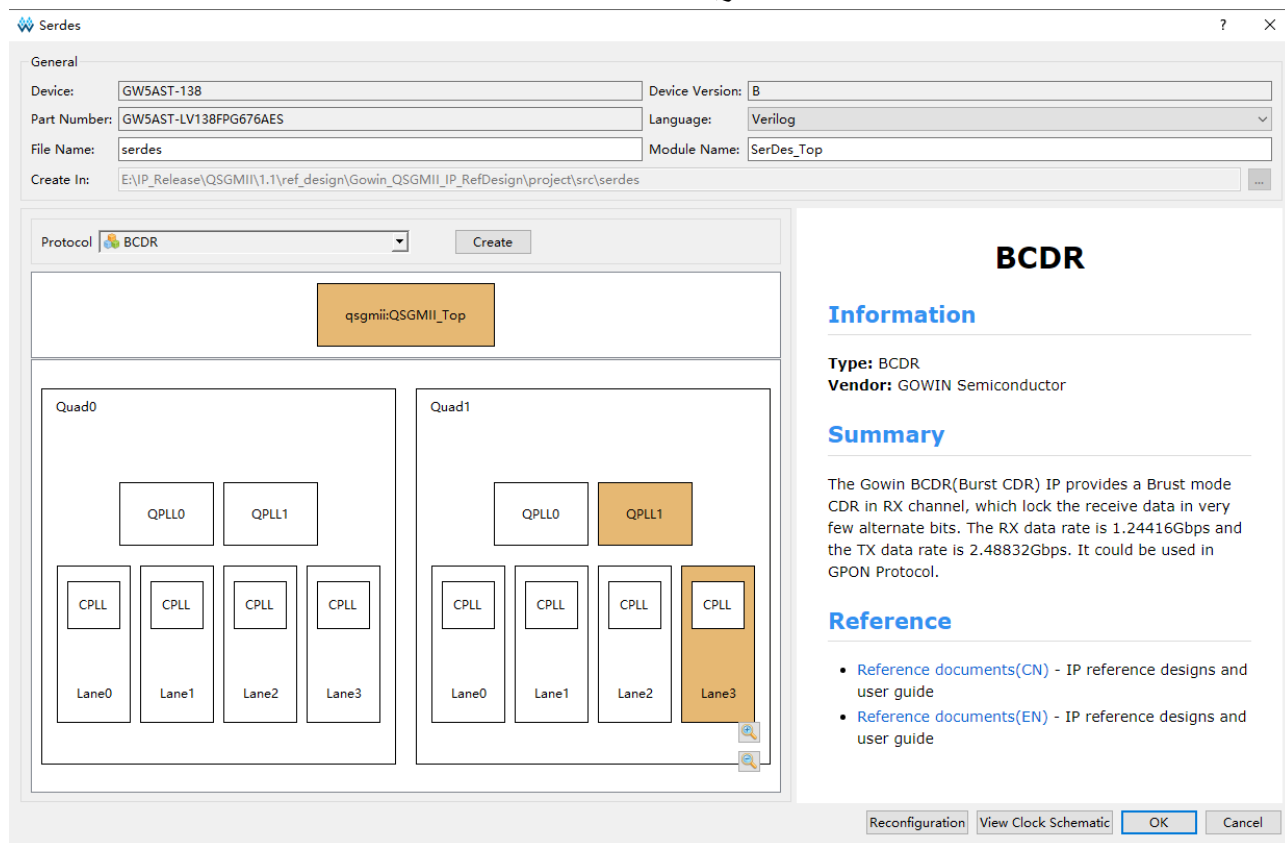
BIAS: 7 (0~15)

OK Cancel

4. IP を生成

QSGMII IP の構成が完了したら、画面の右下隅にある「OK」ボタンをクリックして QSGMII IP 関連ファイルを生成します。この時 Serdes IP の構成画面には、生成された QSGMII IP と、対応する Quad、PLL、および Lane の使用状況が表示されます(図 6-6)。

図 6-6 SerDes IP の構成画面における QSGMII IP



最後に、画面の右下隅にある「OK」ボタンをクリックすると、Serdes IP 関連ファイルが生成され、これで QSGMII IP の生成が完了します。

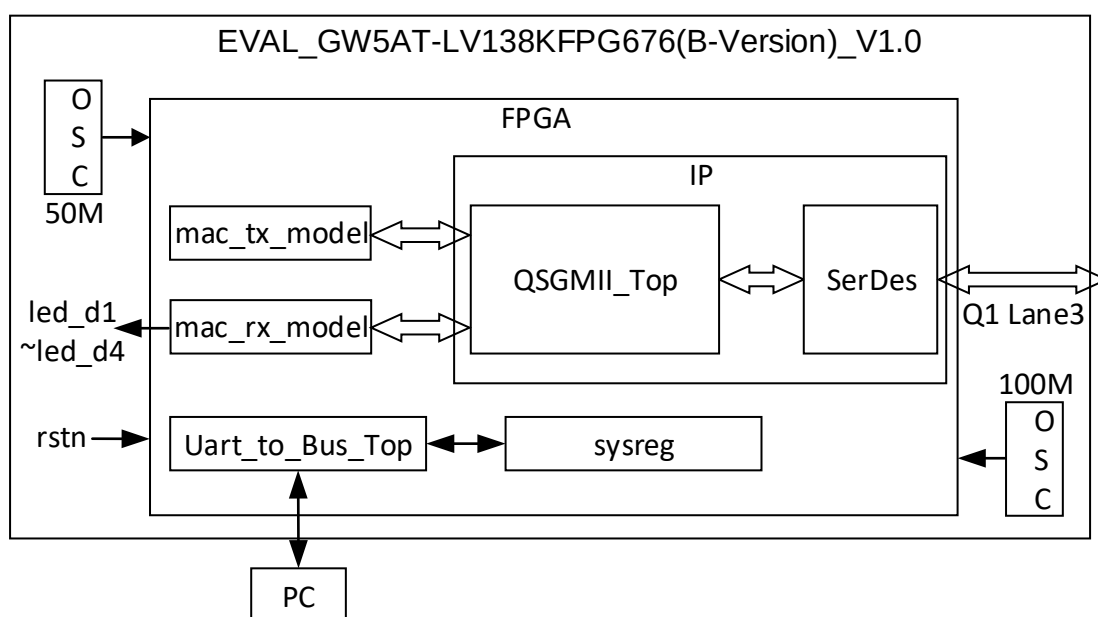
7 リファレンス・デザイン

詳細については、GOWIN のホームページにおける Gowin QSGMII IP [リファレンス・デザイン](#)を参照してください。

7.1 ハードウェア・プラットフォーム

ハードウェア・プラットフォームは図 7-1 に示すとおりです。

図 7-1 ハードウェア・プラットフォーム



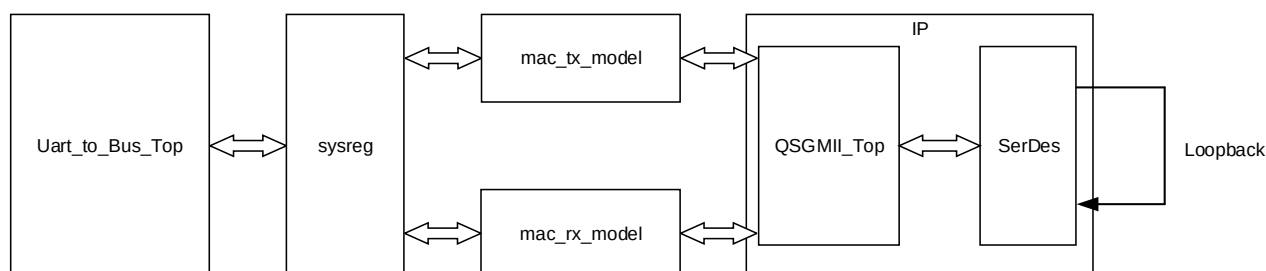
GW5AT ボードでは、次のようなリファレンス例が実装されています。

1. SerDes のリファレンス・クロックはオンボードの 100MHz 水晶発振器により生成されます。Quad1 の Refclk0 が選択されます。
2. SerDes Quad1 の Lane3 が使用されます。
3. QSGMII IP の入力クロックは、オンボードの 50MHz 水晶発振器により生成されます。

4. キーSW1 は、内部モジュールをリセットするための、アクティブ Low のリセット信号 **rstn** として使用されます。
5. LED D1 は、IP の Link Up 状態の表示(**led_d1**)に使用され、常に点灯していることは、IP の Link Up、つまり、データを転送できることを意味します。
6. LED D2 は、IP のデータ転送状態の表示(**led_d2**)に使用され、常に点灯していることは、IP が継続的にデータの送受信を行っていることを意味します。
7. LED D3 は、IP の受信イーサネットフレーム状態の表示(**led_d3**)に使用され、常に点灯していることは、IP が受信したイーサネットフレームが異常であることを意味します。
8. LED D4 は、IP の受信 Pause フレーム状態の表示 (**led_d4**)に使用され、常に点灯していることは、IP が受信した Pause フレームが異常であることを意味します。
9. オンボードの 50MHz 水晶発振器は、PLL を通じて 10MHz クロックを生成します。このクロックは、ボーレート 115200 で PC 上のシリアル・デバッグ・ツールと FPGA 間の通信に使用されます。

7.2 原理図

図 7-2 リファレンス・デザインの原理図



Uart_to_Bus_Top モジュールにより、カスタム・バス・プロトコルに対してパースを行い、そして sysreg モジュールによりローカルシステム構成レジスタを生成します。

QSGMII_Top は mac_tx_model から転送データを受信し、SerDes の TX インターフェースを経由して SerDes の RX インターフェースにループバックし、最後に QSGMII_Top は mac_rx_model にループバックデータを送信します。その主なモジュールは以下の通りです。

- Uart_to_Bus_Top モジュール：シリアルポート - バス・モジュールであり、シリアル・デバッグ・ツールやホストコンピュータからのシリアル命令をバス制御のタイミングに変換します。
- sysreg モジュール：ローカルシステム構成レジスタの生成に使用されます。

- **mac_tx_model** モジュール：IP の送信タイミングを生成してイーサネットフレームと **Pause** フレームを送信するために使用されます。
- **mac_rx_model** モジュール：IP で受信したイーサネットフレームと **Pause** フレームに対してパースを行い、異常検出結果をフィードバックします。
- **QSGMII_Top** モジュール：図 6-3、図 6-4、および図 6-5 に従って設定します。

7.3 バスプロトコルとアドレス計画

Gowin UART to Bus IP は、UART インターフェースを介して内部バスにアクセスすることに使用できるシンプルな命令(コマンド)パーサーです。バスの書き込み・読み出しのプロトコルは以下のように規定されています：

バスの書き込み： "W AAAA BBBBBB"

バスの読み出し： "R AAAA"

バスの読み出しによって次の命令"G AAAA BBBBBB"が返されます。

W は書き込み、**R** は読み出し、**G** は読み出し結果返却を意味します。命令内はスペースで区切り、最後にはキャリッジリターンが必要です。**AAAA** は 16 ビットのアドレス、**BBBBBBB** は 32 ビットのデータを意味します。詳細については、『Gowin Uart to Bus IP ユーザーガイド ([IPUG1022](#))』を参照してください。

このリファレンス・デザインでは、UART to Bus IP のパラメータは以下のように設定されています：

図 7-3 UART to Bus IP のパラメータの設定(その 1)

The screenshot shows the configuration interface for the UART to Bus IP. The 'Slave Address' tab is selected. Under 'Bus Config', 'Local' is chosen for the bus mode. Address width is 16 bits and data width is 32 bits. The timeout is 16 clocks. Under 'Uart Config', the clock frequency is 10 MHz and the baud rate is 115200. Under 'Generation Config', the option to disable I/O insertion is checked.

図 7-4 UART to Bus IP のパラメータの設定(その 2)

Slave	Base Address	High Address
☒ slave0	0x0000	0x00FF
☐ slave1	0x0100	0x01FF
☐ slave2	0x0200	0x02FF
☐ slave3	0x0300	0x03FF
☐ slave4	0x0400	0x04FF
☐ slave5	0x0500	0x05FF
☐ slave6	0x0600	0x06FF
☐ slave7	0x0700	0x07FF
☐ slave8	0x0800	0x08FF
☐ slave9	0x0900	0x09FF

詳細なレジスタアドレスの定義は以下の通りです。

表 7-1 レジスタアドレスの定義

アドレス (32bit)	デフォルト値	W/R	説明
0x0000	0x00000000	WR	[3:0] : データフィールドの長さがどのように変化するかを制御します。上位ビットから下位ビットの順に Port3、Port2、Port1、Port0 に対応します。 1 : 各フレームのデータフィールド長は DATA_LENGTH_MAX のままです。 0 : 各フレームのデータフィールド長は 0~DATA_LENGTH_MAX の間で変化する、隣接する 2 つのフレーム間の差は DATA_LENGTH_INCREASE です。
0x0001	0x00000000	WR	[3:0] : Pause フレームを送信するかを制御します。上位ビットから下位ビットの順に Port3、Port2、Port1、Port0 に対応します。 1 : Pause フレームを送信しません 0 : Pause フレームを送信します
0x0002	0x00000000	WR	[3:0] : 検出結果をクリアします。上位ビットから下位ビットの順に Port3、Port2、Port1、Port0 に対応します。 1 : 異常結果またはフレーム送信数をクリアします 0 : 再検出を開始します
0x0010	0x00000000	WR	[3:0] : IP リセット機能(main_reset)。上位ビットから下位ビットの順に Port3、Port2、Port1、Port0 に対応します。 1 : リセット 0 : リセット解除
0x0011	0x000000AA	WR	[7]/[5]/[3]/[1] : オートネゴシエーション機能のイネーブル(an_enable)。上位ビットから下位ビットの順に Port3、Port2、Port1、Port0 に対応します。 1 : オートネゴシエーション機能を有効にします 0 : オートネゴシエーション機能を無効にします

アドレス (32bit)	デフォルト値	W/R	説明
			[6]/[4]/[2]/[0] : 再度オートネゴシエーション。上位ビットから下位ビットの順に Port3、Port2、Port1、Port0 に対応します。 1->0 : オートネゴシエーションを再実行します
0x0020	0x0006666F	WR	[18]/[14]/[10]/[6] : SGMII のデュプレックスモード。上位ビットから下位ビットの順に Port3、Port2、Port1、Port0 に対応します。 1 : 全二重モード 0 : 半二重モード [17:16]/[13:12]/[9:8]/[5:4] : SGMII のレート。上位ビットから下位ビットの順に Port3、Port2、Port1、Port0 に対応します。 1x : 1000M 01 : 100M 00 : 10M [3:0] : モードの選択。上位ビットから下位ビットの順に Port3、Port2、Port1、Port0 に対応します。 0 : SGMII の System Mode 1 : SGMII の Media Mode
0x0021	0x00300030	WR	[24:16] : SGMII のリンク時間の設定。デフォルトは 48。Port1 [8:0] : SGMII のリンク時間の設定。デフォルトは 48。Port0
0x0022	0x00300030	WR	[24:16] : SGMII のリンク時間の設定。デフォルトは 48。Port3 [8:0] : SGMII のリンク時間の設定。デフォルトは 48。Port2
0x0030	0x00000001	WR	[11]/[9]/[7]/[5] : データ転送連続モード。複数バーストに相当。上位ビットから下位ビットの順に Port3、Port2、Port1、Port0 に対応します。 1 : データ転送を実行します 0 : データ転送を停止します [10]/[8]/[6]/[4] : データ転送のバーストモード。FRM_NUM_MAX 個のイーサネットフレームと 1 個の Pause フレームを 1 つのバーストで送信します (0x0001 は Pause フレームを送信するかどうかを制御します)。上位ビットから下位ビットの順に Port3、Port2、Port1、Port0 に対応します。 1->0 : バーストを実行します [0] : Uart_to_Bus_Top および sysreg モジュール以外のリセット 1 : リセット解除 0 : リセット
0x0080	-	R	[31]/[23]/[15]/[7] : オートネゴシエーション完了フラグ。上位ビットから下位ビットの順に Port3、Port2、Port1、Port0 に対応します。 [26]/[18]/[10]/[2] : 受信したデータが異常です。上位ビットから下位ビットの順に Port3、Port2、Port1、Port0 に対応します。 [25]/[17]/[9]/[1] : 受信した Pause フレームが異常です。上位ビットから下位ビットの順に Port3、Port2、Port1、Port0 に対応します。 [24]/[16]/[8]/[0] : 受信したイーサネットフレームが異常です。上位

アドレス (32bit)	デフォルト値	W/R	説明
			ビットから下位ビットの順に Port3、Port2、Port1、Port0 に対応します。
0x0081	-	R	[26]/[18]/[10]/[2]:SGMII 規格での相手側のデュプレックスモード。上位ビットから下位ビットの順に Port3、Port2、Port1、Port0 に対応します。 1 : 全二重モード 0 : 半二重モード [25:24]/[17:16]/[9:8]/[1:0] : SGMII 規格での相手側のレート。上位ビットから下位ビットの順に Port3、Port2、Port1、Port0 に対応します。 10 : 1000M 01 : 100M 00 : 10M
0x0090	-	R	[15:12] : IP の Link Up 状態。上位ビットから下位ビットの順に Port3、Port2、Port1、Port0 に対応します。 [11]/[9]/[7]/[5] : mac_rx_model モジュールのリセット状態。上位ビットから下位ビットの順に Port3、Port2、Port1、Port0 に対応します。 [10]/[8]/[6]/[4] : mac_tx_model モジュールのリセット状態。上位ビットから下位ビットの順に Port3、Port2、Port1、Port0 に対応します。 [3] : デフォルトでは 1 [2] : IP のリセット状態 [1] : Uart_to_Bus_Top および sysreg モジュールのリセット状態 [0] : pll_uart のロック状態
0x0091	-	R	[7:4] : 受信イーサネットデータのフレーム数オーバーフローフラグ。つまり表示範囲を超えています。上位ビットから下位ビットの順に Port3、Port2、Port1、Port0 に対応します。 [3:0] : 送信イーサネットデータのフレーム数オーバーフローフラグ。つまり表示範囲を超えています。上位ビットから下位ビットの順に Port3、Port2、Port1、Port0 に対応します。
0x00A0	-	R	[31:0] : 送信イーサネットデータのフレーム数。Port0
0x00A1	-	R	[31:0] : 送信イーサネットデータのフレーム数。Port1
0x00A2	-	R	[31:0] : 送信イーサネットデータのフレーム数。Port2
0x00A3	-	R	[31:0] : 送信イーサネットデータのフレーム数。Port3
0x00B0	-	R	[31:0] : 受信イーサネットデータのフレーム数。Port0
0x00B1	-	R	[31:0] : 受信イーサネットデータのフレーム数。Port1
0x00B2	-	R	[31:0] : 受信イーサネットデータのフレーム数。Port2
0x00B3	-	R	[31:0] : 受信イーサネットデータのフレーム数。Port3

7.4 ボードレベル・テスト

7.4.1 操作の説明

このサンプルプロジェクトは
EVAL_GW5AT-LV138KFG676(B-Version)_V1.0 開発ボードでテストされ、実装されています。このボードをお持ちでない方がこのサンプルプロジェクトを実行したい場合は、ボードの実際の状況に応じて **QSGMII IP** の **Channel Selection**、**Reference Clock Source**、**Reference Clock Frequency**、および **PLL Selection** オプションを変更し、入力クロックに応じて **pll_uart** を再構成し、クロック入力ピン、リセットピン、および **LED** ピンを再割り当てする必要があります。

変更が完了した後、ビットストリームファイルを生成して **FPGA** にダウンロードし、テストを開始します。

7.4.2 操作手順

ボードレベル・テストの操作手順は以下のとおりです。

1. **RF** ケーブルを使用して、外部ループバックの **TX** 側と **RX** 側を接続します。
2. ビットストリームファイルが **FPGA** にダウンロードされた後、まずシリアル命令が機能しているかを確認する必要があります。

入力 : W 0003 F5A1490D

入力 : R 0003

返り値 : G 0003 F5A1490D

これは、**PC** と **FPGA** の間の通信に問題がないことを意味し、そうでない場合は、次のステップに進む前にまず、通信できない理由をトラブルシューティングする必要があります。

3. **LED D1** が常に点灯していることは、**QSGMII IP** が **Media Mode**、**1000M** でのオートネゴシエーションを完了し、データを転送できることを示します。そうでない場合は、次のステップに進む前にまず、**IP** がオートネゴシエーションを完了していない理由を確認する必要があります。
4. 現在の **FPGA** 内の検出結果を取得します。

入力 : R 0080

返り値 : G 0080 80808080

これは、**IP** のすべて **Port** のオートネゴシエーションが成功し、データの送受信に異常が検出されていないことを示します。

5. 各フレームのペイロードを最大にして **Pause** フレームを転送しないようにイーサネットのデータ転送処理を設定します。

入力 : W 0000 0000000F

入力 : W 0001 0000000F

6. データ転送(連続モード)を実行し、LED D2 が常に点灯していることを確認します。

入力 : W 0030 00000AA1

7. 一定の時間後にデータ転送を停止し、LED D2 が常に消灯していることを確認します。

入力 : W 0030 00000001

8. LED D3 と LED D4 が常に消灯していることを確認します。これは、IP のデータ転送プロセスに異常がないことを示します。

9. IP を Media Mode(100M)に設定します。

入力 : W 0020 0005555F

10. IP がオートネゴシエーションを再実行するように設定します。

入力 : W 0011 000000FF

入力 : W 0011 000000AA

11. ステップ 3～8 を繰り返します。

12. IP を SGMII プロトコルの Media Mode(10M)に設定します。

入力 : W 0020 0004444F

13. IP がオートネゴシエーションを再実行するように設定します。

入力 : W 0011 000000FF

入力 : W 0011 000000AA

14. ステップ 3～8 を繰り返します。

15. ボードレベル・テスト中に LED の状態を観察することで、データ転送が正常であることを確認できます。

8 提供されるファイル

提供されるファイルには主に、ドキュメント、デザインのソースコード、およびリファレンス・デザインが含まれています。

8.1 ドキュメント

フォルダには主にユーザーガイドの PDF ファイルが含まれています。

表 8-1 ファイル一覧

名称	説明
Gowin QSGMII IP ユーザーガイド (IPUG1087)	即ち、本マニュアル

8.2 デザインのソースコード(暗号化)

暗号化コードのフォルダには、GUI で使用される、Gowin QSGMII IP の RTL 暗号化コードが含まれています。

表 8-2 Gowin QSGMII IP のソースコード一覧

名称	説明
ge_pcs_qsgmii_wrap.v	IP コアのトップレベル・ファイル(暗号化されていない)。ユーザーにインターフェース情報を提供します。
ge_pcs_qsgmii.v	IP コアの RTL 設計ファイル(暗号化)
ge_constants.v	ローカル静的パラメータ構成ファイル(暗号化)
static_macro_define.v	ローカル静的パラメータ構成ファイル(非暗号化)
define.vh	IP 構成ファイル。GUI での生成が必要。
parameter.vh	IP 構成ファイル。GUI での生成が必要。

8.3 リファレンス・デザイン

Gowin QSGMII IP RefDesign フォルダには、主に Gowin QSGMII IP のネットリスト・ファイル、リファレンス・デザイン、制約ファイル、トップレベル・ファイル、およびプロジェクト・フォルダなどが含まれています。

表 8-3 Gowin QSGMII IP RefDesign フォルダのコンテンツ一覧

名称	説明
top.v	リファレンス・デザインのトップ・モジュール
fpga_project.cst	物理制約ファイル
fpga_project.sdc	タイミング制約ファイル
serdes	SerDes関連ファイルとQSGMII関連ファイルを含むSerDes IPフォルダ。
mac_rx_model.v	MAC層RX信号制御モジュール
mac_tx_model.v	MAC層TX信号制御モジュール
uart_to_bus	Uart to Bus IPフォルダ。シリアル-内部構成バスの変換用。
sysreg.v	ローカルシステム構成レジスタ・モジュール
button.v	デバウンスモジュール
pll_uart	PLLフォルダ。PLLは、オンボードの50MHzクロックをリファレンス・クロックとして、シリアル通信用の10MHzクロックを生成します。

