



Gowin RoraLink 64B66B IP ユーザーガイド

IPUG1085-1.1J, 2024-10-25

著作権について(2024)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云及び **Gowin** は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、**GOWINSEMI Terms and Conditions of Sale**(GOWINSEMI 取引条件)に規定されている内容を除き、(明示的か又は黙示的に拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2024/02/02	1.0J	初版。
2024/10/25	1.1J	● AFE のサポートを追加。 ● 構成オプション「Reference Clock Source」の説明を更新。

目次

目次	i
図一覧.....	iii
表一覧.....	iv
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	1
1.4 テクニカル・サポートとフィードバック	2
2 機能の紹介	3
2.1 概要	3
2.2 主な特徴	3
2.3 リソース使用量	4
3 機能の説明	5
3.1 ブロック図	5
3.2 動作周波数	5
3.3 動作原理	6
3.4 ユーザーインターフェース	7
3.5 ポート一覧	8
3.6 ユーザーインターフェースのタイミング	16
3.6.1 ユーザーデータ送信インターフェースのタイミング図	16
3.6.2 ユーザーデータ受信インターフェースのタイミング図	17
3.6.3 NFC フロー制御インターフェースのタイミング図	18
3.6.4 UFC フロー制御インターフェースのタイミング図	19
3.6.5 ユーザーK キャラクタ・インターフェースのタイミング図	20
3.6.6 CRC インターフェースのタイミング図	21
4 GUI での構成	22
5 リファレンス・デザイン	30
5.1 アプリケーション	30

5.2 Gowin RoraLink 64B66B IP のサンプルプロジェクト	31
5.3 リファレンス・デザイン・ボードテスト	32
6 提供されるファイル	35
6.1 ドキュメント	35
6.2 デザインのソースコード(暗号化).....	35
6.3 リファレンス・デザイン	35

図一覧

図 3-1 ブロック図	5
図 3-2 構造	7
図 3-3 Gowin RoraLink 64B66B IP のポート図	9
図 3-4 フレーム・データ構造の例	16
図 3-5 フレーム・データ送信方向インターフェースのタイミング図	17
図 3-6 ストリーミング・データ送信方向インターフェースのタイミング図	17
図 3-7 フレーム・データ受信方向インターフェースのタイミング図	17
図 3-8 ストリーミング・データ受信方向インターフェースのタイミング図	18
図 3-9 NFC フロー制御インターフェースのタイミング図	19
図 3-10 UFC フロー制御送信方向インターフェースのタイミング図	19
図 3-11 UFC フロー制御受信方向インターフェースのタイミング図	20
図 3-12 ユーザーK キャラクタ送信方向インターフェースのタイミング図	20
図 3-13 ユーザーK キャラクタ受信方向インターフェースのタイミング図	21
図 3-14 CRC インターフェースのタイミング図	21
図 4-1 SerDes IP の構成画面	22
図 4-2 Gowin RoraLink 64B66B IP の構成画面	23
図 4-3 IP プロトコルの構成	24
図 4-4 SerDes の構成	25
図 4-5 AFE の構成	26
図 5-1 単一レーンによる単方向データ伝送	30
図 5-2 複数レーンによる単方向データ伝送	30
図 5-3 単一レーンによる全二重データ伝送	31
図 5-4 複数レーンによる全二重データ伝送	31
図 5-5 リファレンス・デザイン例の基本構造	32
図 5-6 シリアル・ポート・ツールの表示	34

表一覧

表 1-1 用語、略語	1
表 2-1 Gowin RoraLink 64B66B IP の概要.....	3
表 2-2 Gowin RoraLink 64B66B IP のリソース使用量.....	4
表 3-1 Gowin RoraLink 64B66B IP のポート一覧.....	9
表 3-2 user_k_blk_no と BTF の対応関係.....	20
表 4-1 Gowin RoraLink 64B66B IP 構成画面におけるパラメータ	26
表 5-1 リファレンス・デザインのレジスター一覧	33
表 6-1 ファイル一覧.....	35
表 6-2 Gowin RoraLink 64B66B IP のソースコード一覧.....	35
表 6-3 Gowin RoraLink 64B66B IP RefDesign フォルダのコンテンツ一覧	35

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、ユーザーが Gowin RoraLink 64B66B IP を使いこなせるよう、その概要、機能の説明、GUI での呼び出し、およびリファレンス・デザインなどについて説明します。本マニュアルに記載のソフトウェア GUI のスクリーンショットは、Gowin ソフトウェア 1.9.10.03 バージョンの場合のものです。ソフトウェアのアップデートにより、一部の内容が変更される場合があります。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- Gowin ソフトウェア ユーザーガイド([SUG100](#))
- GW5AT シリーズ FPGA 製品データシート([DS981](#))
- GW5AST シリーズ FPGA 製品データシート([DS1104](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
CB	Channel Bonding	チャネル・ボンディング
CC	Clock Compensation	クロック補償
CRC	Cyclic Redundancy Code	巡回冗長符号
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
IP	Intellectual Property	設計資産
NFC	Native Flow Control	ネイティブフロー制御
PCS	Physical Coding Sublayer	物理符号化副層

用語、略語	正式名称	意味
PMA	Physical Medium Attachment	物理媒体接続副層
UFC	User Flow Control	ユーザーフロー制御

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2機能の紹介

2.1 概要

Gowin RoraLink 64B66B IP は、64B/66B エンコードとデコードを使用するスケーラブルで軽量な高データレートのリンク層ソリューションを提供し、使いやすいデータインターフェースとフロー制御インターフェースを実装します。

表 2-1 Gowin RoraLink 64B66B IP の概要

Gowin RoraLink 64B66B IP	
ロジックリソース	表 2-2 参照
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンス・デザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis
統合開発環境	Gowin ソフトウェア(V1.9.9.01 以降)

注記：

デバイスのサポート情報は、Gowin セミコンダクターの[ホームページ](#)で確認できます。

2.2 主な特徴

- 1~8 レーンをサポート
- 単方向または全二重をサポート
- 64B/66B エンコード/デコードをサポート
- シリアルデータのスクランブリング/デスクランブリングをサポート
- 受信チャネル・ボンディングとクロック調整をサポート
- 低オーバーヘッド伝送をサポート
- チャンネルの自動初期化と管理をサポート
- ビッグエンディアンまたはリトルエンディアンをサポート

- CRC32 をサポート
- 使いやすいデータインターフェースとフロー制御インターフェースを提供

2.3 リソース使用量

Gowin RoraLink 64B66B IP は Verilog で実装されます。パフォーマンスとリソース使用量は、使用されているデバイスの密度、スピードグレードなどにより異なる場合があります。例えば、GW5AT シリーズ FPGA の場合、RoraLink 64B66B IP のリソース使用量は表 2-2 に示すようになります。

表 2-2 Gowin RoraLink 64B66B IP のリソース使用量

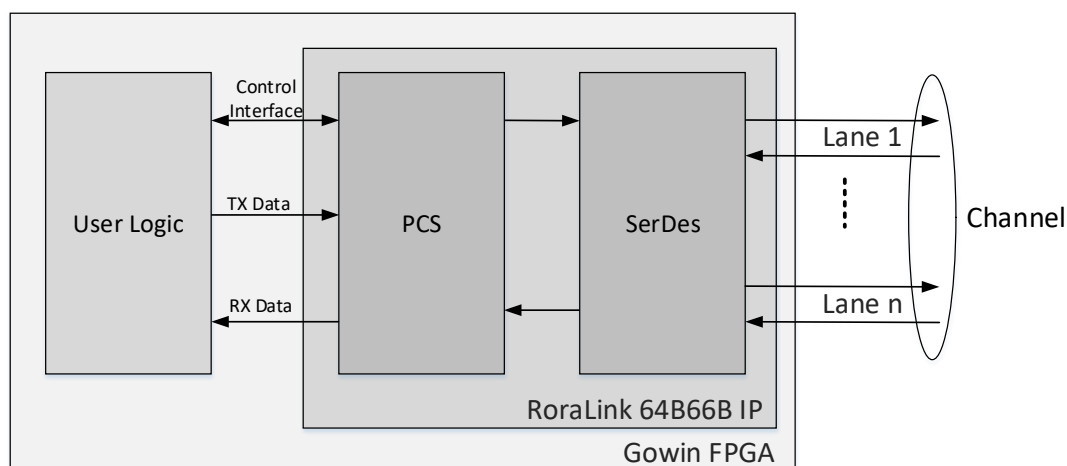
Lane Width	Dataflow Mode	Interface	Resource Utilization		
			REG	LUT	BSRAM
1	Duplex	Framing	4062	2946	2
		Streaming	3881	2767	2
	RX-only Simplex	Framing	2851	1612	2
		Streaming	2695	1497	2
	TX-only Simplex	Framing	1574	1443	0
		Streaming	1574	1447	0
	TX/RX Simplex	Framing	4242	3162	2
		Streaming	4059	2986	2
2	Duplex	Framing	7684	5679	4
		Streaming	7348	5376	4
	RX-only Simplex	Framing	5429	3147	4
		Streaming	5135	2933	4
	TX-only Simplex	Framing	2988	2820	0
		Streaming	2988	2826	0
	TX/RX Simplex	Framing	7915	5995	4
		Streaming	7576	5669	4
4	Duplex	Framing	14906	11126	8
		Streaming	14264	10555	8
	RX-only Simplex	Framing	10564	6171	8
		Streaming	9997	5773	8
	TX-only Simplex	Framing	5816	5568	0
		Streaming	5816	5587	0
	TX/RX Simplex	Framing	15239	11620	8
		Streaming	14592	11003	8

3 機能の説明

3.1 ブロック図

Gowin RoraLink 64B66B IP のブロック図は図 3-1 に示すとおりです。IP には、SerDes モジュール(SerDes ハードコアで PMA 層を実装)と PCS モジュール(PCS 層を実装)が含まれています。SerDes モジュールは 64B/66B エンコードされたデータを伝送します。ユーザーは 1~8 レーンを使用して 1 チャンネルのデータ伝送を実装できます。PCS モジュールは、64B/66B エンコード/デコード、スクランブリング/デスクランブリング、リンクの初期化、およびデータの伝送を実装します。

図 3-1 ブロック図



3.2 動作周波数

Gowin RoraLink 64B66B IP の動作周波数は SerDes のラインレートに関係しています。SerDes の幅が 64 ビットであるため、動作クロック周波数はラインレート/64 ビットになります。たとえば、単一レーンのラインレートが 3.125Gbps の場合、動作クロック周波数は $3.125\text{Gbps}/64\text{bit}=48.828125\text{MHz}$ です。

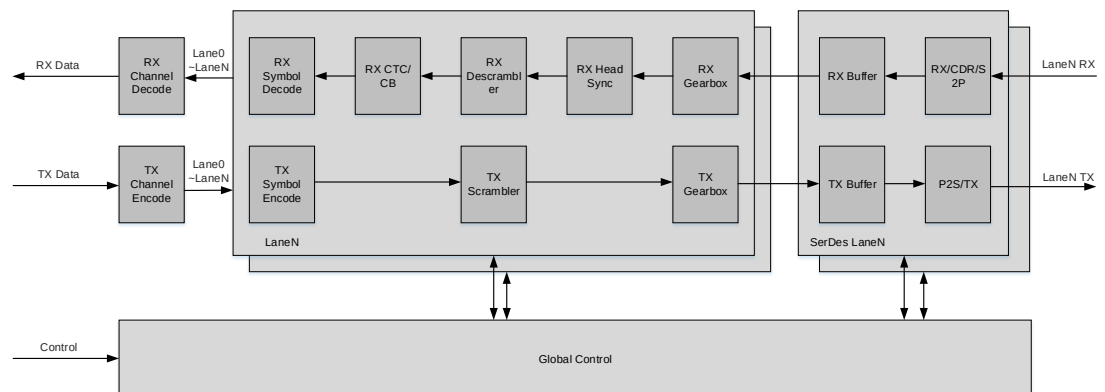
3.3 動作原理

Gowin RoraLink 64B66B IP の構造は図 3-2 に示すとおりです。各モジュールの機能：

- **Global Control**：グローバル制御モジュール。IP 受信方向のチャネル・ボンディング(Channel Bonding)、IP の初期化、リンクの監視、リセットなどを管理します。
- **データ送信方向**：IP は、ユーザーが入力したデータに対して、データ処理とフロー制御、スクランブリング、ギアボックス処理を実行し、SerDes を介して送信します。
 - **TX Channel Encode**：ユーザーデータ、フロー制御データ、ユーザーK キャラクタなどのデータを処理します(インターフェース変換、フロー制御、ビッグエンディアン/リトルエンディアン変換、CRC フィールドの追加などを含む)。CRC の計算式： $G(X) = X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ 。
 - **TX Symbol Encode**：TX Channel Encode が出力するデータは、複数のレーンへ入力され、制御記号を追加されます。
 - **TX Scrambler**：送信スクランブリング・モジュール。式 $G(x) = 1 + x^{39} + x^{58}$ を使用してデータをスクランブリングします。2 ビットの同期ヘッダーはスクランブリングされません。
 - **TX Gearbox**：送信ギアボックス・モジュール。64 ビットおよび 2 ビットの同期ヘッダーを SerDes インターフェースの 64 ビットに変換します。
- **データ受信方向**：IP は、SerDes からデータを受信し、ギアボックス(Gearbox)処理、受信ブロック同期、受信デスクランブリング、受信クロック補償(Clock Compensation)、受信チャネル・ボンディング(Channel Bonding)、データ処理を実行してユーザーに送信します。
 - **RX Gearbox**：受信ギアボックス・モジュール。SerDes によって受信された 64 ビットのデータを 66 ビットのデータに変換します。
 - **RX Head Sync**：受信同期モジュール。データを受信し、2 ビットの同期ヘッダーがロックされているかどうかを検出します。ロックされていない場合は、RX Gearbox と連携してデータを処理し、64 ビットのデータと 2 ビットの同期ヘッダーを正しく回復します。
 - **RX Descrambler**：受信デスクランブリング・モジュール。
 - **RX CTC/CB**：受信クロック調整および受信チャネル・ボンディング・モジュール。
 - **RX Symbol Decode**：制御記号を受信して処理します。
 - **RX Channel Decode**：受信データを処理してユーザーに送信します。データ処理には、CRC フィールドの削除、ビッグエンディア

ン/リトルエンディアン変換、インターフェース変換などが含まれます。

図 3-2 構造



3.4 ユーザーインターフェース

Gowin RoraLink 64B66B IP が提供するユーザー側インターフェースの概要は、次のとおりです。

- クロック・インターフェース：ユーザーはこのインターフェースを介して IP コアの動作クロックを入力します。
- リセット・インターフェース：ユーザーはこのインターフェースを介して IP コアをリセットすることができます。また、IP はこのインターフェースを介してユーザー側モジュールにリセット信号を出力します。
- データ送信インターフェース：ユーザーはこのインターフェースを介してデータを送信します。
- データ受信インターフェース：ユーザーはこのインターフェースを介してデータを受信します。
- NFC フロー制御インターフェース：ユーザーが NFC(Native Flow Control)フロー制御を実行するためのインターフェース。これにより、受信側がチャネル・パートナーにデータの代わりにアイドルの送信を要求できるようになります。
- UFC フロー制御インターフェース：ユーザーが UFC(User Flow Control)フロー制御を実行するためのインターフェース。これにより、高優先度の短い制御メッセージを送信できるようになります。
- ユーザーK キャラクタ・インターフェース：ユーザー定義の送受信 K キャラクタ・インターフェース。
- 状態インターフェース：IP 内部エラー状態、レーン・アップ状態、チャネル・アップ状態、および CRC チェック状態が含まれます。
- SerDes 関連インターフェース：SerDes リセットおよび SerDes 状態

インターフェース。

3.5 ポート一覧

Gowin RoraLink 64B66B IP のポート図は図 3-3 に示すとおりです。

図 3-3 Gowin RoraLink 64B66B IP のポート図

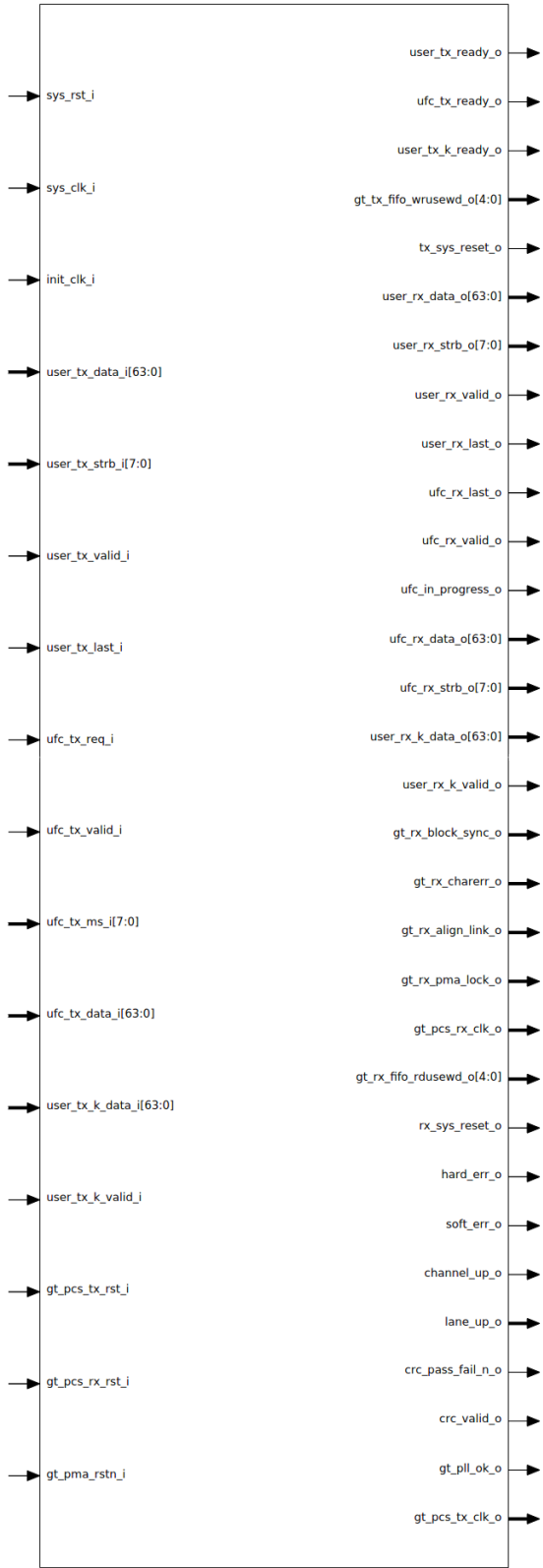


表 3-1 Gowin RoraLink 64B66B IP のポート一覧

ポート名	I/O	幅(ビット)	説明
クロックとリセット			

ポート名	I/O	幅(ビット)	説明
sys_rst_i	入力	1	入力リセット信号、アクティブ High。
sys_clk_i	入力	1	入力動作クロック。クロック周波数については 3.2 動作周波数 を参照してください。
init_clk_i	入力	1	入力ローカル水晶発振器 50MHz クロック
reset2fc_o ^[10]	出力	1	リファレンス・デザイン専用。受信方向フレーム・チェック・モジュールをリセットします。アクティブ High
reset2fg_o ^[9]	出力	1	リファレンス・デザイン専用。送信方向フレーム生成モジュールをリセットします。アクティブ High
tx_sys_reset_o ^[2]	出力	1	出力送信方向システム・リセット信号、アクティブ High。
rx_sys_reset_o ^[3]	出力	1	出力受信方向システム・リセット信号、アクティブ High。
ユーザーデータ送信インターフェース			
user_tx_data_i ^[2]	入力	[(64n ^[1] -1):0] or [0:(64n ^[1] -1)]	送信ユーザーデータ
user_tx_valid_i ^[2]	入力	1	送信ユーザーデータ有効の指示。アクティブ High。
user_tx_ready_o ^[2]	出力	1	送信ユーザーデータのハンドシェイク信号。user_tx_ready_o が High、user_tx_valid_i が High の場合、バス上のデータは有効です。
user_tx_strb_i ^[2]	入力	[(8n ^[1] -1):0] or [0:(8n ^[1] -1)]	送信ユーザー・データ・フレームの最後のバイトのストロブ。たとえば、user_tx_strb_i が 8'h1f の場合、対応する user_tx_data_i[39:0]データが有効で、user_tx_data_i[63:40]データが無効です。この信号は、user_tx_valid_i が High、user_tx_ready_o が High、および user_tx_last_i が High の場合にのみ有効です。 注記：このポートは、構成画面上で「Interface」オプションが「Framing」として構成された場合にのみ有効です。
user_tx_last_i ^[2]	入力	1	送信ユーザー・データ・フレーム最後有効の指示。データ・フレームの最後を示します。user_tx_ready_o が High、user_tx_valid_i が High、user_tx_last_i が High の場合、バス上のデータは各フレームの最後のデータです。 注記：このポートは、構成画面上で

ポート名	I/O	幅(ビット)	説明
			「Interface」オプションが「Framing」として構成された場合にのみ有効です。
ユーザーデータ受信インターフェース			
user_rx_data_o ^[3]	出力	[(64n ^[1] -1):0] or [0:(64n ^[1] -1)]	受信ユーザーデータ
user_rx_valid_o ^[3]	出力	1	受信ユーザーデータ有効の指示。アクティブ High。
user_rx_strb_o ^[3]	出力	[(8n ^[1] -1):0] or [0:(8n ^[1] -1)]	受信ユーザー・データ・フレームの最後のバイトのストロブ。たとえば、user_rx_strb_o が 8'h1f の場合、対応する user_rx_data_o[39:0]データが有効で、user_rx_data_o[63:40]データが無効です。この信号は、user_rx_valid_o が High、および user_rx_last_o が High の場合にのみ有効です。 注記：このポートは、構成画面上で「Interface」オプションが「Framing」として構成された場合にのみ有効です。
user_rx_last_o ^[3]	出力	1	受信ユーザー・データ・フレーム最後有効の指示。データ・フレームの最後を示します。user_rx_valid_o が High、user_rx_last_o が High の場合、バス上のデータは各フレームの最後のデータです。 注記：このポートは、構成画面上で「Interface」オプションが「Framing」として構成された場合にのみ有効です。
Native Flow Control フロー制御インターフェース			
nfc_valid_i ^[4]	入力	1	NFC フロー制御データ有効の指示。アクティブ High。
nfc_data_i ^[4]	入力	[15:0] or [0:15]	NFC フロー制御データ
nfc_ready_o ^[4]	出力	1	NFC フロー制御のハンドシェイク信号。nfc_ready_o が High、nfc_valid_i が High の場合、バス上のデータは有効です。
User Flow Control フロー制御送信方向インターフェース			
ufc_tx_req_i ^{[2][5]}	入力	1	送信 UFC データ要求信号。アクティブ High。
ufc_tx_ms_i ^{[2][5]}	入力	[7:0]or[0:7]	送信 UFC データのバイト数、範囲は 0~255。たとえば、3 は 4 バイトの UFC データの伝送を意味します。
ufc_tx_data_i ^{[2][5]}	入力	[(64n ^[1] -1):0] or	送信 UFC データ

ポート名	I/O	幅(ビット)	説明
		[0:(64n ^[1] -1)]	
ufc_tx_valid_i ^{[2][5]}	入力	1	送信 UFC データ有効の指示。アクティブ High。
ufc_tx_ready_o ^{[2][5]}	出力	1	送信 UFC データのハンドシェイク信号、アクティブ High。ufc_tx_ready_o が High、ufc_tx_valid_i が High の場合、バス上のデータ ufc_tx_data_i は有効です。
User Flow Control フロー制御受信方向インターフェース			
ufc_rx_data_o ^{[3][5]}	出力	[(64n ^[1] -1):0] or [0:(64n ^[1] -1)]	受信 UFC データ。
ufc_rx_strb_o ^{[3][5]}	出力	[(8n ^[1] -1):0]or [0:(8n ^[1] -1)]	受信 UFC データ・フレームの最後のバイトのストロブ。たとえば、ufc_rx_strb_o が 8'h1f の場合、対応する ufc_rx_data_o[39:0]データが有効で、ufc_rx_data_o[63:40]データが無効です。この信号は、ufc_rx_valid_o が High、ufc_rx_last_o が High の場合にのみ有効です。
ufc_rx_last_o ^{[3][5]}	出力	1	受信ユーザー・データ・フレーム最後有効の指示。各 UFC データ・フレームの最後を示します。ufc_rx_valid_o が High、ufc_rx_last_o が High の場合、バス上のデータは各フレームの最後のデータです。
ufc_rx_valid_o ^{[3][5]}	出力	1	受信 UFC データ有効の指示。アクティブ High。
ufc_in_progress_o ^{[3][5]}	出力	1	UFC 伝送状態。Low レベルは UFC データが受信されていることを示します。
ユーザーK キャラクタ送信方向インターフェース			
user_tx_k_data_i ^{[2][6]}	入力	[(64n ^[1] -1):0] or [0:(64n ^[1] -1)]	送信ユーザーK キャラクタ・データ 「Little Endian Support」オプションをチェックした場合： user_tx_k_data_i = {{user_k_data[55:0],4'h0,user_k_blk_no[3:0]}*n^[1]}。 「Little Endian Support」オプションをチェックしていない場合： user_tx_k_data_i = {{4'h0,user_k_blk_no[0:3],user_k_data[55:0]}*n^[1]}。
user_tx_k_valid_i ^{[2][6]}	入力	1	送信ユーザーK キャラクタ・データ有効の指示。アクティブ High。
user_tx_k_ready_o ^{[2][6]}	出力	1	送信ユーザーK キャラクタ・データのハンドシェイク信号。アクティブ High。user_tx_k_valid_i が High、

ポート名	I/O	幅(ビット)	説明
			user_tx_k_ready_o が High の場合、バス上のデータは有効です。
ユーザーK キャラクタ受信方向インターフェース			
user_rx_k_data_o ^{[3][6]}	出力	$[(64n^{[1]}-1):0]$ or $[0:(64n^{[1]}-1)]$	受信ユーザーK キャラクタ・データ 「Little Endian Support」オプションをチェックした場合： <code>user_tx_k_data_i = {{user_k_data[55:0], 4'h0, user_k_blk_no[3:0]}*n^[1]。</code> 「Little Endian Support」オプションをチェックしていない場合： <code>user_tx_k_data_i = {{4'h0, user_k_blk_no[0:3], user_k_data[55:0]}*n^[1]。</code>
user_rx_k_valid_o ^{[3][6]}	出力	1	受信ユーザーK キャラクタ・データ有効の指示。アクティブ High。 user_rx_k_valid_o が High の場合、バス上のデータは有効です。
CRC 状態インターフェース			
crc_pass_fail_n_o ^[7]	出力	1	CRC の状態。crc_valid_o が High で crc_pass_fail_n_o が Low であることは、現在の CRC チェックにエラーがあることを示します。crc_valid_o が High で crc_pass_fail_n_o が High であることは、現在の CRC チェックにエラーがないことを示します。
crc_valid_o ^[7]	出力	1	CRC チェック状態有効の指示。アクティブ High。
状態インターフェース			
hard_err_o ^[8]	出力	1	Hard error の指示。High レベルはリンクで Hard error が発生したことを示します。IP がリセットされるまで 1'b0 にリセットされません。
soft_err_o ^[8]	出力	1	Soft error の指示。High レベルは、現在の受信リンクに Soft error があることを示します。
channel_up_o ^[8]	出力	1	チャネル・アップ状態の指示。アクティブ High。High レベルはチャネル・アップが成功したことを示します。
lane_up_o ^[9]	出力	$[(n^{[1]}-1):0]$	レーン・アップ状態の指示。アクティブ High。High レベルはレーン・アップが成功したことを示します。
tx_hard_err_o ^[9]	出力	1	送信方向 Hard error の指示。High レベルはリンクで Hard error が発生したことを示します。IP がリセットされるまで 1'b0 にリセットされません。

ポート名	I/O	幅(ビット)	説明
tx_soft_err_o ^[9]	出力	1	送信方向 Soft error の指示。High レベルは、現在の受信リンクに Soft error があることを示します。
tx_channel_up_o ^[9]	出力	1	送信方向チャンネル・アップ状態の指示。アクティブ High。High レベルはチャンネル・アップが成功したことを示します。
tx_lane_up_o ^[9]	出力	[(n ^[1] -1):0]	送信方向レーン・アップ状態の指示。アクティブ High。High レベルはレーン・アップが成功したことを示します。
rx_hard_err_o ^[10]	出力	1	受信方向 Hard error の指示。High レベルはリンクで Hard error が発生したことを示します。IP がリセットされるまで 1'b0 にリセットされません。
rx_soft_err_o ^[10]	出力	1	受信方向 Soft error の指示。High レベルは、現在の受信リンクに Soft error があることを示します。
rx_channel_up_o ^[10]	出力	1	受信方向チャンネル・アップ状態の指示。アクティブ High。High レベルはチャンネル・アップが成功したことを示します。
rx_lane_up_o ^[10]	出力	[(n ^[1] -1):0]	受信方向レーン・アップ状態の指示。アクティブ High。High レベルはレーン・アップが成功したことを示します。
cfg_tx_init_counter_i ^[9]	入力	[23:0]	送信方向初期化カウンタ。シミュレーションでは 24'h3ff に設定してシミュレーションを高速化することができます。アプリケーションでは 24'hffff に設定できます。
ユーザー側の SerDes 制御関連インターフェース			
gt_pma_rstn_i	入力	1	SerDes レーンリセット信号。アクティブ Low。IP に対応するすべてのレーンを同時にリセットします。
gt_pll_ok_o	出力	1	SerDes PLL ロック状態。High はクロックロックを示します。
gt_pcs_tx_clk_o	出力	[(n ^[1] -1):0]	SerDes PCS 層の送信方向クロック。各レーンは 1bit クロックに対応します。
gt_pcs_tx_rst_i ^[2]	入力	1	SerDes PCS 層の送信方向リセット、アクティブ High。IP に対応するすべてのレーンを同時にリセットします。
gt_tx_fifo_wrusewd_o ^[2]	出力	[(5n ^[1] -1):0]	SerDes レーン Tx FIFO 読み出し/書き込みポインタの差。各レーンは 5 ビットに対応します。
gt_pcs_rx_rst_i ^[3]	入力	1	SerDes PCS 層の受信方向リセット、アクティブ High。IP に対応するすべてのレーンを同時にリセットします。

ポート名	I/O	幅(ビット)	説明
gt_rx_align_link_o ^[3]	出力	[(n ^[1] -1):0]	SerDes レーン・アライメント状態。High レベルは正常なリンクを示します。各レーンは 1 ビットに対応します。
gt_rx_pma_lock_o ^[3]	出力	[(n ^[1] -1):0]	SerDes レーン受信 PMA 層ロック状態。High レベルは正常なリンクを示します。各レーンは 1 ビットに対応します。
gt_rx_fifo_rdusewd_o ^[3]	出力	[(5n ^[1] -1):0]	SerDes レーン Rx FIFO 読み出し/書き込みポインタの差。各レーンは 5 ビットに対応します。
gt_pcs_rx_clk_o ^[3]	出力	[(n ^[1] -1):0]	SerDes PCS 層の受信方向クロック。各レーンは 1bit クロックに対応します。
gt_rx_block_sync_o ^[3]	出力	[(n ^[1] -1):0]	SerDes 受信ブロック同期の指示。High レベルは、受信ブロックの同期が正常であることを示します。各レーンは 1 ビットに対応します。
gt_rx_charerr_o ^[3]	出力	[(n ^[1] -1):0]	SerDes 受信エラーの指示。High レベルは、受信エラーを示します。各レーンは 1 ビットに対応します。
SerDes ハードコアインターフェース			
SerDes_*	-	-	serdes_で始まる信号は、RoraLink 64B66B IP と SerDes ハードコアの接続信号であり、注記！EDA によって自動的に接続されるため、無視しても構いません。

注記：

- ^[1]表中の n はレーン数を示します。
- ^[2] GUI の Dataflow Mode オプションが「RX-only Simplex」の場合、IP にはこのポートがありません。
- ^[3] GUI の Dataflow Mode オプションが「TX-only Simplex」の場合、IP にはこのポートがありません。
- ^[4] GUI の Flow Control オプションが「None」、「UFC」の場合、IP にはこのポートがありません。
- ^[5] GUI の Flow Control オプションが「None」、「Immediate NFC」、「Completion NFC」の場合、IP にはこのポートがありません。
- ^[6] GUI の USER K オプションがチェックされていない場合、IP にはこのポートがありません。
- ^[7] GUI の CRC オプションがチェックされていない場合、IP にはこのポートがありません。
- ^[8] GUI の Dataflow Mode オプションが「Duplex」の場合、IP のこのポートが有効です。
- ^[9] GUI の Dataflow Mode オプションが「TX-only Simplex」または「TX/RX Simplex」の場合、IP のこのポートが有効です。
- ^[10] GUI の Dataflow Mode オプションが「RX-only Simplex」または「TX/RX Simplex」の場合、IP のこのポートが有効です。

3.6 ユーザーインターフェースのタイミング

3.6.1 ユーザーデータ送信インターフェースのタイミング図

Gowin RoraLink 64B66B IP は、フレーム・データまたはストリーミング・データを送信できるユーザーデータ送信インターフェースを提供します。

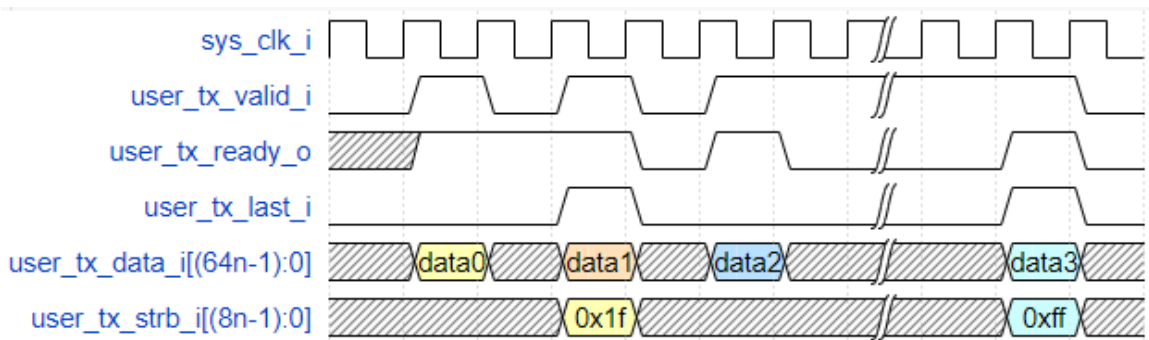
フレーム・データ・インターフェースによって転送されるデータ・ブロック(Data Block)は、セパレータ・ブロック(Separator Block)によって区切られ、セパレータ・ブロックは各データ・ブロックの末尾として機能します。データは 64 ビットのブロックで転送されます。送信方向のデータ・ブロックは、データ送信インターフェースを介してユーザーによって入力され、セパレータ・ブロックとアイドル・ブロック(IDLE Block)は IP コアによって挿入されます。フレーム・データ構造の例を図 3-4 に示します。この例では、データは、単一のレーンで転送されています。データ・フレームの最後のセットの有効データ長が 1~6 バイトの場合、各フレームのデータの末尾は 1 バイトの SEP(0x1e)、1 バイトのデータ・カウント(Count)、1~6 バイトの有効データ、およびパディング・データで構成されます。データ・カウント(Count)は 1~6 で、最後のデータセットの有効なバイト数を示します。データ・フレームの最後のセットの有効データ長が 8 バイトの場合、各フレームのデータの末尾は 1 バイトの SEP(0x1e)、1 バイトのデータ・カウント(0x0)、および 6 バイトのパディング・データで構成されます。データ・フレームの最後のセットの有効データ長が 7 バイトの場合、各フレームのデータの末尾は SEP(0xe1)と 7 バイトの有効データで構成されます。

図 3-4 フレーム・データ構造の例

Frame0 Data Byte7	Frame0 Data Byte6	Frame0 Data Byte5	Frame0 Data Byte4	Frame0 Data Byte3	Frame0 Data Byte2	Frame0 Data Byte1	Frame0 Data Byte0
SEP(0x1e)	Count(0x2)	---	---	---	---	Frame0 Data Byte9	Frame0 Data Byte8
IDLE(0x78)	CC/CB/NR/SA/---	---	---	---	---	---	---
SEP-7(0xe1)	Frame1 Data Byte6	Frame1 Data Byte5	Frame1 Data Byte4	Frame1 Data Byte3	Frame1 Data Byte2	Frame1 Data Byte1	Frame1 Data Byte0
Frame2 Data Byte8	Frame2 Data Byte7	Frame2 Data Byte6	Frame2 Data Byte5	Frame2 Data Byte4	Frame2 Data Byte3	Frame2 Data Byte2	Frame2 Data Byte1
Frame2 Data Byte16	Frame2 Data Byte15	Frame2 Data Byte14	Frame2 Data Byte13	Frame2 Data Byte12	Frame2 Data Byte11	Frame2 Data Byte10	Frame2 Data Byte9
SEP(0x1e)	Count(0x0)	---	---	---	---	---	---
IDLE(0x78)	CC/CB/NR/SA/---	---	---	---	---	---	---

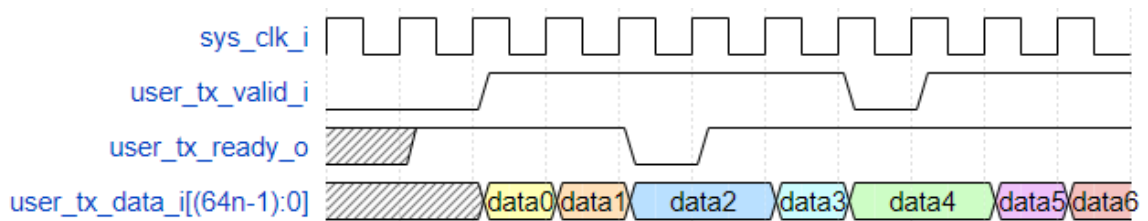
フレーム・データ送信方向インターフェースのタイミングを図 3-5 に示します。user_tx_data_i はデータ・ブロックの転送に使用されます。データは、user_tx_valid_i と user_tx_ready_o の両方が High の時に有効です。user_tx_last_i はフレーム・データの末尾を示します。user_tx_strb_i は user_tx_last_i、user_tx_valid_i、user_tx_ready_o が全て High の時にのみ有効で、user_tx_strb_i はフレーム末尾データのバイト・イネーブルを示します。IP は、内部でフレーム・データ間にセパレータ・ブロックとアイドル・ブロックを挿入します。ユーザーが GUI で CRC をチェックした場合、IP は内部でフレームの末尾に CRC フィールドを追加します。

図 3-5 フレーム・データ送信方向インターフェースのタイミング図



ストリーミング・データの転送にはフレーム・セパレータがないため、転送が簡単になり、リソースの使用率が低くなります。ストリーミング・データ送信方向インターフェースのタイミングを図 3-6 に示します。`user_tx_data_i` はデータ・ブロックの転送に使用されます。データは、`user_tx_valid_i` と `user_tx_ready_o` の両方が High の時に有効です。

図 3-6 ストリーミング・データ送信方向インターフェースのタイミング図

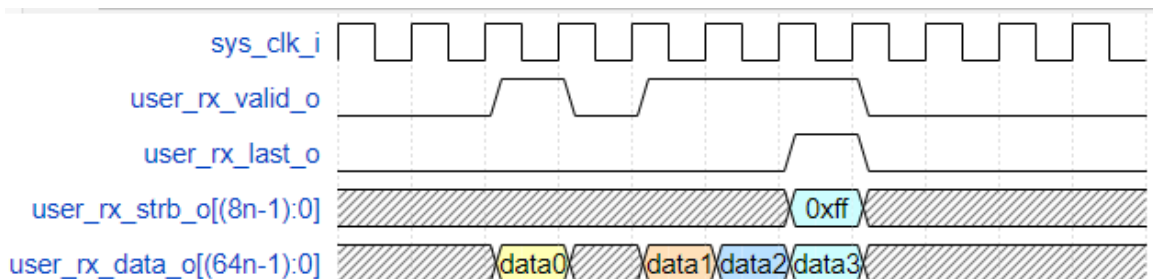


3.6.2 ユーザーデータ受信インターフェースのタイミング図

Gowin RoraLink 64B66B IP は、フレーム・データまたはストリーミング・データを送信できるユーザーデータ受信インターフェースを提供します。データを受信した後、IP はデータ内の制御文字を処理し、残りのデータ・ブロックを受信インターフェースを介してユーザーに送信します。

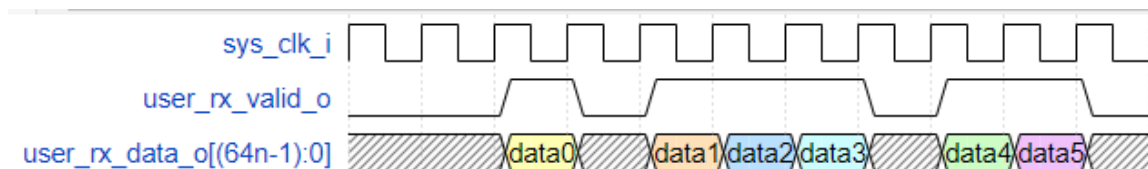
フレーム・データ受信方向インターフェースのタイミングを図 3-7 に示します。`user_rx_data_o` はデータ・ブロックの転送に使用されます。データは、`user_rx_valid_o` が High の時に有効です。`user_rx_last_o` はフレーム・データの末尾を示します。`user_rx_strb_o` は `user_rx_last_o` と `user_rx_valid_o` が両方とも High の時にのみ有効で、`user_rx_strb_o` はフレーム末尾データのバイト・イネーブルを示します。

図 3-7 フレーム・データ受信方向インターフェースのタイミング図



ストリーミング・データ受信方向インターフェースのタイミングを図 3-8 に示します。user_rx_data_o はデータ・ブロックの転送に使用されます。データは、user_rx_valid_o が High の時に有効です。

図 3-8 ストリーミング・データ受信方向インターフェースのタイミング図

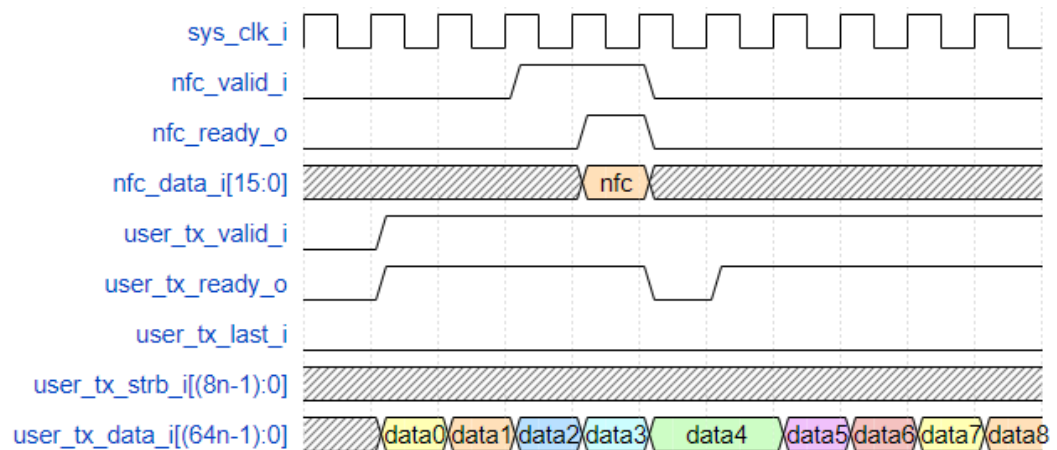


3.6.3 NFC フロー制御インターフェースのタイミング図

Gowin RoraLink 64B66B IP は、NFC 要求メッセージをパートナーに送信するために使用される NFC (Native Flow Control) フロー制御インターフェースを提供します。NFC には、即時モード(immediate)と完了モード(completion)の 2 つの動作モードがあります。即時モードでは、デバイスは受信した NFC 要求を即座に処理する必要があります。完了モードでは、デバイスは NFC 要求を処理する前に、前のフレームのデータ転送を完了する必要があります。

NFC メッセージがビッグエンディアンの場合、nfc_data_i[0:6]は予約フィールド、nfc_data_i[7]は xoff モード指示信号、nfc_data_i[8:15]はポーズ値です。NFC メッセージがリトルエンディアンの場合、nfc_data_i[15:9]は予約フィールド、nfc_data_i[8]は xoff モード指示信号、nfc_data_i[7:0]はポーズ値です。ポーズ値は、デバイスが NFC 要求メッセージを受信した後にデータの送信を一時停止する必要がある最小サイクル数を示します。たとえば、ビッグエンディアン・モードでは、データの送信を一時停止するサイクル数は nfc_data_i[8:15]+1 です。xoff モード指示信号が High であることは、現在 xoff モードにあることを示します。UFC メッセージを受信した後、xoff モード指示信号が Low の UFC 要求データを受信するか、IP がリセットされるまで、デバイスはデータの送信を一時停止します。ポーズ値と xoff モード指示信号が両方とも 0 であることは、現在 xon モードにあることを示します。xon メッセージを受信した後、デバイスはすぐに NFC カウントダウン カウンターを停止し、通常 of データ送信を再開します。NFC フロー制御インターフェースのタイミングを図 3-9 に示します。user_rx_data_o はデータ・ブロックの転送に使用されます。

図 3-9 NFC フロー制御インターフェースのタイミング図



3.6.4 UFC フロー制御インターフェースのタイミング図

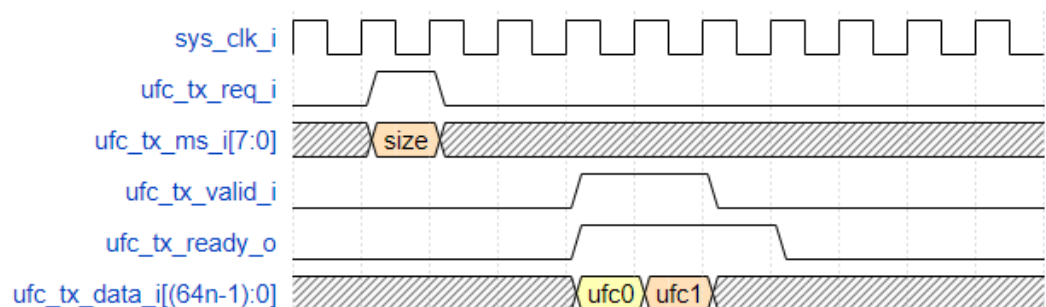
Gowin RoraLink 64B66B IP は、UFC(User Flow Control)フロー制御インターフェースを提供します。UFC フロー制御インターフェースは、送信方向と受信方向で構成されています。UFC は、独立したインバンド・チャネルを使用して、現在のデータ・フレームの転送が終了するのを待つことなく制御情報を送信します。UFC メッセージは最大 256 バイトです。

UFC フロー制御送信方向インターフェースのタイミングを図 3-10 に示します。UFC フロー制御送信要求を開始するには、`ufc_tx_req_i` 信号を 1 クロックサイクルの間 High にする必要があります。

`ufc_tx_ms_i`(`ufc_tx_req_i` が High の場合に有効となる)は、UFC メッセージのバイト数を表します。たとえば、0xf である `ufc_tx_ms_i` は、送信される UFC メッセージの長さが 16 バイトであることを意味します。

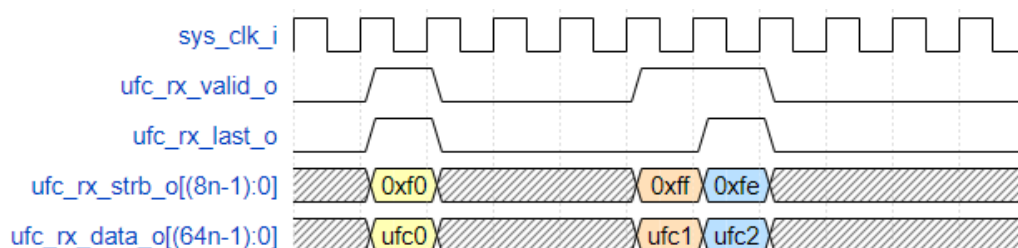
`ufc_tx_data_i` は、送信される UFC メッセージであり、`ufc_tx_ready_o` と `ufc_tx_valid_i` が両方とも High の場合に有効です。UFC メッセージは、通常、`ufc_tx_req_i` の 2 クロックサイクル後に送信されます。

図 3-10 UFC フロー制御送信方向インターフェースのタイミング図



UFC フロー制御受信方向インターフェースのタイミングを図 3-11 に示します。`ufc_rx_data_o` は、`ufc_rx_valid_o` が High の時に有効です。`ufc_rx_strb_o` は、`ufc_rx_data_o` データのバイト・イネーブル信号です。High レベルの `ufc_rx_last_o` は、UFC データ・フレームの末尾を示します。

図 3-11 UFC フロー制御受信方向インターフェースのタイミング図



3.6.5 ユーザーK キャラクタ・インターフェースのタイミング図

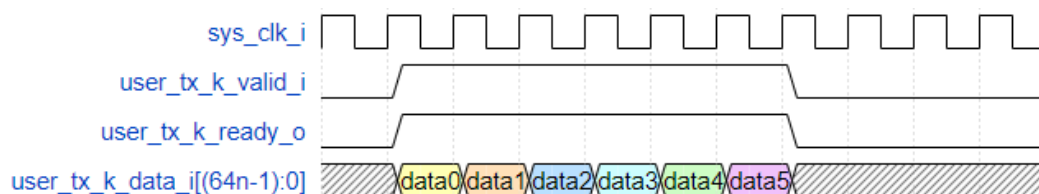
Gowin RoraLink 64B66B IP は、送信方向と受信方向で構成されるユーザーK キャラクタ(USER-K)インターフェースを提供します。ユーザーK キャラクタは、4 ビットの `user_k_blk_no` と 56 ビットの `user_k_data` で構成される 64 ビットのデータ・ブロックで転送されます。範囲が 0 ～ 9 の 4 ビットの `user_k_blk_no` は、10 個のブロック・タイプ(Block Type Field, BTF)に対応しています(表 3-2)。`user_k_data` はユーザー定義データです。

表 3-2 `user_k_blk_no` と BTF の対応関係

<code>user_k_blk_no</code>	Block Type Field(BTF)
USER-K Block 0	0xd2
USER-K Block 1	0x99
USER-K Block 2	0x55
USER-K Block 3	0xb4
USER-K Block 4	0xcc
USER-K Block 5	0x66
USER-K Block 6	0x33
USER-K Block 7	0x4b
USER-K Block 8	0x87

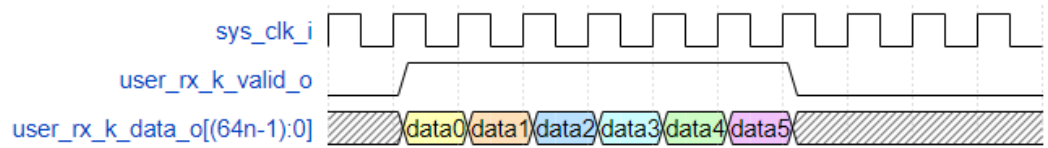
ビッグエンディアンの場合、`user_tx_k_data_i[0:3]`には 0 が埋められ、`user_tx_k_data_i[4:7]`は `user_k_blk_no` で、`user_tx_k_data_i[8:63]`はユーザー定義データです。リトルエンディアンの場合、`user_tx_k_data_i[63:8]`はユーザー定義データで、`user_tx_k_data_i[7:4]`には 0 が埋められ、`user_tx_k_data_i[3:0]`は `user_k_blk_no` です。ユーザーK キャラクタ送信方向インターフェースのタイミングを図 3-12 に示します。

図 3-12 ユーザーK キャラクタ送信方向インターフェースのタイミング図



ユーザーK キャラクタ受信方向インターフェースのタイミングを図 3-13 に示します。

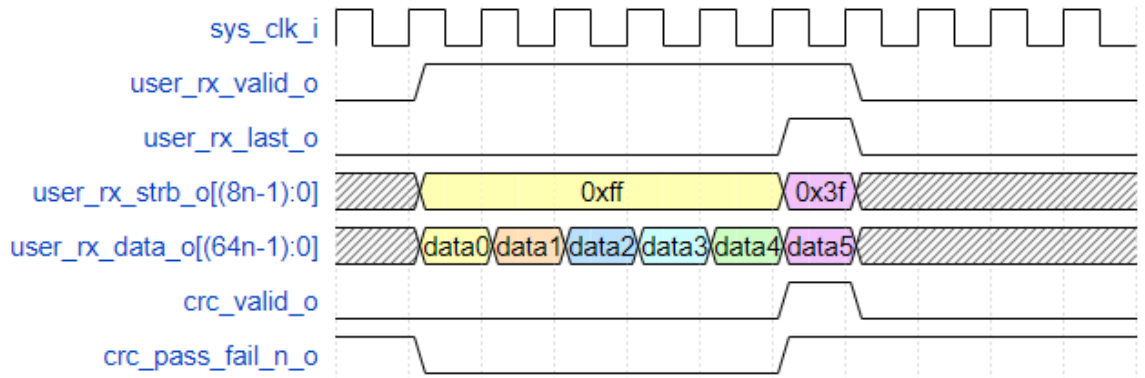
図 3-13 ユーザーK キャラクタ受信方向インターフェースのタイミング図



3.6.6 CRC インターフェースのタイミング図

Gowin RoraLink 64B66B IP は、CRC チェックの結果を示す CRC インターフェースを提供します。CRC チェックのタイミングを図 3-14 に示します。データ・フレームの末尾で、`crc_valid_o` が 1 クロックサイクルの間 High になり、この場合に `crc_pass_fail_n_o` が有効です。High レベルの `crc_pass_fail_n_o` は CRC チェックにエラーがないことを示し、Low レベルの `crc_pass_fail_n_o` は CRC チェックにエラーがあることを示します。

図 3-14 CRC インターフェースのタイミング図



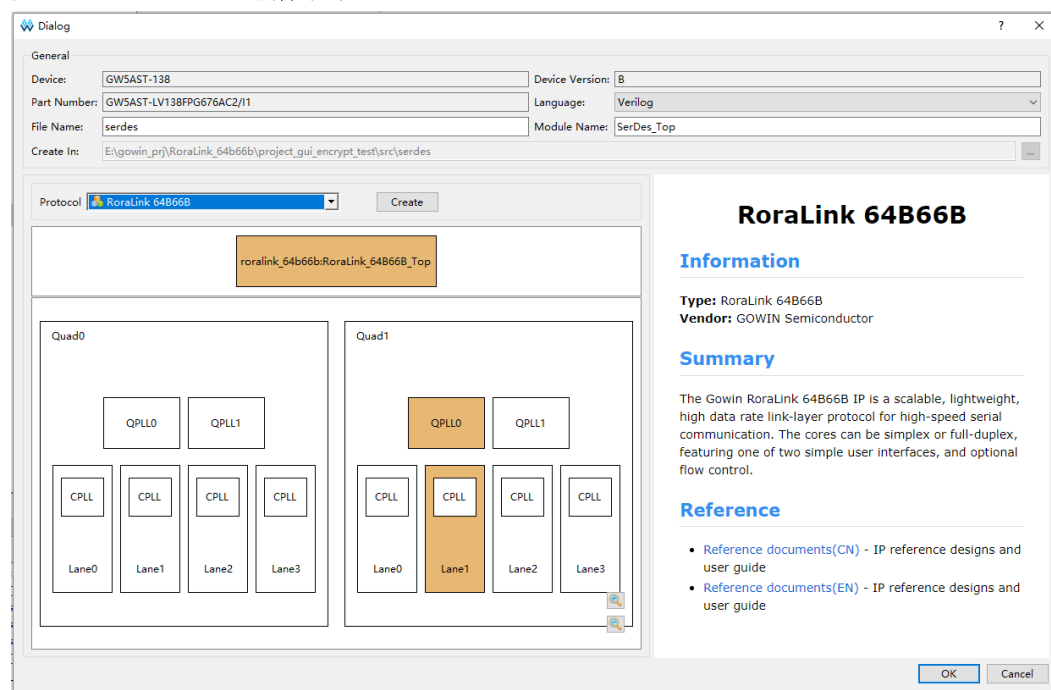
4GUIでの構成

Gowin ソフトウェアの IP Core Generator を使用して、Gowin RoraLink 64B66B IP を呼び出して構成できます。

1. SerDes IP を開く

プロジェクトが作成された後、Tools > IP Core Generator をクリックして、Gowin の IP コア生成ツールを開きます。次に、Soft IP Core ディレクトリにある SerDes をダブルクリックして SerDes IP を開きます。

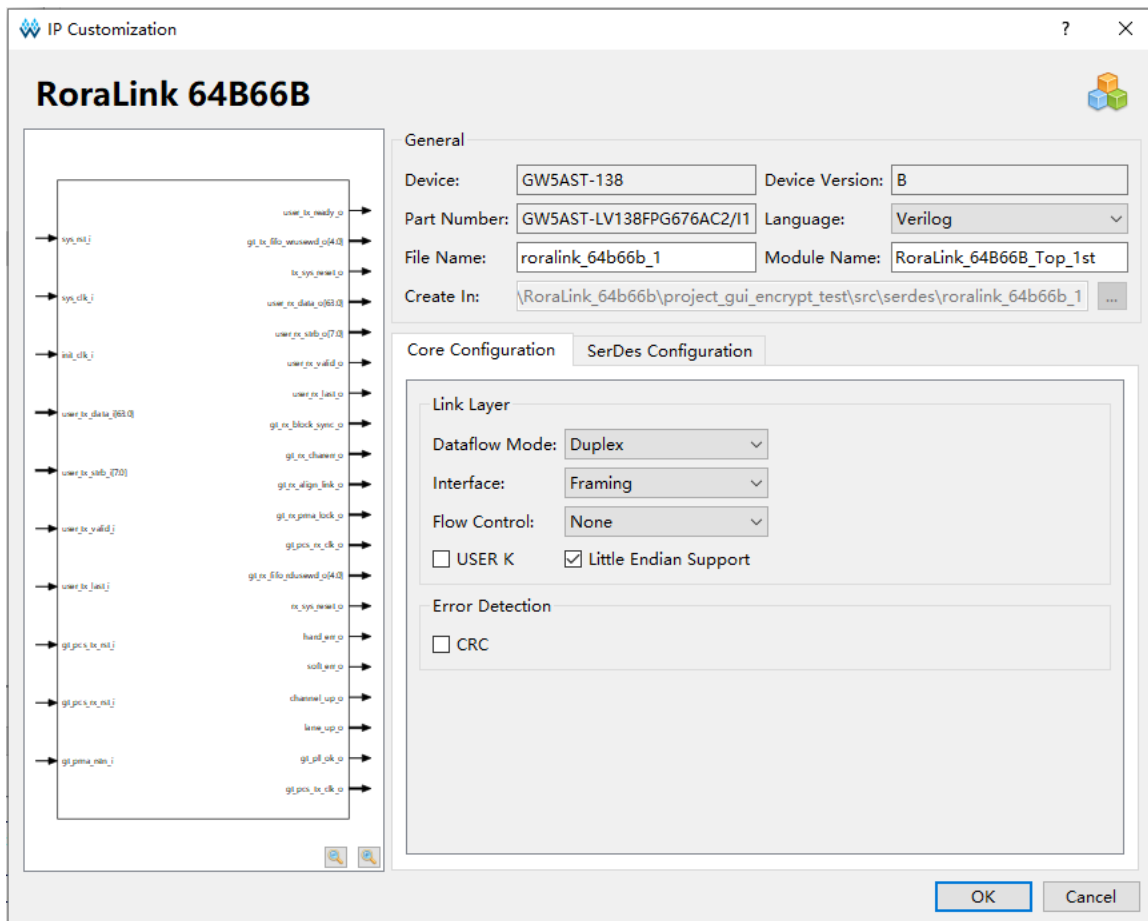
図 4-1 SerDes IP の構成画面



2. RoraLink 64B66B IP を開く

「SerDes」を開いた後、「Protocol」のドロップダウン・リストから「RoraLink 64B66B」を選択し、「Create」をクリックして RoraLink 64B66B IP の構成画面を開きます。

図 4-2 Gowin RoraLink 64B66B IP の構成画面



3. RoraLink 64B66B IP を構成

RoraLink 64B66B IP の構成画面には、図 4-3、図 4-4、および図 4-5 に示すように、「Core Configuration」、「SerDes Configuration」、「AFE」の 3 つのタブがあります。「Core Configuration」タブは、リンク層関連のパラメータの構成に使用され、「SerDes Configuration」タブは、SerDes 関連のパラメータの構成に使用されます。各パラメータの意味を表 4-1 に示します。RoraLink 64B66B IP のパラメータを構成した後、「OK」をクリックします。

4. SerDes IP の構成を完了

Serdes IP の画面ですべてのプロトコルの構成を完了した後、「OK」をクリックして、Serdes IP の生成を完了します。SerDes IP のトップレベル・ファイルでは、RoraLink_64B66B_Top_が先頭に付いた信号が RoraLink 64B66B IP に関連する信号となります。

図 4-3 IP プロトコルの構成

The image shows a configuration window titled "IP Protocol Configuration". It has two tabs: "Core Configuration" and "SerDes Configuration". The "SerDes Configuration" tab is selected. Inside the window, there are two main sections: "Link Layer" and "Error Detection".

Link Layer

- Dataflow Mode: Duplex (dropdown menu)
- Interface: Framing (dropdown menu)
- Flow Control: None (dropdown menu)
- ☐ USER K
- ☒ Little Endian Support

Error Detection

- ☐ CRC

図 4-4 SerDes の構成

Core Configuration

SerDes Configuration

Lane Width: 1

Channel Selection

Channel0 Selection: Q0 Lane0

Channel1 Selection: Q0 Lane1

Channel2 Selection: Q0 Lane2

Channel3 Selection: Q0 Lane3

Channel4 Selection: Q1 Lane0

Channel5 Selection: Q1 Lane1

Channel6 Selection: Q1 Lane2

Channel7 Selection: Q1 Lane3

Loopback Mode: OFF

Line Rate: 3.1250 [0.85-10.3125](Gbps)

Refclk Selection

Reference Clock Source: Q0 REFCLK0

Reference Clock Frequency: 125.000 MHz

PLL Selection: CPLL

Calculate

図 4-5 AFE の構成

The screenshot shows the AFE configuration window with the following parameters:

Section	Parameter	Value	Range
TX	Differential Swing	900mV	
	FFE Mode	Auto	
	Cm	0	(0~19)
	C0	40	(21~40)
	C1	0	(0~19)
RX	SD Threshold	100mV	
	Equalization Mode	Auto	
	ATT	7	(0~10)
	BOOST	9	(0~15)
	BIAS	7	(0~15)

表 4-1 Gowin RoraLink 64B66B IP 構成画面におけるパラメータ

パラメータ名	範囲	デフォルト値	説明
Core Configuration			
Dataflow Mode	Duplex、RX-only Simplex、TX-only Simplex、TX/RX Simplex	Duplex	単方向または全二重を選択します
Interface	Framing、Streaming	Framing	送信するデータがフレーム・データカストリーミング・データかを選択します
Flow Control	None、UFC、Immediate NFC、Completion NFC、UFC+Immediate NFC、UFC+Completion NFC	None	フロー制御モードを選択します
USER K	チェックする、チェックしない	チェックしない	ユーザーK キャラクタ・インターフェースを有効にするかどうかを選択します。チェックすると、ユーザーK キャラクタ・インターフェースは使用可能になります。
Little Endian Support	チェックする、チェックしない	チェックする	インターフェースがビッグエンディアンであるかリトルエンディアンであるかを選択します。チェックすると、インターフェー

パラメータ名	範囲	デフォルト値	説明
			スはリトルエンディアン・モードになります。
CRC	チェックする、チェックしない	チェックしない	CRC チェックを有効にするかを選択します。チェックすると、CRC チェックは有効になります。
PHY Configuration			
Lane Width	1、2、3、4、5、6、7、8	1	IP のレーン数を選択します。
Channel0 Selection	Q0 Lane0、Q0 Lane1、Q0 Lane2、Q0 Lane3、Q1 Lane0、Q1 Lane1、Q1 Lane2、Q1 Lane3、	Q0 Lane0	1 番目の SerDes チャネルに対応するレーンを選択します Q0/Q1 は SerDes の 2 つの Quad に対応します。Lane0、Lane1、Lane2、Lane3 は SerDes の各 Quad の 4 つのレーンです。 注記：GUI で選択できるレーンの数は、「Lane Width」オプションに関連付けられています。
Channel1 Selection	Q0 Lane0、Q0 Lane1、Q0 Lane2、Q0 Lane3、Q1 Lane0、Q1 Lane1、Q1 Lane2、Q1 Lane3、	Q0 Lane1	2 番目の SerDes チャネルに対応するレーンを選択します Q0/Q1 は SerDes の 2 つの Quad に対応します。Lane0、Lane1、Lane2、Lane3 は SerDes の各 Quad の 4 つのレーンです。
Channel2 Selection	Q0 Lane0、Q0 Lane1、Q0 Lane2、Q0 Lane3、Q1 Lane0、Q1 Lane1、Q1 Lane2、Q1 Lane3、	Q0 Lane2	3 番目の SerDes チャネルに対応するレーンを選択します Q0/Q1 は SerDes の 2 つの Quad に対応します。Lane0、Lane1、Lane2、Lane3 は SerDes の各 Quad の 4 つのレーンです。
Channel3 Selection	Q0 Lane0、Q0 Lane1、Q0 Lane2、Q0 Lane3、Q1 Lane0、Q1 Lane1、Q1 Lane2、Q1 Lane3、	Q0 Lane3	4 番目の SerDes チャネルに対応するレーンを選択します Q0/Q1 は SerDes の 2 つの Quad に対応します。Lane0、Lane1、Lane2、Lane3 は SerDes の各 Quad の 4 つのレーンです。
Channel4 Selection	Q0 Lane0、Q0 Lane1、Q0 Lane2、Q0 Lane3、Q1 Lane0、Q1 Lane1、Q1 Lane2、Q1 Lane3、	Q1 Lane0	5 番目の SerDes チャネルに対応するレーンを選択します Q0/Q1 は SerDes の 2 つの Quad に対応します。Lane0、Lane1、Lane2、Lane3 は SerDes の各 Quad の 4 つのレーンです。
Channel5 Selection	Q0 Lane0、Q0 Lane1、Q0 Lane2、Q0 Lane3、Q1 Lane0、Q1 Lane1、Q1 Lane2、Q1 Lane3、	Q1 Lane1	6 番目の SerDes チャネルに対応するレーンを選択します Q0/Q1 は SerDes の 2 つの Quad に対応します。Lane0、Lane1、Lane2、Lane3 は SerDes の各 Quad の 4 つのレーンです。
Channel6 Selection	Q0 Lane0、Q0 Lane1、Q0 Lane2、Q0 Lane3、Q1 Lane0、Q1 Lane1、Q1 Lane2、Q1 Lane3、	Q1 Lane2	7 番目の SerDes チャネルに対応するレーンを選択します Q0/Q1 は SerDes の 2 つの Quad に対応します。Lane0、Lane1、Lane2、Lane3 は SerDes の各 Quad の 4 つのレーンです。

パラメータ名	範囲	デフォルト値	説明
			ンです。
Channel7 Selection	Q0 Lane0、Q0 Lane1、 Q0 Lane2、Q0 Lane3、 Q1 Lane0、Q1 Lane1、 Q1 Lane2、Q1 Lane3、	Q1 Lane3	8 番目の SerDes チャンネルに対応するレーンを選択します Q0/Q1 は SerDes の 2 つの Quad に対応します。Lane0、Lane1、Lane2、Lane3 は SerDes の各 Quad の 4 つのレーンです。
Loopback Mode	OFF、LB_NES、 LB_FES、LB_ENC	OFF	SerDes ループバックモードの選択： ● OFF(つまり Normal モード)：SerDes データの送受信が正常に行われることを示します。 ● LB_NES(SerDes セルフループバック)：SerDes の近端 PMA 送信側からデータを近端 PMA 受信側にループバックします。 ● LB_ENC(SerDes セルフループバック)：SerDes の近端 PCS 送信側からデータを近端 PCS 受信側にループバックします。 ● LB_FES(SerDes 外部ループバック)：SerDes の受信側からデータを送信側にループバックします。
Line Rate	0.85~10.3125Gbps (QPLL0/CPLL)、 0.95~10.3125G (QPLL1)	3.1250Gbps	希望する SerDes ラインレートを入力します。PLL として QPLL0 または CPLL を選択した場合、SerDes の理論上のラインレート範囲は 0.85G ~ 12.5G です。PLL として QPLL1 を選択した場合、SerDes の理論上のラインレート範囲は 0.95G ~ 12.5G です。ただし、実際に達成できるパフォーマンスはプロジェクトのタイミングによって異なります。たとえば、CRC 機能を選択した場合、またはチャンネル数が多い（データ幅が大きい）場合、タイミング違反により実行可能な最大レートが低下します。
Reference Clock Source	● GW5AST-138/GW5AT-138/GW5AT-75 の場合： Q0 REFCLK0、Q0 REFCLK1、Q1 REFCLK 0、Q1 REFCLK 1 ● GW5AT-60 の場合： Q0 REFCLK0、Q0 REFCLK1、Q0 REFCLK2、Q0	Q0 REFCLK0	● GW5AST-138/GW5AT-138/GW5AT-75 の場合： 高速トランシーバーのリファレンス・クロックの選択。Q0/Q1 は SerDes の 2 つの Quad に対応します。REFCLK0 および REFCLK1 は、SerDes の各 Quad の 2 つの入力リファレンス・クロックに対応します。ユーザーは、アプリケーションに応じて入力リファレンス・クロックを選択できます。 ● GW5AT-60 の場合： 高速トランシーバーのリファレンス・クロックの選択。Q0REFCLK0、Q0REFCLK1、

パラメータ名	範囲	デフォルト値	説明
	REFCLK3、 SERDES Q0CLKIN0、 SERDES Q0CLKIN1、 SERDES Q0CLKIN2、 SERDES Q0CLKIN3		Q0REFCLK2、および Q0REFCLK3 は、Quad0 の 4 つの入力リファレンス・クロックに対応します。SERDES Q0CLKIN0、SERDES Q0CLKIN1、SERDES Q0CLKIN2、および SERDES Q0CLKIN3 は、専用 GPIO ピン経由の入力リファレンス・クロックに対応します。選択可能な入力リファレンス・クロックはパッケージによって異なります。
Reference Clock Frequency	手入力	125M	高速トランシーバーのリファレンス・クロックの周波数。Gowin ソフトウェアは、入力したラインレートに基づいて、推奨リファレンス・クロック周波数を自動的に計算します。ユーザーは、この周波数をカスタマイズするか、Gowin ソフトウェアによって生成される周波数を選択することができます。「Calculate」ボタンをクリックして周波数が正しいかどうかを確認できます。
PLL Selection	QPLL0、QPLL1、CPLL	CPLL	PLL の選択
AFE			
Differential Swing	100mV~900mV	900mV	送信差動信号のスイング Vdiffpp を構成します。 $V_{diffpp}=2 \times V_{diff}$
FFE Mode	Auto、Manual	Auto	送信 FFE モードを構成します。 Auto：自動モード Manual：手動モード
Cm	0~19	0	送信 FFE pre-cursor
C0	21~40	40	送信 FFE main-cursor
C1	0~19	0	送信 FFE post-cursor
SD Threshold	25mV~200mV	100mV	受信差動信号 SD スレッシュホールド
Equalization Mode	Auto、Manual	Auto	Auto：自動モード Manual：手動モード
ATT	0~10	7	受信中間周波数の減衰を調整するために使用されます。値が小さいほど減衰が大きくなります。
BOOST	0~15	9	受信高周波数の増幅を調整するために使用されます。値が大きいほどゲインが大きくなります。
BIAS	0~15	7	SerDes 受信信号の増幅パラメータを構成するために使用されます。値が大きいほど、信号増幅効果が強くなります。

5 リファレンス・デザイン

詳細については、GOWIN のホームページにおける RoraLink 64B66B [リファレンス・デザイン](#)を参照してください。

5.1 アプリケーション

RoraLink 64B66B IP のデータ伝送は単一のレーンまたは複数のレーンで実装でき、各レーンは 1 つの SerDes チャンネルに対応します。データ伝送は全二重または単方向で行うことができます。単一レーンによる単方向データ伝送を図 5-1 に示しています。複数レーンによる単方向データ伝送を図 5-2 に示しています。単一レーンによる全二重データ伝送を図 5-3 に示しています。複数レーンによる全二重データ伝送を図 5-4 に示しています。

図 5-1 単一レーンによる単方向データ伝送

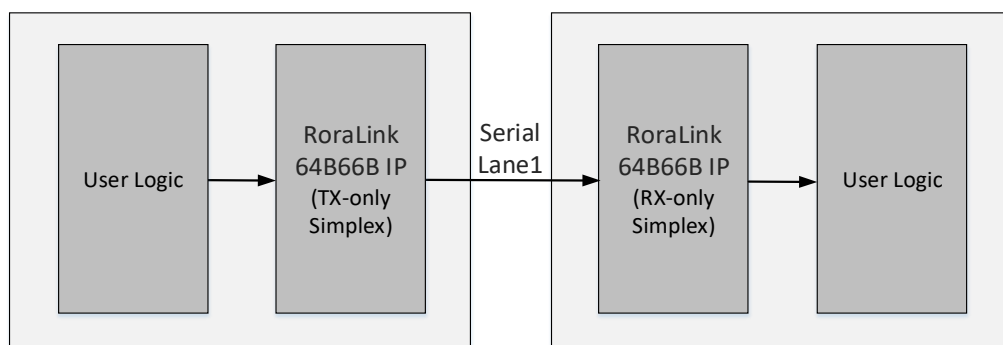


図 5-2 複数レーンによる単方向データ伝送

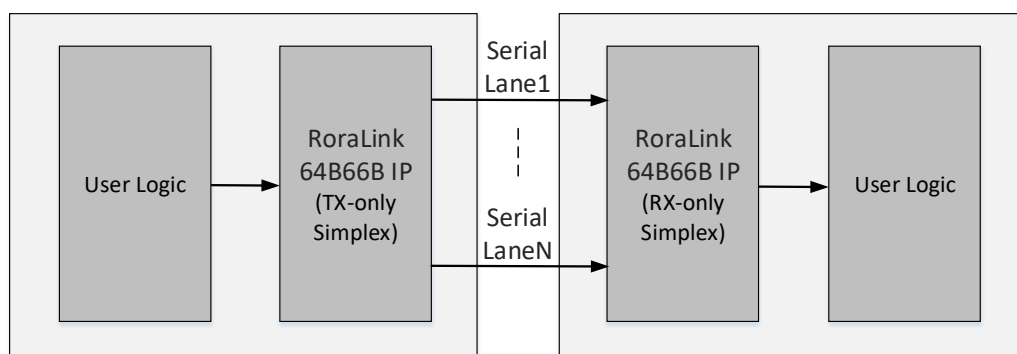


図 5-3 単一レーンによる全二重データ伝送

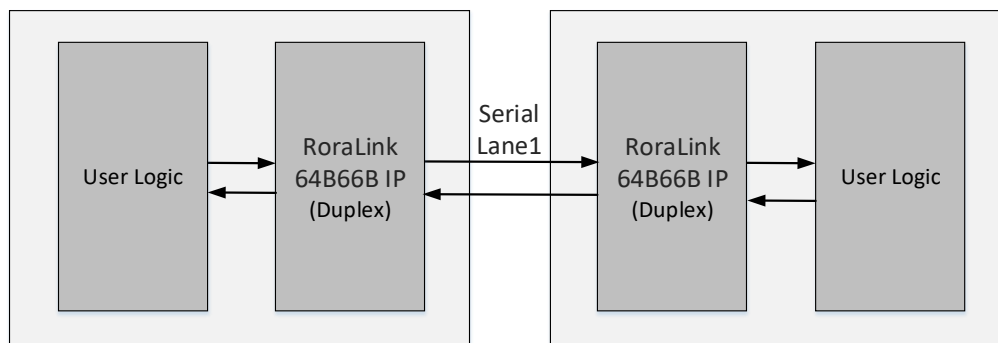
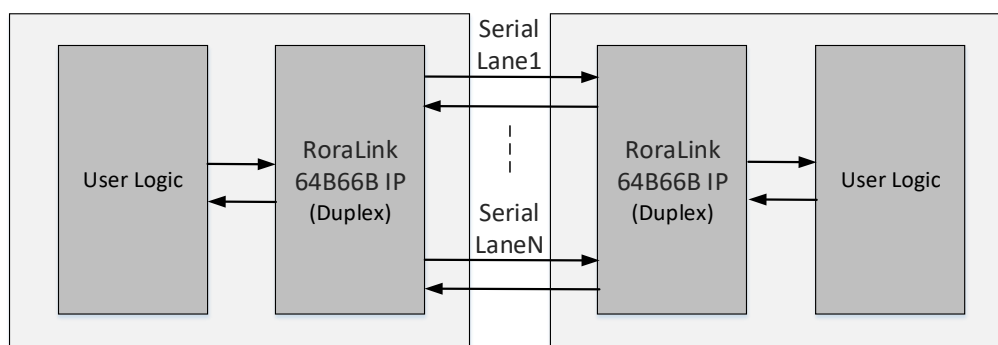


図 5-4 複数レーンによる全二重データ伝送



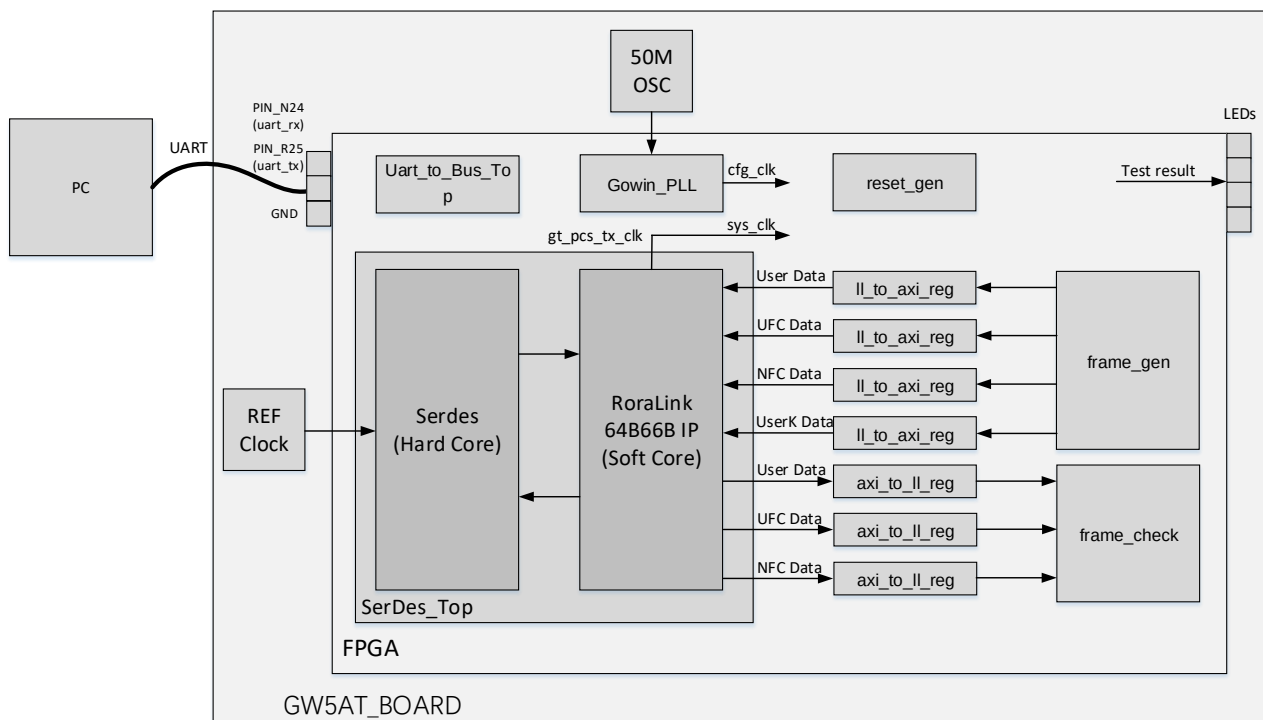
5.2 Gowin RoraLink 64B66B IP のサンプルプロジェクト

Gowin RoraLink 64B66B IP リファレンス・デザインには、SerDes IP モジュール（RoraLink 64B66B IP ソフトコアを含む）、クロックとリセット、インターフェース変換モジュール、フレーム生成モジュール、フレーム検出モジュール、デバッグモジュールが含まれています：

- **UART_to_Bus_Top** : UART シリアルポートを FPGA 内部構成バス・インターフェースに変換します。これにより、レジスタの読み出し/書き込みとボードレベルのテストが容易になります。
- **Gowin_PLL** : シングルボード内部 50MHz 水晶発振器に基づいて、構成モジュールの動作クロックを出力します。
- **reset_gen** : システム・リセット信号を生成します。
- **frame_gen** : フレーム生成モジュール。
- **frame_check** : フレーム検出モジュール。
- **ll_to_axi_reg** : AXI インターフェース変換モジュール。
- **axi_to_ll_reg** : AXI インターフェース変換モジュール。
- **SerDes_Top** : このモジュールには、SerDes ハードコアと RoraLink 64B66B IP ソフトコアが含まれています。Gowin EDA ツールは自動的に SerDes ハードコアと RoraLink 64B66B IP の接続を完了するため、ユーザーは SerDes_Top のインターフェースに着目するだけでいいで

す。

図 5-5 リファレンス・デザイン例の基本構造



5.3 リファレンス・デザイン・ボードテスト

現在提供しているリファレンス・デザインは、単一の RoraLink 64B66B IP の SerDes セルフループバック・テストであり、これにより、ユーザーはドーター・ボードに依存せずに Gowin RoraLink 64B66B IP のインターフェース、タイミング、および機能を素早く理解することができます。

リファレンス・デザイン・プロジェクト・ボードテストの手順は以下の通りです：

- ホームページからプロジェクトをダウンロードし、コンパイルして fs ファイルを生成します。
- 環境を構築します(図 5-3)。
- fs ファイルをボードにダウンロードします。
- テスト結果を確認するには 2 つの方法があります。

方法 1：LED を観察してテスト結果を確認します。

- LED0(PIN_P20)：常時点灯は、Gowin_PLL がロック状態にあることを示します。
- LED1(PIN_R20)：常時点灯は、SerDes 内部 PLL がロック状態にあることを示します。
- LED2(PIN_R20)：常時点灯は、IP Channel リンクが正常に立ち上げられていることを示します。

- LED3(PIN_N22) : 常時点灯は、IP が受信したデータがチェックをパスしたことを示します。

方法 2 : シリアル・ポート・ツールを介してレジスタを読み出し、リンクの状態とテスト結果を確認します。

PC はシリアル・ポート・ツールを介してリファレンス・デザインのレジスタにアクセスできます。環境が構築された後、シリアル・ポート・ツールに「R 0」と入力すると、レジスタの値が表示されます(図 5-6)。「W 0 value」と入力すると、value に対応する値がレジスタに書き込まれ、この時もう一度「R 0」と入力すると、レジスタに書き込まれた値が読み出されます。

表 5-1 リファレンス・デザインのレジスタ一覧

アドレス (Word)	タイプ	幅(ビット)	信号名	説明
0x0	RW	[31:0]	test_reg	テスト(用)レジスタ。書き込んでリードバックすることにより、レジスタの書き込みおよび読み出し機能を確認します。
0x1	RW	[31:4]	--	Reserved
	RW	[3]	reg_rst	IP システム・リセット、アクティブ High。
	RW	[2]	gt_pcs_rx_rst	SerDes 受信方向 PCS リセット、アクティブ High。
	RW	[1]	gt_pcs_tx_rst	SerDes 送信方向 PCS リセット、アクティブ High。
	RW	[0]	gt_pma_rstn	SerDes PMA リセット、アクティブ High。
0x2~0xf	RW	[31:0]	--	Reserved
0x10	RO	[31:5]	--	Reserved
	RO	[4]	lane_up	IP レーン・アップ状態。High レベルはレーン・アップが成功したことを示します。
	RO	[3]	hard_err	IP Hard error 状態。High レベルは、エラーがあることを示します。
	RO	[2]	channel_up	IP チャネル・アップ状態。High レベルはチャネル・アップが成功したことを示します。
	RO	[1]	soft_err	IP Soft error 状態。High レベルは、エラーがあることを示します。
	RO	[0]	gt_pll_ok	SerDes PLL ロック状態。
0x11	RO	[31:9]	--	Reserved
	RO	8	gt_rx_align_link	SerDes 受信アライメント状態。High レベルは正常であることを示します。
	RO	[7:1]	--	Reserved
	RO	[0]	gt_rx_pma_lock	SerDes 受信 PMA ロック状態。High レベルは正常であることを示します。
0x12	RO	[31:24]	user_k_err_count	受信 USER-K メッセージ・エラーの統計。

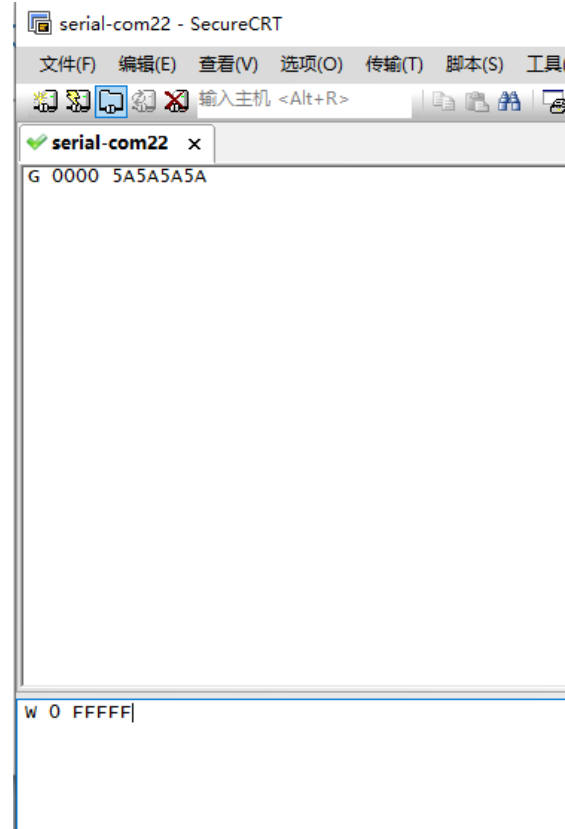
アドレス (Word)	タイプ	幅(ビット)	信号名	説明
	RO	[23:16]	ufc_err_count	受信 UFC メッセージ・エラーの統計。
	RO	[15:8]	crc_err_count	受信データ CRC チェック・エラーの統計。
	RO	[7:0]	data_err_count	受信データ・チェック・エラーの統計。
0x13	RO	[31:24]	soft_err_cnt	IP の Soft error の統計。
	RO	[23:16]	hard_err_cnt	IP の Hard error の統計。
	RO	[15:8]	channel_resync_cnt	IP 再チャンネル・アップの統計。
	RO	[7:0]	lane_resync_cnt	IP 再レーン・アップの統計。
0x15	RO	[31:17]	--	Reserved
	RO	[16]	gt_rx_block_sync	IP 受信ブロックの同期状態。
	RO	[15:8]	gt_block_resync_cnt	IP 受信ブロック再同期化の統計。
	RO	[7:0]	gt_err_cnt	SerDes エラーの統計。

注記：

レジスタの読み出しおよび書き込みの定義：

- RO は読み出し専用を意味します。
- RW は読み出し/書き込みを意味します。

図 5-6 シリアル・ポート・ツールの表示



6 提供されるファイル

提供されるファイルには主に、ドキュメント、デザインのソースコード、およびリファレンス・デザインが含まれています。

6.1 ドキュメント

フォルダには主にユーザーガイドの PDF ファイルが含まれています。

表 6-1 ファイル一覧

名称	説明
Gowin RoraLink 64B66B IP ユーザーガイド (IPUG1085)	即ち、本マニュアル

6.2 デザインのソースコード(暗号化)

暗号化コードのフォルダには、GUI で使用される、Gowin RoraLink 64B66B IP の RTL 暗号化コードが含まれています。

表 6-2 Gowin RoraLink 64B66B IP のソースコード一覧

名称	説明
roralink_64b66b.v	暗号化されている、IP コアのトップレベル・ファイル。ユーザーにインターフェース情報を提供します。

6.3 リファレンス・デザイン

フォルダには、主に Gowin RoraLink 64B66B IP のネットリスト・ファイル、リファレンス・デザイン、制約ファイル、トップレベル・ファイル、およびプロジェクト・フォルダなどが含まれています。

表 6-3 Gowin RoraLink 64B66B IP RefDesign フォルダのコンテンツ一覧

名称	説明
top.v	リファレンス・デザインのトップ・モジュール
top.cst	物理制約ファイル
top.sdc	タイミング制約ファイル
top.gsc	合成の制約ファイル
top.gao	プロジェクトのデバッグ・ファイル

名称	説明
reset_gen.v	リセット生成モジュール
local2reg.v	バス-レジスタ変換モジュール
apb2local.v	構成バス変換モジュール
ll_to_axi_reg.v	AXI バス変換モジュール
axi_to_ll_reg.v	AXI バス変換モジュール
axi_register_slice.v	AXI バス変換モジュール
frame_gen.v	データ生成モジュール
frame_check.v	データ検出モジュール
SerDes	EDA ツールで生成された SerDes 関連ファイルと roralink_64b66b フォルダを含む SerDes IP フォルダ。
uart_to_bus	uart to bus IP フォルダ。シリアル-内部構成バスの変換用。
gowin_pll	PLL IP フォルダ。外部入力 50MHz クロックをリファレンス・クロックとして使用して内部構成クロックを出力します。

