

Gowin EDP Encoder Decoder IP ユーザーガイド

IPUG1179-2.6J, 2026-06-26

著作権について(2026)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云、**GOWIN**、、**GOWINSEMI**、**GOWIN**、Gowin、**高云**、晨熙、小蜜蜂、LittleBee、**Aroa-V**、GowinPnR、及びGoBridgeは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、**GOWINSEMI Terms and Conditions of Sale**(**GOWINSEMI** 取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2023/12/13	1.0J	初版。
2024/02/23	1.1J	パラメータを更新。
2024/03/29	2.0J	● IP 名を EDP Encoder Decoder に更新。 ● EDP Encoder ポートのパラメータ計算の説明を更新。 ● 一部のスクリーンショットを更新。
2024/06/07	2.1J	● EDP Decoder のポートを更新。 ● サイドバンド制御の説明を追加。 ● タイミング図を更新。
2025/01/17	2.2J	● EDP Encoder と Decoder のポートを追加。 ● 一部のスクリーンショットを更新。
2025/07/18	2.3J	● IP の特徴を更新。 ● EDP Encoder と Decoder のポートを追加。 ● EDP Encoder ポートのパラメータ計算の説明を更新。 ● EDP Encoder と Decoder のパラメータの構成を更新。 ● 一部のスクリーンショットを更新。
2025/09/12	2.4J	EDP Decoder のポートを更新。
2026/01/30	2.5J	● EDP Decoder のポートの説明を更新。 ● RX HDCP Enable と RX Secondary Data Packet Enable パラメータの説明を追加。
2026/06/26	2.6J	● EDP Encoder と EDP Decoder のポートを追加。 ● EDP Encoder と EDP Decoder のパラメータの構成を更新。

目次

図一覧.....	iii
表一覧.....	iv
1 本マニュアルについて.....	1
1.1 マニュアルの内容.....	1
1.2 関連ドキュメント.....	1
1.3 用語、略語.....	1
1.4 テクニカル・サポートとフィードバック.....	2
2 概要.....	3
2.1 概要.....	3
2.2 主な特徴.....	5
2.3 リソース使用量.....	5
3 機能の説明.....	6
3.1 ブロック図.....	6
3.2 内部構造.....	6
3.3 動作原理.....	7
3.3.1 メインリンクデータのパッキングとアンパッキング.....	7
3.3.2 サイドバンド制御.....	14
3.4 ポート一覧.....	15
3.4.1 EDP Encoder IP のポート.....	15
3.4.2 EDP Decoder のポート.....	23
3.5 パラメータの構成.....	40
3.5.1 EDP Encoder IP のパラメータ.....	40
3.5.2 EDP Decoder IP のパラメータ.....	40
3.6 タイミングの説明.....	41
3.7 EDP Encoder ポートのパラメータの計算.....	44
4 GUI での構成.....	46
4.1 Gowin EDP Encoder IP の構成.....	46
4.2 Gowin EDP Decoder IP の構成.....	50
5 リファレンス・デザイン.....	54
6 提供されるファイル.....	56

6.1 ドキュメント.....	56
6.2 デザインのソースコード(暗号化).....	56
6.3 リファレンス・デザイン.....	57

図一覧

図 3-1 ブロック図.....	6
図 3-2 内部構造.....	6
図 3-3 DP データ転送チャンネル.....	7
図 3-4 ビデオストリームデータ・パッキングの形式.....	9
図 3-5 VB-ID などのパッキングの説明図.....	10
図 3-6 Transfer Unit の説明図.....	10
図 3-7 MSA 転送の説明図.....	12
図 3-8 レーン間のスキューの説明図.....	13
図 3-9 補助チャンネルの差動信号.....	14
図 3-10 eDP 補助チャンネルの差動信号.....	14
図 3-11 EDP Encoder ビデオインターフェースのタイミング図(2 lanes).....	41
図 3-12 EDP Encoder 出力インターフェースのタイミング図(2 lanes).....	42
図 3-13 EDP Decoder 入力インターフェースのタイミング図(2 lanes).....	43
図 3-14 EDP Decoder 出力インターフェースのタイミング図(2 lanes).....	44
図 4-1 IP Core Generator を開く.....	46
図 4-2 EDP Encoder IP コアを開く.....	47
図 4-3 EDP Encoder IP コアの構成画面.....	48
図 4-4 一般情報の構成画面.....	48
図 4-5 「Options」タブ.....	49
図 4-6 IP Core Generator を開く.....	50
図 4-7 EDP Decoder IP コアを開く.....	51
図 4-8 EDP Decoder IP の構成画面.....	52
図 4-9 一般情報の構成画面.....	52
図 4-10 「Options」タブ.....	53
図 5-1 リファレンス・デザイン例 1 の基本構造.....	54

表一覧

表 1-1 用語、略語.....	1
表 2-1 Gowin EDP Encoder Decoder IP.....	3
表 2-2 EDP Encoder のリソース使用量.....	5
表 2-3 EDP Decoder のリソース使用量.....	5
表 3-1 メインリンクのピクセル充填.....	7
表 3-2 K キャラクタと制御記号の対応関係.....	8
表 3-3 通常フレーミングモードと拡張フレーミングモードの制御記号の違い.....	9
表 3-4 Gowin EDP Encoder IP のポート一覧.....	15
表 3-5 Gowin EDP Decoder IP のポート一覧.....	23
表 3-6 EDP Encoder IP のパラメータ.....	40
表 3-7 EDP Decoder IP のパラメータ.....	40
表 6-1 ファイル一覧.....	56
表 6-2 Gowin EDP Encoder のソースコード一覧.....	56
表 6-3 Gowin EDP Decoder のソースコード一覧.....	56
表 6-4 Gowin EDP Encoder Decoder IP RefDesign フォルダのコンテンツ一覧.....	57

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、ユーザーが Gowin EDP Encoder Decoder IP を使いこなせるよう、その概要、機能、GUI での構成、およびリファレンス・デザインなどについて説明します。本マニュアルに記載のソフトウェア GUI のスクリーンショットは、Gowin ソフトウェア V1.9.12.03 (64-bit) の場合のものです。ソフトウェアのアップデートにより、一部の内容が変更される場合があります。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW5AT シリーズ FPGA 製品データシート([DS981](#))
- GW5A シリーズ FPGA 製品データシート([DS1103](#))
- GW5AST シリーズ FPGA 製品データシート([DS1239](#))
- GW5AS シリーズ FPGA 製品データシート([DS1105](#))
- GW5AR シリーズ FPGA 製品データシート([DS1108](#))
- GW5ART シリーズ FPGA 製品データシート([DS1118](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))

1.3 用語、略語

表 1-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
AUX CH	Auxiliary Channel	補助チャネル
DE	Data Enable	データ・イネーブル

用語、略語	正式名称	意味
DP	True Dual Port	デュアル・ポート
EDP	Embedded DisplayPort	嵌入式 示端口
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
HPD	Hot Plug Detect	热插拔检测
HS	Horizontal Sync	水平同期
IP	Intellectual Property	設計資産
RGB	R(Red) G(Green) B(Blue)	赤緑青色空間
SerDes	Serializer and Deserializer	シリアライザ/デシリアライザ
TU	Transfer Unit	传输 元
VESA	Video Electronics Standards Association	ビデオ・エレクトロニクス・スタンダーズ・アソシエーション
VS	Vertical Sync	垂直同期

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

2.1 概要

DisplayPort（通称：DP）は、業界団体の VESA（Video Electronics Standards Association）によって策定されたデジタル・ビデオ・インターフェース規格です。このインターフェースは認証やライセンス料不要であり、主にビデオソースをディスプレイ装置などに接続するために使用されます。

eDP（Embedded DisplayPort）は、組み込みデバイス向けの、DP 規格に基づいたディスプレイ・パネル・インターフェース規格で、DP プロトコルと完全な互換性があります。eDP は、主にタブレットやノートパソコンの液晶ディスプレイのインターフェースとして使用されます。

Gowin EDP Encoder IP は、パラレル・ビデオ信号を受信して eDP プロトコルに従ってエンコードし、シリアル化用に SerDes に出力するために使用されます。Gowin EDP Decoder IP は、SerDes によってデシリアル化されたデータを受信し、eDP プロトコルに従ってパラレル信号にデコードするために使用されます。

表 2-1 Gowin EDP Encoder Decoder IP

Gowin EDP Encoder Decoder IP	
ロジックリソース	表 2-2 と表 2-3 を参照。
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンス・デザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis
統合開発環境	Gowin ソフトウェア(V1.9.9(64-bit)以降)

注記：

デバイスのサポート情報は、Gowin セミコンダクターの [ホームページ](#)で確認できます。

2.2 主な特徴

- レーン数を 1、2、4 に構成可能
- 8B10B エンコード/デコードをサポート
- Word Alignment 機能をサポート
- 1.62/2.7/5.4/8.1Gbps/レーンの Link rate をサポート
- 16/32/64 ビットのユーザーデータ幅をサポート

2.3 リソース使用量

Gowin EDP Encoder Decoder IP は Verilog で実装されます。パフォーマンスとリソース使用量は、使用されているデバイスの密度、スピードグレードなどにより異なる場合があります。例えば、GW5AST シリーズ FPGA の場合、EDP Encoder と EDP Decoder のリソース使用量は表 2-2 と表 2-3 に示すようになります。

表 2-2 EDP Encoder のリソース使用量

シリーズ	スピードグレード	デバイス名	リソース使用量	備考
GW5AST-138	C1/I/O	LUT	2244	4 lanes, 5.4Gbps/ lane
		REG	3721	
		BSRAM	8	

表 2-3 EDP Decoder のリソース使用量

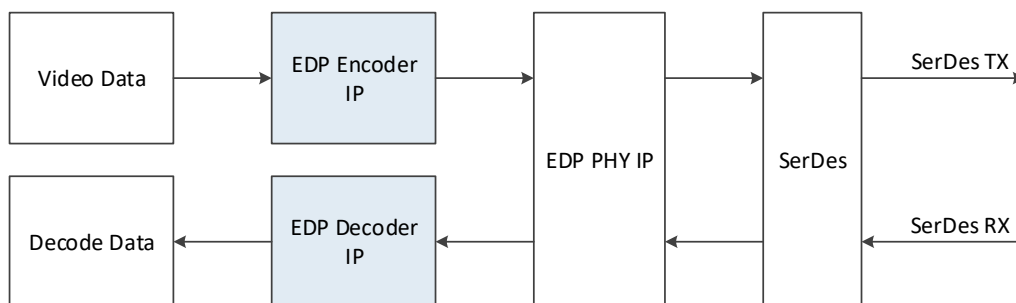
シリーズ	スピードグレード	デバイス名	リソース使用量	備考
GW5AST-138	C1/I/O	LUT	7008	4 lanes, 5.4Gbps/ lane
		REG	7631	
		BSRAM	0	

3 機能の説明

3.1 ブロック図

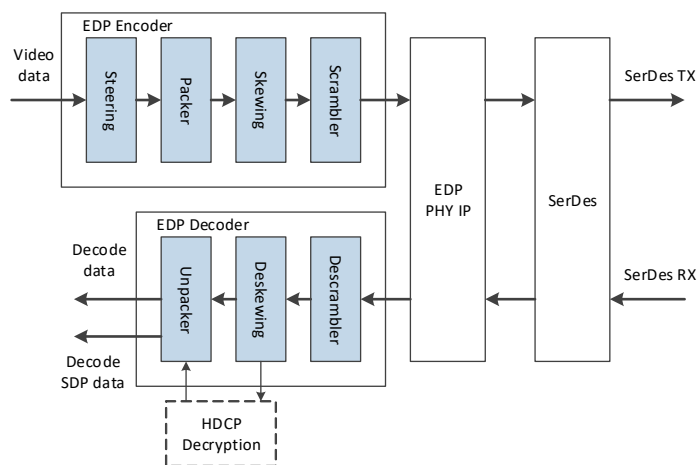
Gowin EDP Encoder Decoder IP(EDP Encoder IP および EDP Decoder IP)のブロック図を図 3-1 に示します。

図 3-1 ブロック図



3.2 内部構造

図 3-2 内部構造



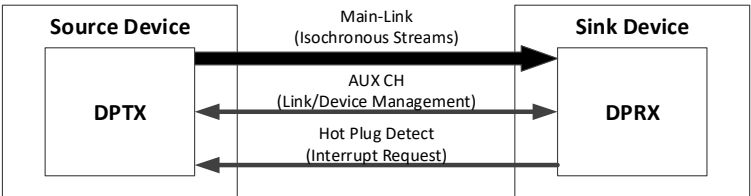
EDP Encoder IP には、主に Steering モジュール、Packer モジュール、Skewing モジュール、Scrambler モジュールが含まれます。EDP Decoder IP には、主に Descrambler モジュール、Deskewing モジュール、Unpacker モジュールが含まれます。

3.3 動作原理

Display Port Version1.4 プロトコルによれば、完全な DP 受送信コントローラは大きく 2 つの部分に分割されています(図 3-3)。

- 1. リンクデータのパッキングとアンパッキング、SerDes 物理層を含むメインリンク部分 (Main-Link)
- 2. リンク層管理、補助チャネル、ホットプラグ検出を含むサイドバンド制御部分(AUX CH+HPD)

図 3-3 DP データ転送チャネル



Gowin EDP Encoder Decoder IP には、メインリンク部分でのリンクデータのパッキングとアンパッキングのみが含まれます。

注記：

このマニュアルでは、DP プロトコルに関する用語と定義を簡単に紹介します。詳細については、DisplayPort Version1.4 仕様を参照してください。

3.3.1 メインリンクデータのパッキングとアンパッキング

Steering モジュール

DP プロトコルからわかるように、メインリンクは 1、2 または 4 レーンをサポートします。ビデオストリームの色空間と色深度（ビット深度）に関係なく、ピクセルデータは表 3-1 に従って充填されます。

表 3-1 メインリンクのピクセル充填

# of Lanes	Pixel Steering
One	All pixels to Lane 0
Two	Pixel 2N to Lane 0 Pixel 2N+1 to Lane 1
Four	Pixel 4N to Lane 0 Pixel 4N+1 to Lane 1 Pixel 4N+2 to Lane 2 Pixel 4N+3 to Lane 3

Gowin EDP Encoder IP は、メインリンクのレーン数に応じて入力ビデオデータの幅を決定します。メインリンクに 1 レーンがある場合、入力ビデオデータの幅は 24 ビットです。メインリンクに 2 レーンがある場合、入力ビデオデータの幅は 48 ビットです。メインリンクに 4 レーンがある場合、入力ビデオデータの幅は 96 ビットです。

注記：

- Bits Per Pixel Coefficient が 1 の場合、入力ビデオデータの幅は上記の幅です。
- Bits Per Pixel Coefficient が 2 の場合、入力ビデオデータの幅の上記の幅*2 です。
- Bits Per Pixel Coefficient が 4 の場合、入力ビデオデータの幅の上記の幅*4 です。

Packer モジュールと Unpacker モジュール

DP プロトコルからわかるように、フレーミングには次の制御記号が使用されます。

- BS: ブランキング開始(Blanking Start)
- BE: ブランキング終了(Blanking End)。各行の最初の有効なビデオの前に挿入されます。
- FS: 充填開始(Fill Start)
- FE: 充填終了(Fill End)
- SS: セカンダリーデータ充填開始(Secondary-data Start)
- SE: セカンダリーデータ充填終了(Secondary-data End)
- SR: SR(Scrambler Reset)記号は LFSR を初期値にリセットするために使用されます。
- BF: Blanking Fill。拡張フレーミングモードでの充填

ANSI 8B/10B 特殊キャラクタと制御記号の対応関係を表 3-2 に示します。

表 3-2 K キャラクタと制御記号の対応関係

Special Character	Control Symbol in Single Stream Enhanced Mode
K28.0	SR
K28.1	CP
K28.2	SS
K28.3	BF
K28.5	BS
K23.7	FE
K27.7	BE
K29.7	SE
K30.7	FS

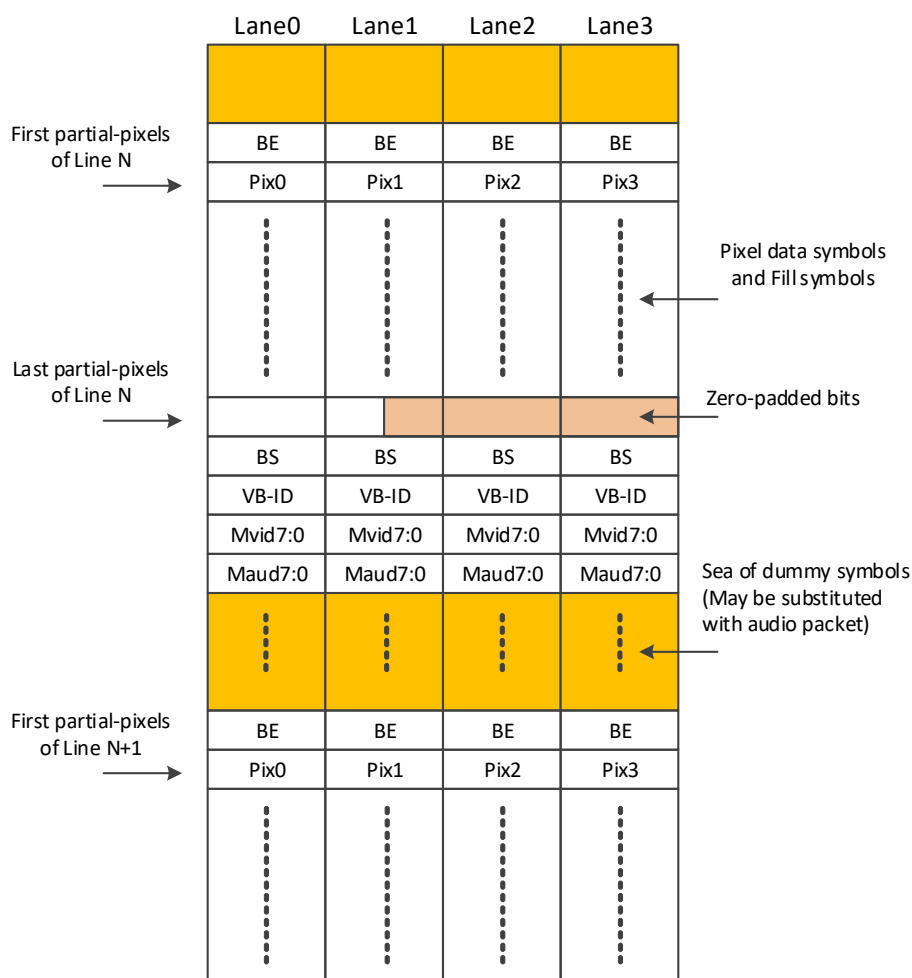
DP プロトコルからわかるように、通常フレーミングモードと拡張フレーミングモードの制御記号の違いは表 3-3 に示すとおりです。

表 3-3 通常フレーミングモードと拡張フレーミングモードの制御記号の違い

Default Framing Mode Symbols	Enhanced Framing Mode Symbols
BS	BS+BF+BF+BS
SR	SR+BF+BF+SR
CPBS(called CP symbol in Enhanced Framing Mode)	BS+CP+CP+BS
CPSR(called BF symbol in Enhanced Framing Mode)	SR+CP+CP+SR
BE	BE(no change)
FS	FS(no change)
FE	FE(no change)
SS	SS(no change)
SE	SE(no change)

ビデオストリームデータ・パッキングの形式を図 3-4 に示します。

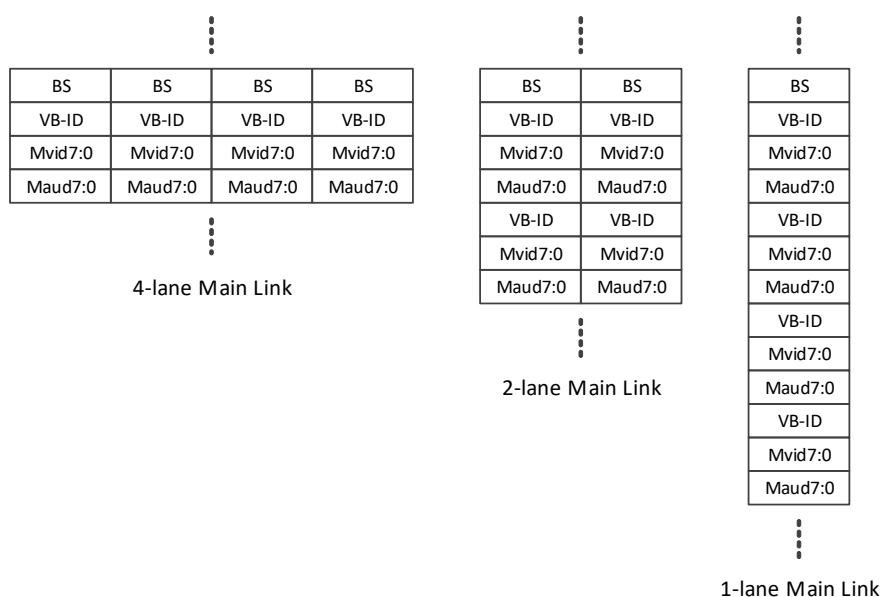
図 3-4 ビデオストリームデータ・パッキングの形式



各レーンの BS の後には、VB-ID、Mvid7:0、および Maud7:0 が続く必要があります。

レーン数に関係なく、VB-ID、Mvid7:0、および Maud7:0 は 4 回転送されなければなりません(図 3-5)。

図 3-5 VB-ID などのパッキングの説明図



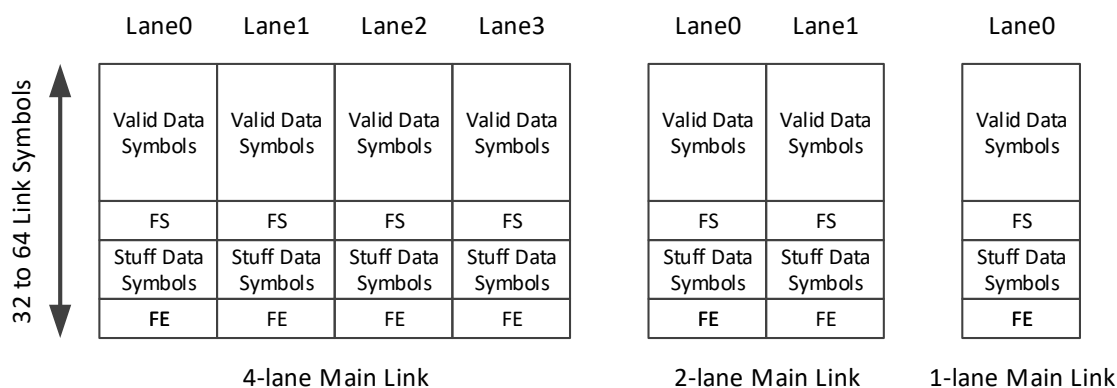
リンクの過負荷を回避するには、パック・データ・レート(**packed data rates**)をリンク記号レート(**link symbols rates**)以下にする必要があります。パック・データ・レートがリンク記号レートよりも低い場合、リンク層は記号充填(**Symbols stuffing**)を実行しなければなりません。

記号充填は、**stuffing frame symbols** と **dummy data symbols** で構成されます。**stuffing frame symbols** は FS と FE で構成され、各 TU(**Transfer Unit**)内に配置されます。**dummy data symbols** はスクランブリング前に 0x00 である必要があり、FS と FE の間に挿入されます(図 3-6)。

Transfer Unit のサイズは、レーンあたり 32 ～ 64 記号である必要があります。

ビデオ・データの各ラインの最後の TU には、FS と FE を充填してはなりません。

図 3-6 Transfer Unit の説明図

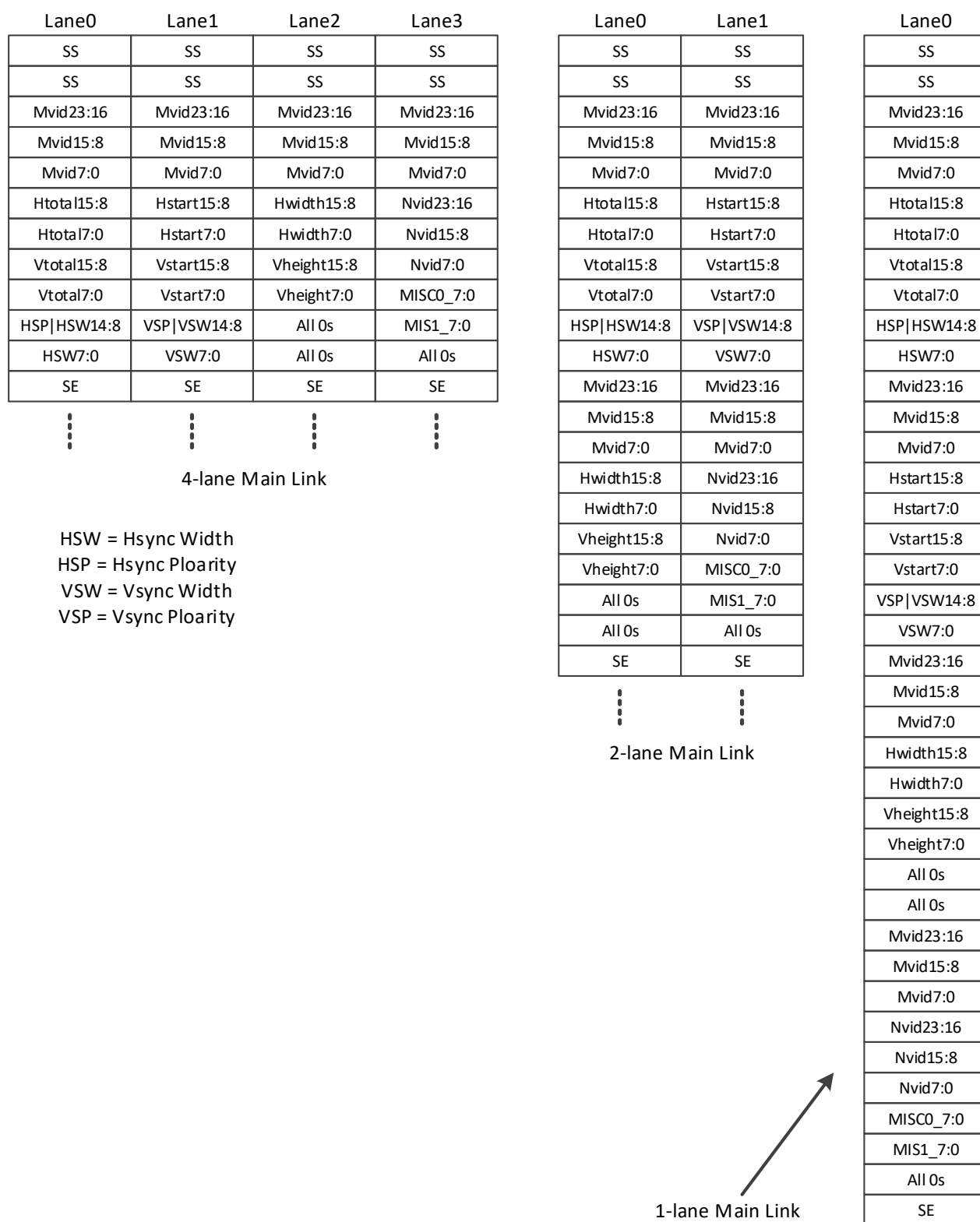


メイン・ビデオ・ストリーム属性データ(Main Stream Attribute、MSA)は、メイン・ビデオ・ストリームの垂直ブランキング期間中にフレームごとに1回送信されます。属性データには次のものが含まれます。

1. ビデオ・ストリーム・クロック・リカバリ用の M 値と N 値(それぞれ 24 ビット)
2. 水平方向における点(ピクセル)の総数と垂直方向における行の総数(それぞれ 16 ビット)
3. 水平方向における有効開始点数と垂直方向における有効開始行数(それぞれ 16 ビット)
4. 水平および垂直同期信号の極性と幅(極性は 1 ビット、幅は 15 ビット)
5. 水平方向における有効点数と垂直方向における有効行数(それぞれ 16 ビット)
6. その他 0(MISC0、8 ビット)
7. その他 1(MISC1、8 ビット)

メイン・ストリーム属性パケットとセカンダリデータパケットは、各レーンで2つの連続した「SS」を送信することにより区別されます(図 3-7)。

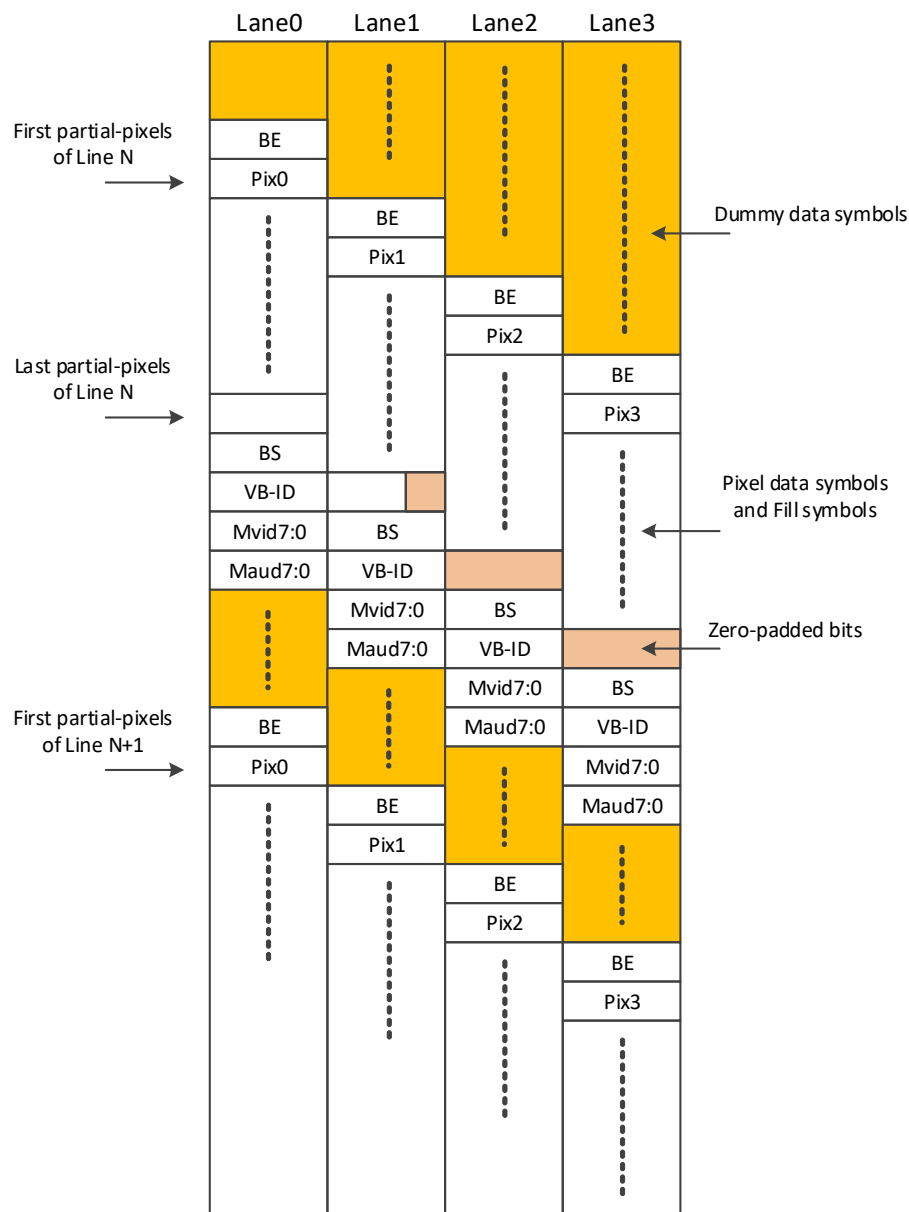
図 3-7 MSA 転送の説明図



Skewing モジュールと Deskewing モジュール

外部ノイズに対するリンクの耐干渉性を向上させるために、2つの **LS_Clk**(リンククロック) サクルのスキューを隣接するレーン間に挿入する必要があります(図 3-8)。

図 3-8 レーン間のスキューの説明図



Scrambler モジュールと Descrambler モジュール

EMI を低減するために、8B/10B エンコードの前にスクランブリングが必要です。16 ビット LFSR の多項式は、 $G(X) = X^{16} + X^5 + X^4 + X^3 + 1$ です。データの各バイトは、LFSR の最上位 8 ビット(逆のビット順序)でスクランブリング/デスクランブリングされます。

$\{D'[7], D'[6], D'[5], D'[4], D'[3], D'[2], D'[1], D'[0]\} = \{D[7], D[6], D[5], D[4], D[3], D[2], D[1], D[0]\} \wedge \{LFSR[8], LFSR[9], LFSR[10], LFSR[11], LFSR[12], LFSR[13], LFSR[14], LFSR[15]\}$

SR 記号、または SR BF BF SR 記号シーケンスは、LFSR を初期値 FFFFh(または eDP 規格に基づく初期値 FFFEh) にリセットするために使用されます。

3.3.2 サイドバンド制御

ホットプラグ検出

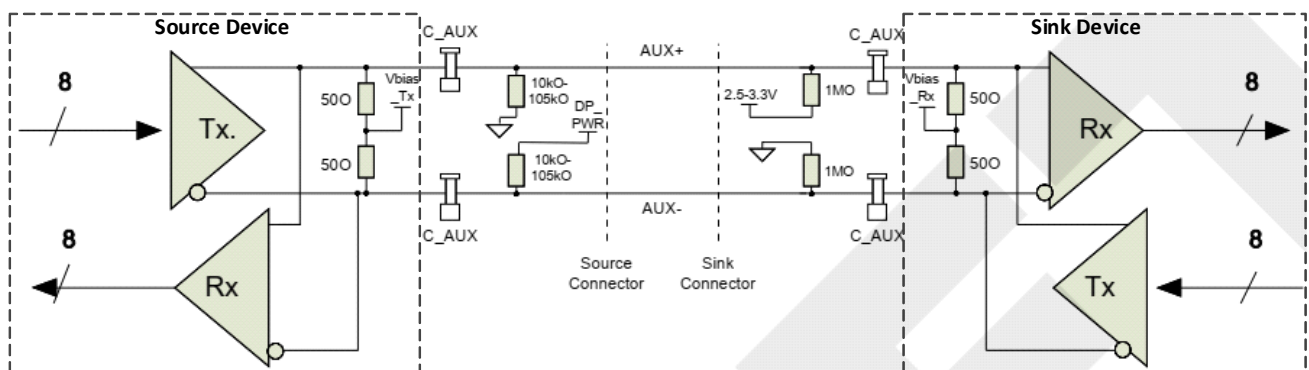
ホットプラグ検出(HPD)信号は、シンク機器(Sink Device)からソース機器(Source Device)に送信される、アクティブ High の割り込み要求信号です。ソース機器によって検出されたこの信号が High であることは、シンク機器が接続されていることを意味します。ホットプラグ検出信号の IO 規格は 3.3V です。

補助チャンネル

補助チャンネル(AUX CH)は、AC カップリング差動伝送方式を採用する、DP インターフェース内の独立した双方向半二重伝送補助チャンネルです。これは、マンチェスター II エンコードで 1Mbps のレートで制御コマンドを送信するために使用されるチャンネルです。補助チャンネルの IO 規格としては 1.8V が推奨されています。

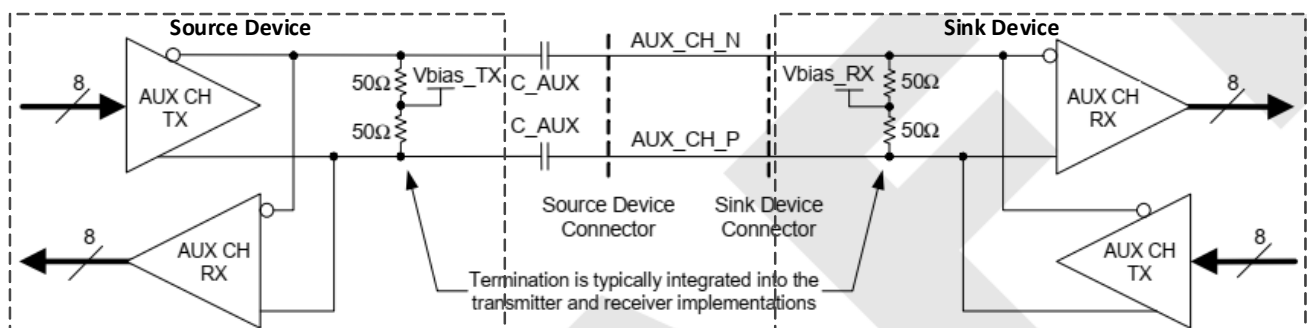
DP インターフェースとしてケーブルで接続する場合、その推奨外部回路は図 3-9 に示すとおりです。

図 3-9 補助チャンネルの差動信号



ボード内で eDP インターフェースとして接続する場合、その推奨外部回路は図 3-10 に示すとおりです。

図 3-10 eDP 補助チャンネルの差動信号



3.4 ポート一覧

3.4.1 EDP Encoder IP のポート

Gowin EDP Encoder IP の IO ポートの詳細を表 3-4 に示します。ポートは、パラメータの構成によってわずかに異なります。

表 3-4 Gowin EDP Encoder IP のポート一覧

信号名	方向	説明	備考
l_rst_n	I	リセット信号、アクティブ Low。	すべての信号の方向は、EDP Encoder IP を基準としています。
l_tx_tps1_en	I	TPS1 のイネーブル Training Pattern TPS1 Enable オプションがチェックされた場合に有効です	
l_tx_tps2_en	I	TPS2 のイネーブル Training Pattern TPS2 Enable オプションがチェックされた場合に有効です	
l_tx_tps3_en		TPS3 のイネーブル Training Pattern TPS3 Enable オプションがチェックされた場合に有効です	
l_tx_tps4_en		TPS4 のイネーブル Training Pattern TPS4 Enable オプションがチェックされた場合に有効です	
l_tx_video_data_en	I	送信ビデオ・データのイネーブル	
l_frame_type	I	フレームタイプの選択 0 : 通常のフレーム 1 : 拡張フレーム	
l_scrm_value	I	SR 初期値の選択 0 : SR 初期値は 0xFFFF 1 : SR 初期値は 0xFFFE	
l_vb_id	I	VB-ID パラメータ	
l_msa_mvid	I	MSA における Mvid パラメータ	
l_msa_nvid	I	MSA における Nvid パラメータ	

信号名	方向	説明	備考
l_tu_size	I	TU のサイズ。範囲は 32~64 ● User Clock Ratio が 1:20 の場合、2 の倍数である必要があります。 ● User Clock Ratio が 1:40 の場合、4 の倍数である必要があります。 ● User Clock Ratio が 1:80 の場合、8 の倍数である必要があります。	すべての信号の方向は、EDP Encoder IP を基準としています。
l_msa_htotal	I	水平方向における総点数	
l_msa_vtotal	I	垂直方向における総行数	
l_msa_hstart	I	水平方向における有効開始点数	
l_msa_vstart	I	垂直方向における有効開始行数	
l_msa_hwidth	I	水平方向における有効点数	
l_msa_vheight	I	垂直方向における有効行数	
l_msa_hsphsw	I	水平同期信号の極性と幅 [15] : 同期信号の極性。0 の場合は正極性パルス、1 の場合は負極性パルス [14:0] : 同期信号の幅	
l_msa_vspvsw	I	垂直同期信号の極性と幅 [15] : 同期信号の極性。0 の場合は正極性パルス、1 の場合は負極性パルス [14:0] : 同期信号の幅	
l_msa_misc0	I	MSA における MISC0 パラメータ [0] : 0 はリンク・クロックがビデオ・ストリーム・クロックと非同期であることを意味し、1 はリンク・クロックがビデオ・ストリーム・クロックと同期していることを意味します	
l_msa_misc1	I	MSA における MISC1 パラメータ	
l_strm_clk	I	入力ビデオ・ストリーム・クロック	

信号名	方向	説明	備考
l_pix_vs	I	入力ビデオ・ストリーム垂直同期信号	すべての信号の方向は、EDP Encoder IP を基準としています。
l_pix_de	I	入力ビデオ・ストリーム・データ有効信号	
l_ls_clk	I	入力リンク・クロック	
l_pix_data0	I	入力ビデオ・ストリーム・データ 0。Bits Per Pixel Coefficient の値が 1/2/4 の場合、対応するデータ形式は{B,G,R}/ {B ₁ ,G ₁ ,R ₁ ,B ₀ ,G ₀ ,R ₀ }/ { B ₃ ,G ₃ ,R ₃ ,B ₂ ,G ₂ ,R ₂ , B ₁ ,G ₁ ,R ₁ ,B ₀ ,G ₀ ,R ₀ }です。	
l_pix_data1	I	入力ビデオ・ストリーム・データ 1。リンクに 2/4 レーンがある場合にサポートされます。 Bits Per Pixel Coefficient の値が 1/2/4 の場合、対応するデータ形式は{B,G,R}/ {B ₁ ,G ₁ ,R ₁ ,B ₀ ,G ₀ ,R ₀ }/ { B ₃ ,G ₃ ,R ₃ ,B ₂ ,G ₂ ,R ₂ , B ₁ ,G ₁ ,R ₁ ,B ₀ ,G ₀ ,R ₀ }です。	
l_pix_data2	I	入力ビデオ・ストリーム・データ 2。リンクに 4 レーンがある場合にサポートされます。 Bits Per Pixel Coefficient の値が 1/2/4 の場合、対応するデータ形式は{B,G,R}/ {B ₁ ,G ₁ ,R ₁ ,B ₀ ,G ₀ ,R ₀ }/ { B ₃ ,G ₃ ,R ₃ ,B ₂ ,G ₂ ,R ₂ , B ₁ ,G ₁ ,R ₁ ,B ₀ ,G ₀ ,R ₀ }です。	
l_pix_data3	I	入力ビデオ・ストリーム・データ 3。リンクに 4 レーンがある場合にサポートされます。 Bits Per Pixel Coefficient の値が 1/2/4 の場合、対応するデータ形式は{B,G,R}/ {B ₁ ,G ₁ ,R ₁ ,B ₀ ,G ₀ ,R ₀ }/ { B ₃ ,G ₃ ,R ₃ ,B ₂ ,G ₂ ,R ₂ , B ₁ ,G ₁ ,R ₁ ,B ₀ ,G ₀ ,R ₀ }です。	

信号名	方向	説明	備考
O_tx_data_0	O	出力リンク・データ 0 User Clock Ratio が 1:20 の場合、幅は 16 ビットです。 User Clock Ratio が 1:40 の場合、幅は 32 ビットです。 User Clock Ratio が 1:80 の場合、幅は 64 ビットです。	すべての信号の方向は、EDP Encoder IP を基準としています。
O_tx_data_1	O	出力リンク・データ 1。リンクに 2/4 レーンがある場合にサポートされます。 • User Clock Ratio が 1:20 の場合、幅は 16 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 32 ビットです。 • User Clock Ratio が 1:80 の場合、幅は 64 ビットです。	
O_tx_data_2	O	出力リンク・データ 2。リンクに 4 レーンがある場合にサポートされます。 • User Clock Ratio が 1:20 の場合、幅は 16 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 32 ビットです。 • User Clock Ratio が 1:80 の場合、幅は 64 ビットです。	
O_tx_data_3	O	出力リンク・データ 3。リンクに 4 レーンがある場合にサポートされます。 • User Clock Ratio が 1:20 の場合、幅は 16 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 32 ビットです。 • User Clock Ratio が 1:80 の場合、幅は 64 ビットです。	

信号名	方向	説明	備考
O_k_code_0	O	出力リンク K キャラクタ 0 ● User Clock Ratio が 1:20 の場合、幅は 2 ビットです。 ● User Clock Ratio が 1:40 の場合、幅は 4 ビットです。 ● User Clock Ratio が 1:80 の場合、幅は 8 ビットです。	すべての信号の方向は、EDP Encoder IP を基準としています。
O_k_code_1	O	出力リンク K キャラクタ 1。リンクに 2/4 レーンがある場合にサポートされます。 ● User Clock Ratio が 1:20 の場合、幅は 2 ビットです。 ● User Clock Ratio が 1:40 の場合、幅は 4 ビットです。 ● User Clock Ratio が 1:80 の場合、幅は 8 ビットです。	
O_k_code_2	O	出力リンク K キャラクタ 2。リンクに 4 レーンがある場合にサポートされます。 ● User Clock Ratio が 1:20 の場合、幅は 2 ビットです。 ● User Clock Ratio が 1:40 の場合、幅は 4 ビットです。 ● User Clock Ratio が 1:80 の場合、幅は 8 ビットです。	
O_k_code_3	O	出力リンク K キャラクタ 3。リンクに 4 レーンがある場合にサポートされます。 ● User Clock Ratio が 1:20 の場合、幅は 2 ビットです。 ● User Clock Ratio が 1:40 の場合、幅は 4 ビットです。 ● User Clock Ratio が 1:80 の場合、幅は 8 ビットです。	

信号名	方向	説明	備考
O_data_bf_scram_0		スクロンブル前のリンク・データ 0。TX Debug Enable が Yes の場合にサポートされます。 • User Clock Ratio が 1:20 の場合、幅は 16 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 32 ビットです。 • User Clock Ratio が 1:80 の場合、幅は 64 ビットです。	すべての信号の方向は、EDP Encoder IP を基準としています。
O_data_bf_scram_1		スクロンブル前のリンク・データ 1。TX Debug Enable が Yes の場合にサポートされます。 • User Clock Ratio が 1:20 の場合、幅は 16 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 32 ビットです。 • User Clock Ratio が 1:80 の場合、幅は 64 ビットです。	
O_data_bf_scram_2		スクロンブル前のリンク・データ 2。TX Debug Enable が Yes の場合にサポートされます。 • User Clock Ratio が 1:20 の場合、幅は 16 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 32 ビットです。 • User Clock Ratio が 1:80 の場合、幅は 64 ビットです。	
O_data_bf_scram_3		スクロンブル前のリンク・データ 3。TX Debug Enable が Yes の場合にサポートされます。 • User Clock Ratio が 1:20 の場合、幅は 16 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 32 ビットです。 • User Clock Ratio が 1:80 の場合、幅は 64 ビットです。	

信号名	方向	説明	備考
O_kcode_bf_scram_0		スランブル前の K キャラクタ 0。TX Debug Enable が Yes の場合にサポートされます。 • User Clock Ratio が 1:20 の場合、幅は 2 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 4 ビットです。 • User Clock Ratio が 1:80 の場合、幅は 8 ビットです。	すべての信号の方向は、EDP Encoder IP を基準としています。
O_kcode_bf_scram_1		スランブル前の K キャラクタ 1。TX Debug Enable が Yes の場合にサポートされます。 • User Clock Ratio が 1:20 の場合、幅は 2 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 4 ビットです。 • User Clock Ratio が 1:80 の場合、幅は 8 ビットです。	
O_kcode_bf_scram_2		スランブル前の K キャラクタ 2。TX Debug Enable が Yes の場合にサポートされます。 • User Clock Ratio が 1:20 の場合、幅は 2 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 4 ビットです。 • User Clock Ratio が 1:80 の場合、幅は 8 ビットです。	
O_kcode_bf_scram_3		スランブル前の K キャラクタ 3。TX Debug Enable が Yes の場合にサポートされます。 • User Clock Ratio が 1:20 の場合、幅は 2 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 4 ビットです。 • User Clock Ratio が 1:80 の場合、幅は 8 ビットです。	

注記：

- Lanes Number パラメータが 1 lane、Bits Per Pixel Coefficient の値が $1/2/4$ の場合、 $1/2/4$ ピクセルが入力されます。
- Lanes Number パラメータが 2 lane、Bits Per Pixel Coefficient の値が $1/2/4$ の場合、 $2/4/8$ ピクセルが入力されます。
- Lanes Number パラメータが 4 lane、Bits Per Pixel Coefficient の値が $1/2/4$ の場合、 $4/8/16$ ピクセルが入力されます。

3.4.2 EDP Decoder のポート

Gowin EDP Decoder IP の IO ポートの詳細を表 3-5 に示します。

ポートは、パラメータの構成によってわずかに異なります。

表 3-5 Gowin EDP Decoder IP のポート一覧

信号名	方向	説明	備考
I_rst_n	I	リセット信号、アクティブ Low。	すべての信号の方向は、EDP Decoder IP を基準としています。
I_ls_clk	I	入力リンク・クロック	
I_tps1_en	I	TPS1 のイネーブル Training Pattern TPS1 Enable オプションがチェックされた場合に有効です	
I_tps2_en	I	TPS2 のイネーブル Training Pattern TPS2 Enable オプションがチェックされた場合に有効です	
I_tps3_en		TPS3 のイネーブル Training Pattern TPS3 Enable オプションがチェックされた場合に有効です	
I_frame_type	I	フレームタイプの選択 0 : 通常のフレーム 1 : 拡張フレーム	
I_scrm_value	I	SR 初期値の選択 0 : SR 初期値は 0xFFFF 1 : SR 初期値は 0xFFFE	
O_vb_id	O	VB-ID パラメータ	
O_mvid70	O	Mvid の下位 8 ビット	
O_maud70	O	Maud の下位 8 ビット	
O_mvid	O	MSA における Mvid パラメータ	
O_nvid	O	MSA における Nvid パラメータ	
O_htotal	O	水平方向における総点数	
O_vtotal	O	垂直方向における総行数	
O_hstart	O	水平方向における有効開始点数	
O_vstart	O	垂直方向における有効開始行数	
O_hwidth	O	水平方向における有効点数	
O_vheight	O	垂直方向における有効行数	

信号名	方向	説明	備考
O_hsw	O	水平同期信号の幅	すべての信号の方向は、EDP Decoder IP を基準としています。
O_vsw	O	垂直同期信号の幅	
O_hsp	O	水平同期信号の極性	
O_vsp	O	垂直同期信号の極性	
O_misc0	O	MSA における MISC0 パラメータ	
O_misc1	O	MSA における MISC1 パラメータ	
O_ls_vs	O	リンク・クロック・ドメインにおける垂直同期信号	
O_ls_hs	O	リンク・クロック・ドメインにおける水平同期信号	
I_kcode0	I	入力 lane0 リンク K キャラクタ 0 • User Clock Ratio が 1:20 の場合、幅は 2 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 4 ビットです。 • User Clock Ratio が 1:80 の場合、幅は 8 ビットです。	
I_data0	I	入力 lane0 リンク・データ 0 • User Clock Ratio が 1:20 の場合、幅は 16 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 32 ビットです。 • User Clock Ratio が 1:80 の場合、幅は 64 ビットです。	
I_kcode1	I	入力 lane1 リンク K キャラクタ 1。リンクに 2/4 レーンがある場合にサポートされます。 • User Clock Ratio が 1:20 の場合、幅は 2 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 4 ビットです。 • User Clock Ratio が 1:80 の場合、幅は 8 ビットです。	

信号名	方向	説明	備考
I_data1	I	入力 lane1 リンク・データ 1。リンクに 2/4 レーンがある場合にサポートされます。 ● User Clock Ratio が 1:20 の場合、幅は 16 ビットです。 ● User Clock Ratio が 1:40 の場合、幅は 32 ビットです。 ● User Clock Ratio が 1:80 の場合、幅は 64 ビットです。	すべての信号の方向は、EDP Decoder IP を基準としています。
I_kcode2	I	入力 lane2 リンク K キャラクタ 2。リンクに 4 レーンがある場合にサポートされます。 ● User Clock Ratio が 1:20 の場合、幅は 2 ビットです。 ● User Clock Ratio が 1:40 の場合、幅は 4 ビットです。 ● User Clock Ratio が 1:80 の場合、幅は 8 ビットです。	
I_data2	I	入力 lane2 リンク・データ 2。リンクに 4 レーンがある場合にサポートされます。 ● User Clock Ratio が 1:20 の場合、幅は 16 ビットです。 ● User Clock Ratio が 1:40 の場合、幅は 32 ビットです。 ● User Clock Ratio が 1:80 の場合、幅は 64 ビットです。	
I_kcode3	I	入力 lane3 リンク K キャラクタ 3。リンクに 4 レーンがある場合にサポートされます。 ● User Clock Ratio が 1:20 の場合、幅は 2 ビットです。 ● User Clock Ratio が 1:40 の場合、幅は 4 ビットです。 ● User Clock Ratio が 1:80 の場合、幅は 8 ビットです。	

信号名	方向	説明	備考
I_data3	I	入力 lane3 リンク・データ 3。リンクに 4 レーンがある場合にサポートされます。 • User Clock Ratio が 1:20 の場合、幅は 16 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 32 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 64 ビットです。	すべての信号の方向は、EDP Decoder IP を基準としています。
O_rx0_tps1_ok	O	Lane0 TPS1 トレーニング成功フラグ Training Pattern TPS1 Enable オプションがチェックされた場合に有効です	
O_rx0_tps2_done	O	Lane0 TPS2 トレーニング成功フラグ Training Pattern TPS2 Enable オプションがチェックされた場合に有効です	
O_rx0_tps3_ok	O	Lane0 TPS3 トレーニング成功フラグ Training Pattern TPS3 Enable オプションがチェックされた場合に有効です	
O_rx1_tps1_ok	O	Lane1 TPS1 トレーニング成功フラグ。リンクに 2/4 レーンがある場合にサポートされます。 Training Pattern TPS1 Enable オプションがチェックされた場合に有効です	
O_rx1_tps2_done	O	Lane1 TPS2 トレーニング成功フラグ。リンクに 2/4 レーンがある場合にサポートされます。 Training Pattern TPS2 Enable オプションがチェックされた場合に有効です	
O_rx1_tps3_ok	O	Lane1 TPS3 トレーニング成功フラグ。リンクに 2/4 レーンがある場合にサポートされます。 Training Pattern TPS3 Enable オプションがチェックされた場合に有効です	

信号名	方向	説明	備考
O_rx2_tps1_ok	O	Lane2 TPS1 トレーニング成功フラグ。リンクに 4 レーンがある場合にサポートされます。 Training Pattern TPS1 Enable オプションがチェックされた場合に有効です	すべての信号の方向は、EDP Decoder IP を基準としています。
O_rx2_tps2_done	O	Lane2 TPS2 トレーニング成功フラグ。リンクに 4 レーンがある場合にサポートされます。 Training Pattern TPS2 Enable オプションがチェックされた場合に有効です	
O_rx2_tps3_ok	O	Lane2 TPS3 トレーニング成功フラグ。リンクに 4 レーンがある場合にサポートされます。 Training Pattern TPS3 Enable オプションがチェックされた場合に有効です	
O_rx3_tps1_ok	O	Lane3 TPS1 トレーニング成功フラグ。リンクに 4 レーンがある場合にサポートされます。 Training Pattern TPS1 Enable オプションがチェックされた場合に有効です	
O_rx3_tps2_ok	O	Lane3 TPS2 トレーニング成功フラグ。リンクに 4 レーンがある場合にサポートされます。 Training Pattern TPS2 Enable オプションがチェックされた場合に有効です	
O_rx3_tps3_ok	O	Lane3 TPS3 トレーニング成功フラグ。リンクに 4 レーンがある場合にサポートされます。 Training Pattern TPS3 Enable オプションがチェックされた場合に有効です	

信号名	方向	説明	備考
O_unp0_data	O	出力 lane0 アンパックデータ ● User Clock Ratio が 1:20 の場合、形式は{B,G,R}です。 ● User Clock Ratio が 1:40 の場合、形式は{B₁,G₁,R₁,B₀,G₀,R₀}です。 ● User Clock Ratio が 1:80 の場合、形式は{B₃,G₃,R₃,B₂,G₂,R₂,B₁,G₁,R₁,B₀,G₀,R₀}です。	すべての信号の方向は、EDP Decoder IP を基準としています。
O_unp0_data_valid	O	出力 lane0 アンパックデータ有効信号	
O_unp1_data	O	出力 lane1 アンパックデータ。 リンクに 2/4 レーンがある場合にサポートされます。 ● User Clock Ratio が 1:20 の場合、形式は{B,G,R}です。 ● User Clock Ratio が 1:40 の場合、形式は{B₁,G₁,R₁,B₀,G₀,R₀}です。 ● User Clock Ratio が 1:80 の場合、形式は{B₃,G₃,R₃,B₂,G₂,R₂,B₁,G₁,R₁,B₀,G₀,R₀}です。	
O_unp1_data_valid	O	出力 lane1 アンパックデータ有効信号。リンクに 2/4 レーンがある場合にサポートされます。	
O_unp2_data	O	出力 lane2 アンパックデータ。 リンクに 4 レーンがある場合にサポートされます。 ● User Clock Ratio が 1:20 の場合、形式は{B,G,R}です。 ● User Clock Ratio が 1:40 の場合、形式は{B₁,G₁,R₁,B₀,G₀,R₀}です。 ● User Clock Ratio が 1:80 の場合、形式は{B₃,G₃,R₃,B₂,G₂,R₂,B₁,G₁,R₁,B₀,G₀,R₀}です。	
O_unp2_data_valid	O	出力 lane2 アンパックデータ有効信号。リンクに 4 レーンがある場合にサポートされます。	

信号名	方向	説明	備考
O_unp3_data	O	出力 lane3 アンパックデータ。リンクに 4 レーンがある場合にサポートされます。 • User Clock Ratio が 1:20 の場合、形式は{B,G,R}です。 • User Clock Ratio が 1:40 の場合、形式は{B₁,G₁,R₁,B₀,G₀,R₀}です。 • User Clock Ratio が 1:80 の場合、形式は{B₃,G₃,R₃,B₂,G₂,R₂,B₁,G₁,R₁,B₀,G₀,R₀}です。	すべての信号の方向は、EDP Decoder IP を基準としています。
O_unp3_data_valid	O	出力 lane3 アンパックデータ有効信号。リンクに 4 レーンがある場合にサポートされます。	
O_data0_af_descr	O	lane0 デスクランブル後のリンク・データ。RX Debug Enable が Yes の場合にサポートされます。 • User Clock Ratio が 1:20 の場合、幅は 16 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 32 ビットです。 • User Clock Ratio が 1:80 の場合、幅は 64 ビットです。	
O_data1_af_descr	O	lane1 デスクランブル後のリンク・データ。RX Debug Enable が Yes、リンクに 2/4 レーンがある場合にサポートされます。 • User Clock Ratio が 1:20 の場合、幅は 16 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 32 ビットです。 • User Clock Ratio が 1:80 の場合、幅は 64 ビットです。	

信号名	方向	説明	備考
O_data2_af_descr	O	lane2 デスクランブル後のリンク・データ。RX Debug Enable が Yes、リンクに 4 レーンがある場合にサポートされます。 • User Clock Ratio が 1:20 の場合、幅は 16 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 32 ビットです。 • User Clock Ratio が 1:80 の場合、幅は 64 ビットです。	すべての信号の方向は、EDP Decoder IP を基準としています。
O_data3_af_descr	O	lane3 デスクランブル後のリンク・データ。RX Debug Enable が Yes、リンクに 4 レーンがある場合にサポートされます。 • User Clock Ratio が 1:20 の場合、幅は 16 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 32 ビットです。 • User Clock Ratio が 1:80 の場合、幅は 64 ビットです。	
O_kcode0_af_descr	O	lane0 デスクランブル後の K キャラクタ。RX Debug Enable が Yes の場合にサポートされます。 • User Clock Ratio が 1:20 の場合、幅は 2 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 4 ビットです。 • User Clock Ratio が 1:80 の場合、幅は 8 ビットです。	
O_kcode 1_af_descr	O	lane1 デスクランブル後の K キャラクタ。RX Debug Enable が Yes、リンクに 2/4 レーンがある場合にサポートされます。 • User Clock Ratio が 1:20 の場合、幅は 2 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 4 ビットです。 • User Clock Ratio が 1:80 の場合、幅は 8 ビットです。	

信号名	方向	説明	備考
O_kcode 2_af_descr	O	lane2 デスクランブル後の K キャラクタ。RX Debug Enable が Yes、リンクに 4 レーンがある場合にサポートされます。 ● User Clock Ratio が 1:20 の場合、幅は 2 ビットです。 ● User Clock Ratio が 1:40 の場合、幅は 4 ビットです。 ● User Clock Ratio が 1:80 の場合、幅は 8 ビットです。	すべての信号の方向は、EDP Decoder IP を基準としています。
O_kcode 3_af_descr	O	lane3 デスクランブル後の K キャラクタ。RX Debug Enable が Yes、リンクに 4 レーンがある場合にサポートされます。 ● User Clock Ratio が 1:20 の場合、幅は 2 ビットです。 ● User Clock Ratio が 1:40 の場合、幅は 4 ビットです。 ● User Clock Ratio が 1:80 の場合、幅は 8 ビットです。	
O_sdp0_kcode	O	lane0 セカンダリ・データ・パケットの K キャラクタ。RX Secondary Data Packet Enable が Yes の場合にサポートされます。 ● User Clock Ratio が 1:20 の場合、幅は 2 ビットです。 ● User Clock Ratio が 1:40 の場合、幅は 4 ビットです。 ● User Clock Ratio が 1:80 の場合、幅は 8 ビットです。	
O_sdp0_data	O	lane0 セカンダリ・データ・パケットのリンク・データ。RX Secondary Data Packet Enable が Yes の場合にサポートされます。 ● User Clock Ratio が 1:20 の場合、幅は 16 ビットです。 ● User Clock Ratio が 1:40 の場合、幅は 32 ビットです。 ● User Clock Ratio が 1:80 の場合、幅は 64 ビットです。	

信号名	方向	説明	備考
O_sdp0_vaild	O	lane0 セカンダリ・データ・パケットのデータ有効フラグ。RX Secondary Data Packet Enable が Yes の場合にサポートされます。 ● User Clock Ratio が 1:20 の場合、幅は 2 ビットです。 ● User Clock Ratio が 1:40 の場合、幅は 4 ビットです。 ● User Clock Ratio が 1:80 の場合、幅は 8 ビットです。	すべての信号の方向は、EDP Decoder IP を基準としています。
O_sdp1_kcode	O	lane1 セカンダリ・データ・パケットの K キャラクタ。RX Secondary Data Packet Enable が Yes の場合にサポートされます。 ● User Clock Ratio が 1:20 の場合、幅は 2 ビットです。 ● User Clock Ratio が 1:40 の場合、幅は 4 ビットです。 ● User Clock Ratio が 1:80 の場合、幅は 8 ビットです。	
O_sdp1_data	O	lane1 セカンダリ・データ・パケットのリンク・データ。RX Secondary Data Packet Enable が Yes の場合にサポートされます。 ● User Clock Ratio が 1:20 の場合、幅は 16 ビットです。 ● User Clock Ratio が 1:40 の場合、幅は 32 ビットです。 ● User Clock Ratio が 1:80 の場合、幅は 64 ビットです。	

信号名	方向	説明	備考
O_sdp1_vaild	O	lane1 セカンダリ・データ・パケットのデータ有効フラグ。RX Secondary Data Packet Enable が Yes の場合にサポートされます。 ● User Clock Ratio が 1:20 の場合、幅は 2 ビットです。 ● User Clock Ratio が 1:40 の場合、幅は 4 ビットです。 ● User Clock Ratio が 1:80 の場合、幅は 8 ビットです。	すべての信号の方向は、EDP Decoder IP を基準としています。
O_sdp2_kcode	O	lane2 セカンダリ・データ・パケットの K キャラクタ。RX Secondary Data Packet Enable が Yes の場合にサポートされます。 ● User Clock Ratio が 1:20 の場合、幅は 2 ビットです。 ● User Clock Ratio が 1:40 の場合、幅は 4 ビットです。 ● User Clock Ratio が 1:80 の場合、幅は 8 ビットです。	
O_sdp2_data	O	lane2 セカンダリ・データ・パケットのリンク・データ。RX Secondary Data Packet Enable が Yes の場合にサポートされます。 ● User Clock Ratio が 1:20 の場合、幅は 16 ビットです。 ● User Clock Ratio が 1:40 の場合、幅は 32 ビットです。 ● User Clock Ratio が 1:80 の場合、幅は 64 ビットです。	

信号名	方向	説明	備考
O_sdp2_vaild	O	lane2 セカンダリ・データ・パケットのデータ有効フラグ。RX Secondary Data Packet Enable が Yes の場合にサポートされます。 ● User Clock Ratio が 1:20 の場合、幅は 2 ビットです。 ● User Clock Ratio が 1:40 の場合、幅は 4 ビットです。 ● User Clock Ratio が 1:80 の場合、幅は 8 ビットです。	すべての信号の方向は、EDP Decoder IP を基準としています。
O_sdp3_kcode	O	lane3 セカンダリ・データ・パケットの K キャラクタ。RX Secondary Data Packet Enable が Yes の場合にサポートされます。 ● User Clock Ratio が 1:20 の場合、幅は 2 ビットです。 ● User Clock Ratio が 1:40 の場合、幅は 4 ビットです。 ● User Clock Ratio が 1:80 の場合、幅は 8 ビットです。	
O_sdp3_data	O	lane3 セカンダリ・データ・パケットのリンク・データ。RX Secondary Data Packet Enable が Yes の場合にサポートされます。 ● User Clock Ratio が 1:20 の場合、幅は 16 ビットです。 ● User Clock Ratio が 1:40 の場合、幅は 32 ビットです。 ● User Clock Ratio が 1:80 の場合、幅は 64 ビットです。	

信号名	方向	説明	備考
O_sdp3_vaild	O	lane3 セカンダリ・データ・パケットのデータ有効フラグ。RX Secondary Data Packet Enable が Yes の場合にサポートされます。 ● User Clock Ratio が 1:20 の場合、幅は 2 ビットです。 ● User Clock Ratio が 1:40 の場合、幅は 4 ビットです。 ● User Clock Ratio が 1:80 の場合、幅は 8 ビットです。	すべての信号の方向は、EDP Decoder IP を基準としています。
O_hdcp_descr0_kcode	O	lane0 の HDCP データの K キャラクタ。RX HDCP Enable が Yes の場合にサポートされます。 ● User Clock Ratio が 1:20 の場合、幅は 2 ビットです。 ● User Clock Ratio が 1:40 の場合、幅は 4 ビットです。 ● User Clock Ratio が 1:80 の場合、幅は 8 ビットです。	
O_hdcp_descr0_data	O	lane0 の HDCP リンク・データ。RX HDCP Enable が Yes の場合にサポートされます。 ● User Clock Ratio が 1:20 の場合、幅は 16 ビットです。 ● User Clock Ratio が 1:40 の場合、幅は 32 ビットです。 ● User Clock Ratio が 1:80 の場合、幅は 64 ビットです。	
O_hdcp_descr1_kcode	O	lane1 の HDCP データの K キャラクタ。RX HDCP Enable が Yes の場合にサポートされます。 ● User Clock Ratio が 1:20 の場合、幅は 2 ビットです。 ● User Clock Ratio が 1:40 の場合、幅は 4 ビットです。 ● User Clock Ratio が 1:80 の場合、幅は 8 ビットです。	

信号名	方向	説明	備考
O_hdcp_descr1_data	O	lane1 の HDCP リンク・データ。RX HDCP Enable が Yes の場合にサポートされます。 • User Clock Ratio が 1:20 の場合、幅は 16 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 32 ビットです。 • User Clock Ratio が 1:80 の場合、幅は 64 ビットです。	すべての信号の方向は、EDP Decoder IP を基準としています。
O_hdcp_descr2_kcode	O	lane2 の HDCP データの K キャラクタ。RX HDCP Enable が Yes の場合にサポートされます。 • User Clock Ratio が 1:20 の場合、幅は 2 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 4 ビットです。 • User Clock Ratio が 1:80 の場合、幅は 8 ビットです。	
O_hdcp_descr2_data	O	lane2 の HDCP リンク・データ。RX HDCP Enable が Yes の場合にサポートされます。 • User Clock Ratio が 1:20 の場合、幅は 16 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 32 ビットです。 • User Clock Ratio が 1:80 の場合、幅は 64 ビットです。	
O_hdcp_descr3_kcode		lane3 の HDCP データの K キャラクタ。RX HDCP Enable が Yes の場合にサポートされます。 • User Clock Ratio が 1:20 の場合、幅は 2 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 4 ビットです。 • User Clock Ratio が 1:80 の場合、幅は 8 ビットです。	

信号名	方向	説明	備考
O_hdcp_descr3_data	O	lane3 の HDCP リンク・データ。 RX HDCP Enable が Yes の場合にサポートされます。 • User Clock Ratio が 1:20 の場合、幅は 16 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 32 ビットです。 • User Clock Ratio が 1:80 の場合、幅は 64 ビットです。	すべての信号の方向は、EDP Decoder IP を基準としています。
I_hdcp_descr0_kcode	I	lane0 の HDCP データの K キャラクタ。RX HDCP Enable が Yes の場合にサポートされます。 • User Clock Ratio が 1:20 の場合、幅は 2 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 4 ビットです。 • User Clock Ratio が 1:80 の場合、幅は 8 ビットです。	
I_hdcp_descr0_data	I	lane0 の HDCP リンク・データ。 RX HDCP Enable が Yes の場合にサポートされます。 • User Clock Ratio が 1:20 の場合、幅は 16 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 32 ビットです。 • User Clock Ratio が 1:80 の場合、幅は 64 ビットです。	
I_hdcp_descr1_kcode	I	lane1 の HDCP データの K キャラクタ。RX HDCP Enable が Yes の場合にサポートされます。 • User Clock Ratio が 1:20 の場合、幅は 2 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 4 ビットです。 • User Clock Ratio が 1:80 の場合、幅は 8 ビットです。	

信号名	方向	説明	備考
l_hdcp_descr1_data	I	lane1 の HDCP リンク・データ。RX HDCP Enable が Yes の場合にサポートされます。 • User Clock Ratio が 1:20 の場合、幅は 16 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 32 ビットです。 • User Clock Ratio が 1:80 の場合、幅は 64 ビットです。	すべての信号の方向は、EDP Decoder IP を基準としています。
l_hdcp_descr2_kcode	I	lane2 の HDCP データの K キャラクタ。RX HDCP Enable が Yes の場合にサポートされます。 • User Clock Ratio が 1:20 の場合、幅は 2 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 4 ビットです。 • User Clock Ratio が 1:80 の場合、幅は 8 ビットです。	
l_hdcp_descr2_data	I	lane2 の HDCP リンク・データ。RX HDCP Enable が Yes の場合にサポートされます。 • User Clock Ratio が 1:20 の場合、幅は 16 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 32 ビットです。 • User Clock Ratio が 1:80 の場合、幅は 64 ビットです。	
l_hdcp_descr3_kcode	I	lane3 の HDCP データの K キャラクタ。RX HDCP Enable が Yes の場合にサポートされます。 • User Clock Ratio が 1:20 の場合、幅は 2 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 4 ビットです。 • User Clock Ratio が 1:80 の場合、幅は 8 ビットです。	

信号名	方向	説明	備考
<code>l_hdcpr_descr3_data</code>	I	lane3 の HDCP リンク・データ。RX HDCP Enable が Yes の場合にサポートされます。 • User Clock Ratio が 1:20 の場合、幅は 16 ビットです。 • User Clock Ratio が 1:40 の場合、幅は 32 ビットです。 • User Clock Ratio が 1:80 の場合、幅は 64 ビットです。	すべての信号の方向は、EDP Decoder IP を基準としています。
<code>l_lan_num</code>	I	Decode モジュールに入力されるレーン数であり、つまり Decode モジュールによりデコードされる実際のレーン数です。異なるレーン数モード間の下位互換性をサポートします。この値は、AUX RX モジュールから Decode モジュールに渡されます。 • 4 lane の場合は 4、2、または 1 に設定できます。 • 2 lane の場合は 2 または 1 に設定できます。 • 1 lane の場合は 1 に設定できます。	

注記：

- User Clock Ratio が 1:20 の場合、各レーンはクロックサイクルごとに 1 ピクセルデータを出力し、User Clock Ratio が 1:40 の場合、各レーンはクロックサイクルごとに 2 ピクセルデータを出力し、User Clock Ratio が 1:80 の場合、各レーンはクロックサイクルごとに 4 ピクセルデータを出力します。
- 出力アンパックデータ有効信号 `unp_data_valid` は、DE 信号とは異なり、各行において不連続な信号です。

3.5 パラメータの構成

3.5.1 EDP Encoder IP のパラメータ

表 3-6 EDP Encoder IP のパラメータ

パラメータ名	範囲	デフォルト値	説明
User Clock Ratio	1:20/1:40/1:80	1:20	ユーザークロックとシリアル化クロックの比率
Lanes Number	1/2/4	1	メインリンクのレーン数
Bits Per Pixel	18/24/30	24	ピクセルあたりのビット数
Bits Per Pixel Coefficient	1/2/4	1	ピクセルあたりビット数係数
TX Line Buffer Depth	64/128/256	64	送信行バッファの深さ
Mvid Customer	チェックする/チェックしない	チェックする	ユーザー入力 l_msa_mvid のイネーブル
Training Pattern TPS1 Enable	チェックする/チェックしない	チェックする	トレーニングパターン TPS1 のイネーブル
Training Pattern TPS2 Enable	チェックする/チェックしない	チェックする	トレーニングパターン TPS2 のイネーブル
Training Pattern TPS3 Enable	チェックする/チェックしない	チェックしない	トレーニングパターン TPS3 のイネーブル
Training Pattern TPS4 Enable	チェックする/チェックしない	チェックしない	トレーニングパターン TPS4 のイネーブル
TX Debug Enable	チェックする/チェックしない	チェックしない	スクランブル前のリンク・データと K キャラクタのイネーブル

3.5.2 EDP Decoder IP のパラメータ

表 3-7 EDP Decoder IP のパラメータ

パラメータ名	範囲	デフォルト値	説明
User Clock Ratio	1:20/1:40/1:80	1:20	ユーザークロックとシリアル化クロックの比率
Lanes Number	1/2/4	1	メインリンクのレーン数
Bits Per Pixel	24	24	ピクセルあたりのビット数
RX Deskew Enable	チェックする/チェックしない	チェックする	受信デスキューのイネーブル。 EDP PHY で RX Channel Bonding 機能が有効にされている場合は、Deskewing モジュールを無効にしてもよいです。

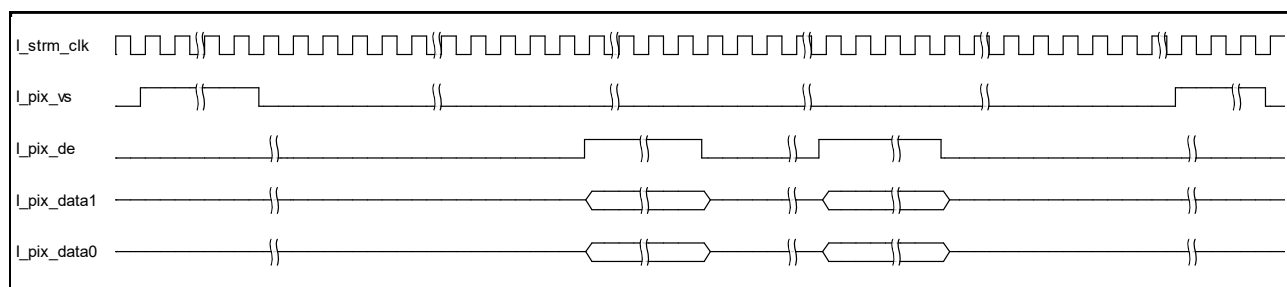
パラメータ名	範囲	デフォルト値	説明
RX Deskew Enable	チェックする/チェックしない	チェックする	チェックする : Yes。チェックしない : No。
Training Pattern TPS1 Enable	チェックする/チェックしない	チェックする	トレーニングパターン TPS1 のイネーブル チェックする : Yes。チェックしない : No。
Training Pattern TPS2 Enable	チェックする/チェックしない	チェックする	トレーニングパターン TPS2 のイネーブル チェックする : Yes。チェックしない : No。
Training Pattern TPS3 Enable	チェックする/チェックしない	チェックしない	トレーニングパターン TPS3 のイネーブル チェックする : Yes。チェックしない : No。
RX Debug Enable	チェックする/チェックしない	チェックしない	デスクランブル後のリンク・データと K キャラクタのイネーブル
RX HDCP Enable	チェックする/チェックしない	チェックしない	HDCP 解析のイネーブル
RX Secondary Data Packet Enable	チェックする/チェックしない	チェックしない	セカンダリ・データ・パケット出力のイネーブル

3.6 タイミングの説明

このセクションでは、Gowin EDP Encoder Decoder IP のタイミングについて説明します。

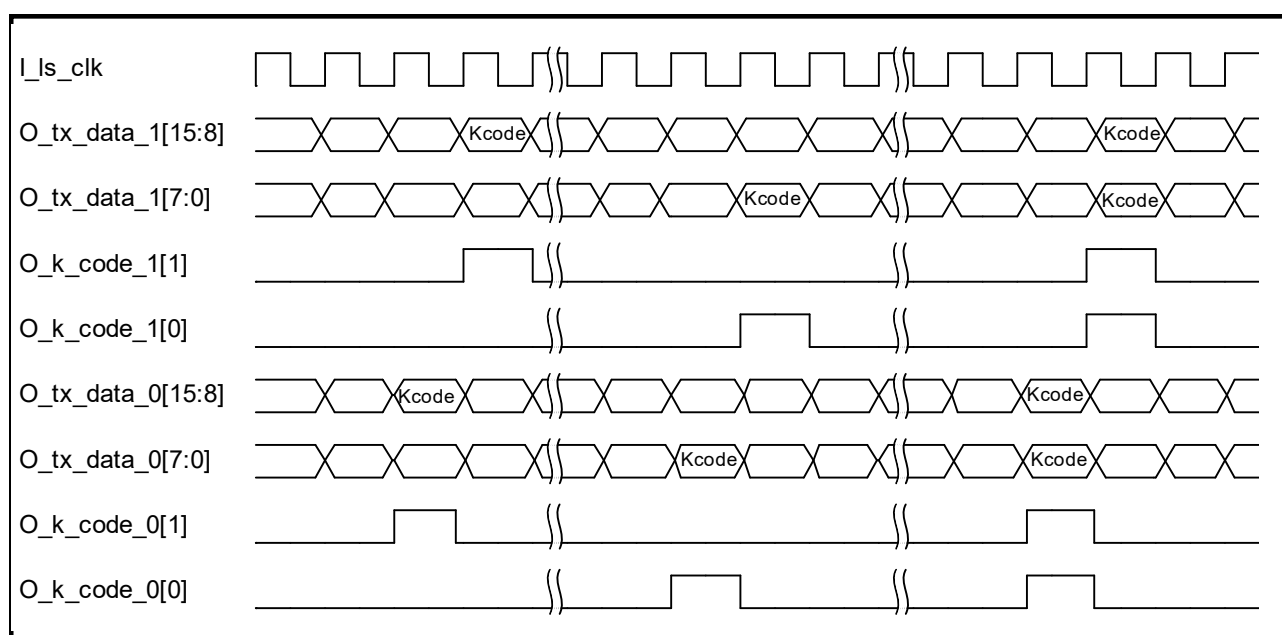
EDP Encoder ビデオインターフェース(2 lanes)のタイミングを図 3-11 に示します。

図 3-11 EDP Encoder ビデオインターフェースのタイミング図(2 lanes)



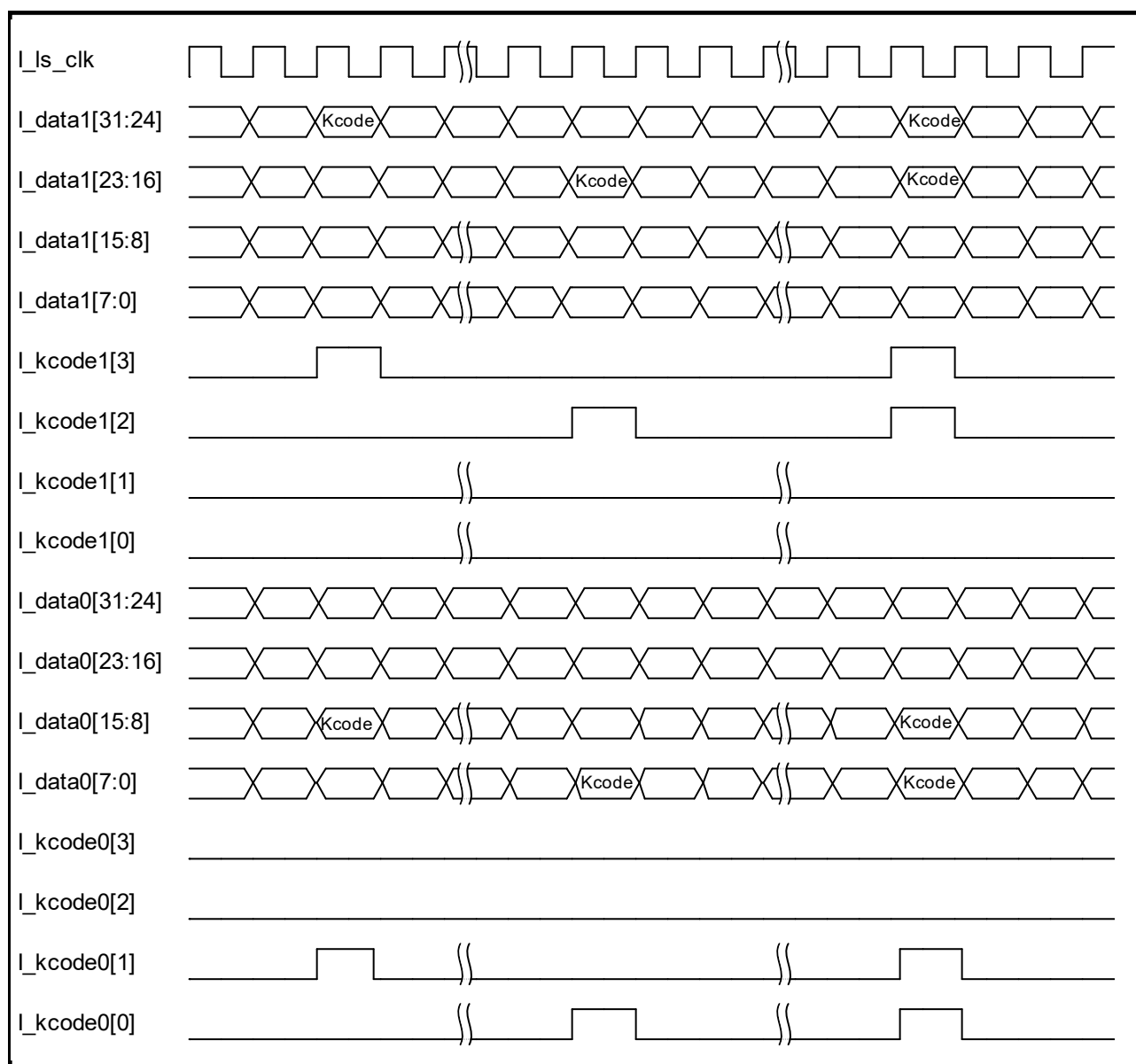
EDP Encoder 出力インターフェース(2 lanes、16 ビットのデータ幅)のタイミングを図 3-12 に示します。

図 3-12 EDP Encoder 出力インターフェースのタイミング図(2 lanes)



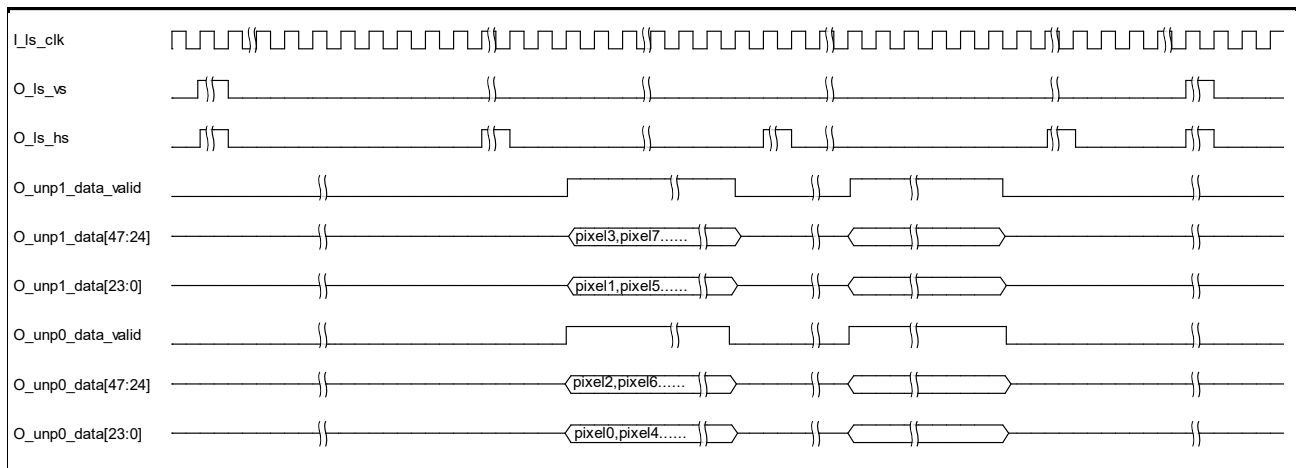
EDP Decoder 入力インターフェース(2 lanes、32 ビットのデータ幅)のタイミングを [図 3-13](#) に示します。

図 3-13 EDP Decoder 入力インターフェースのタイミング図(2 lanes)



EDP Decoder 出力インターフェース(2 lanes、48 ビットのピクセルデータ幅)のタイミングを図 3-14 に示します。

図 3-14 EDP Decoder 出力インターフェースのタイミング図(2 lanes)



注記：

User Clock Ratio が 1:40、Lanes Number が 2 または 4 の場合、各レーンでは 48 ビットのピクセルデータは、上図に示す順次で出力されます。

3.7 EDP Encoder ポートのパラメータの計算

このマニュアルでは、3 つの例を使用してポートのパラメータの計算方法を説明します。

- **f_Pixel_Clk** : ビデオ・ストリーム・クロックの周波数。パラメータを計算する際は、VESA シングルピクセルモードのクロック周波数を使用する必要があります。実際のビデオ・ストリーム・クロックの周波数は、クロックあたりのピクセル数で除算されます。
- **f_link_Clk** : リンク・クロックの周波数。パラメータを計算する際は、クロック比が 1:10 のリンク・クロック周波数を使用する必要があります。実際のリンク・クロックの周波数は、実際に設定されたクロック比に基づいて計算されます。

ビデオ・ストリームのタイミング・パラメータの説明は次のとおりです。

- **htotal** : 1 行の総ピクセル数
- **vtotal** : 1 フレームの総行数
- **hstart** : hsync 水平同期から DE 開始までの 1 行内のピクセル数。 $hstart = hsync + hbporch$
- **vstart** : vsync 垂直同期から 1 行目 DE 開始までの 1 フレーム内の行数。 $vstart = vsync + vbporch$
- **hwidth** : 1 行の有効ピクセル数
- **vheight** : 1 フレームの有効行数
- **hsw** : 水平同期の幅。単位はピクセル数
- **vsw** : 垂直同期の幅。単位は行数
- **hsp** : 水平同期の極性。0 : 正極性、1 : 負極性
- **vsp** : 垂直同期の極性。0 : 正極性、1 : 負極性

- misc0 : メイン・ビデオ・ストリーム属性のその他の 0 パラメータ。bit0 : 0 はリンク・クロックがビデオ・ストリーム・クロックと非同期であることを意味し、1 はリンク・クロックがビデオ・ストリーム・クロックと同期であることを意味します。
- misc2 : メイン・ビデオ・ストリーム属性のその他の 1 パラメータ

例 1

3840x2160@60Hz 解像度 eDP ディスプレイ、シリアルレート = 5.4Gbps、lanes=4、ビデオ・ストリーム・クロック周波数 $f_Strm_Clk = 533.280\text{MHz}$ 、リンク・クロック周波数 $f_LS_Clk = \text{シリアルレート } 5.4\text{G}/10 = 540\text{MHz}$ 、ビデオ・タイミング・パラメータ $htotal=4000$ 、 $vtotal=2222$ 、 $hstart=48$ 、 $vstart=6$ 、 $hwidth=3840$ 、 $vheight=2160$ 、 $hsw=8$ 、 $vsw=2$ 、 $hsp=0$ 、 $vsp=0$ 、 $misc0=0x20$ 、 $misc1=0x00$ 、BPP(Bits Per Pixel)=24、User Clock Ratio=1:40。
Nvid が 32768 の場合、 $Mvid = Nvid * (f_Strm_Clk / f_LS_Clk) = 32360$ です。

例 2

1280x800@60Hz 解像度 eDP ディスプレイ、シリアルレート = 2.7Gbps、lanes=2、ビデオ・ストリーム・クロック周波数 $f_Strm_Clk = 72.484\text{MHz}$ 、リンク・クロック周波数 $f_LS_Clk = \text{シリアルレート } 2.7\text{G}/10 = 270\text{MHz}$ 、ビデオ・タイミング・パラメータ $htotal=1452$ 、 $vtotal=832$ 、 $hstart=48$ 、 $vstart=6$ 、 $hwidth=1280$ 、 $vheight=800$ 、 $hsw=8$ 、 $vsw=2$ 、 $hsp=0$ 、 $vsp=0$ 、 $misc0=0x20$ 、 $misc1=0x00$ 。BPP(Bits Per Pixel)=24。User Clock Ratio=1:40。
Nvid が 32768 の場合、 $Mvid = Nvid * (f_Strm_Clk / f_LS_Clk) = 8797$ です。

例 3

1920x1080@59.954Hz 解像度 DP ディスプレイ、シリアルレート = 1.62Gbps、lanes=4、ビデオ・ストリーム・クロック周波数 $f_Strm_Clk = 148.386\text{MHz}$ 、リンク・クロック周波数 $f_LS_Clk = \text{シリアルレート } 1.62\text{G}/10 = 162\text{MHz}$ 、ビデオ・タイミング・パラメータ $htotal=2200$ 、 $vtotal=1125$ 、 $hstart=192$ 、 $vstart=41$ 、 $hwidth=1920$ 、 $vheight=1080$ 、 $hsw=44$ 、 $vsw=5$ 、 $hsp=0$ 、 $vsp=0$ 、 $misc0=0x20$ 、 $misc1=0x00$ 。BPP(Bits Per Pixel)=24。User Clock Ratio=1:40。
Nvid が 32768 の場合、 $Mvid = Nvid * (f_Strm_Clk / f_LS_Clk) = 30014$ です。

4 GUI での構成

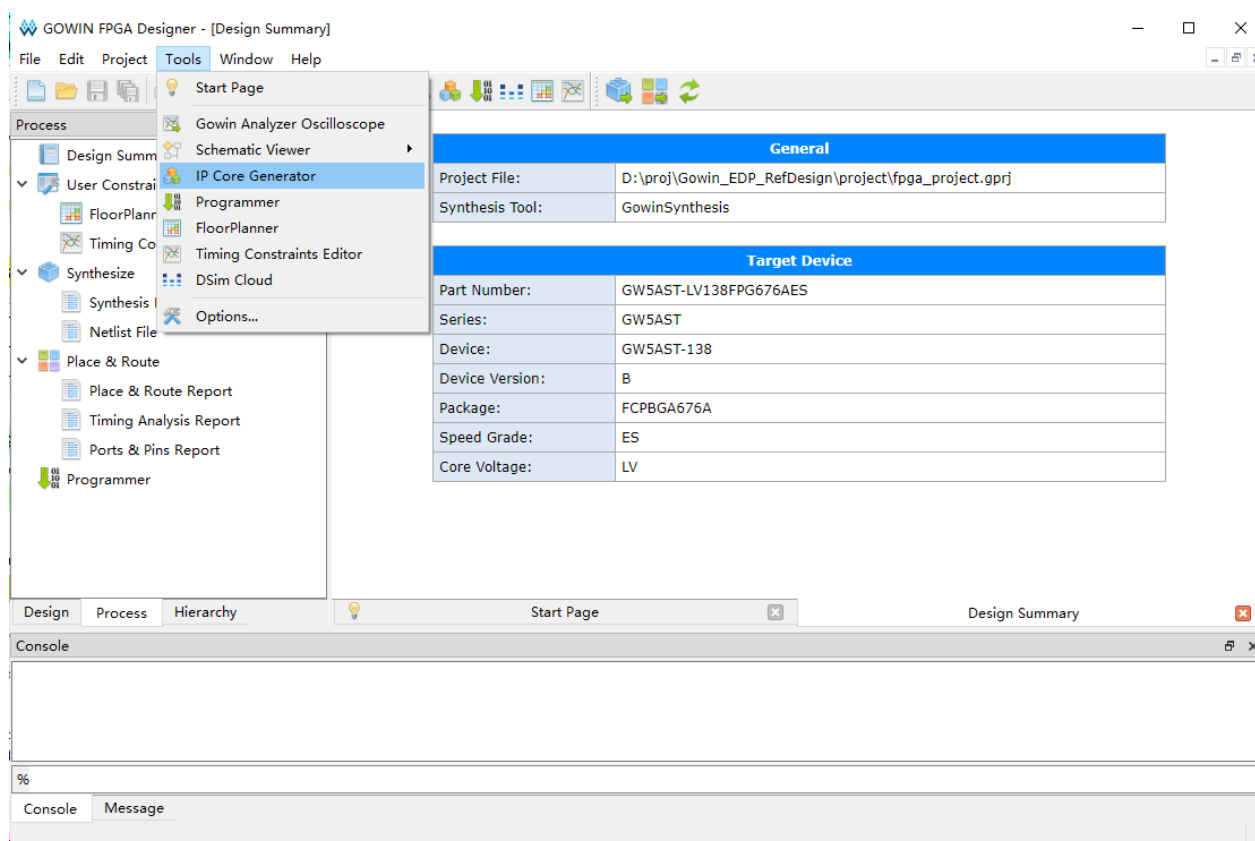
Gowin ソフトウェアの IP Core Generator を使用して、EDP Encoder IP と EDP Decoder IP を呼び出し・構成することができます。

4.1 Gowin EDP Encoder IP の構成

1. IP Core Generator を開く

プロジェクトが作成された後、「Tools > IP Core Generator」をクリックして、Gowin の IP コア生成ツールを開きます(図 4-1)。

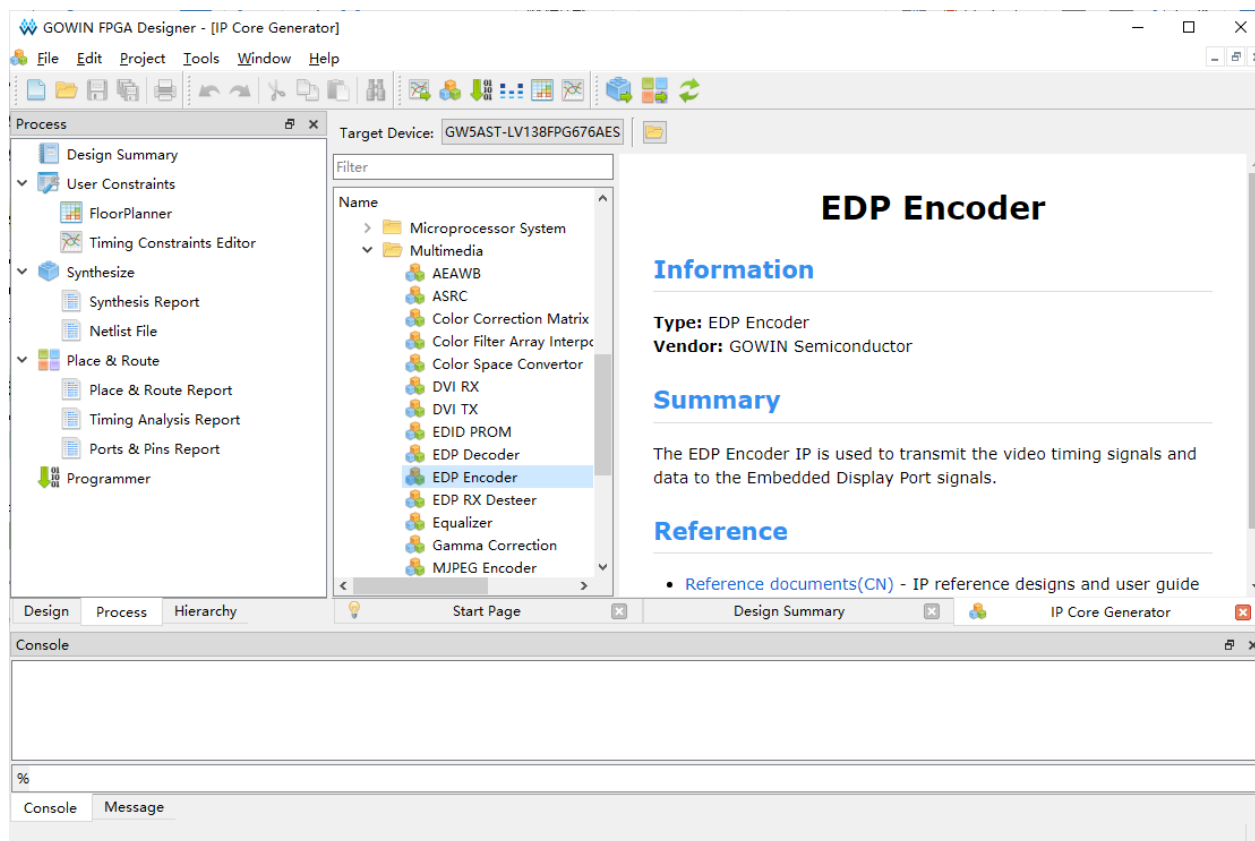
図 4-1 IP Core Generator を開く



2. EDP Encoder IP コアを開く

「Multimedia > EDP Encoder」をダブルクリックして EDP Encoder IP コアの構成画面を開きます(図 4-2)。

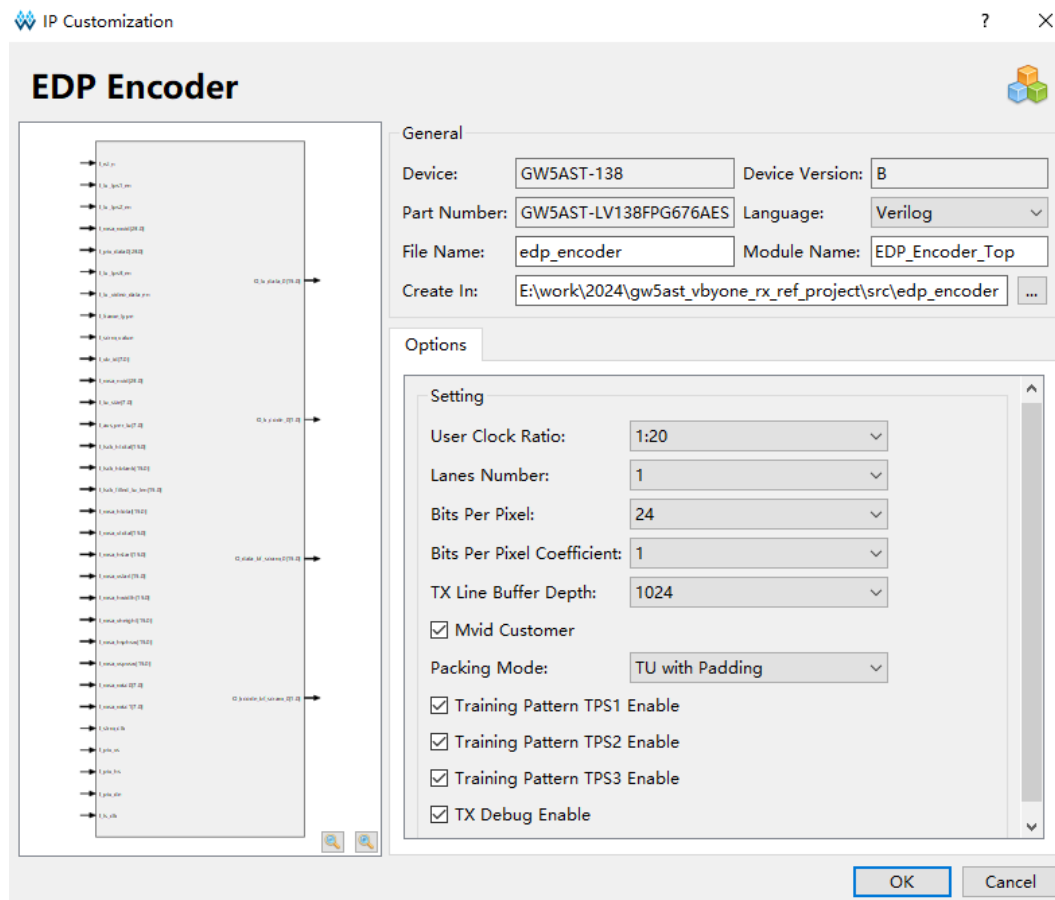
図 4-2 EDP Encoder IP コアを開く



3. EDP Encoder IP コアの構成画面

構成画面の左側は EDP Encoder IP コアのポート図です(図 4-3)。

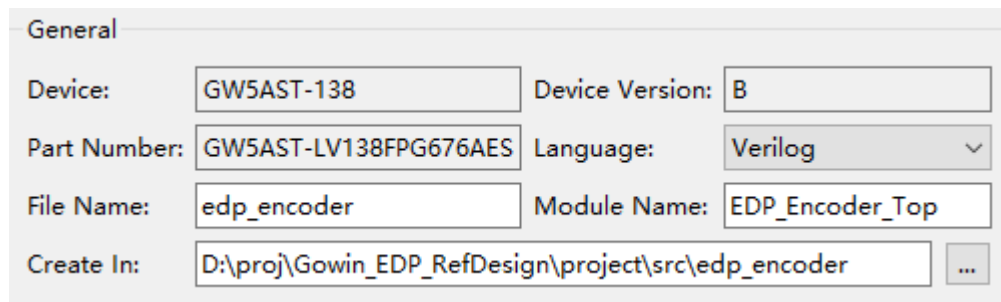
図 4-3 EDP Encoder IP コアの構成画面



4. 一般情報の構成

構成画面の上部は一般情報の構成エリアであり、本マニュアルでは、GW5AST-138 デバイス FPG676A パッケージを例に説明します。「Module Name」は、生成れる IP モジュールのモジュール名です。この名前は変更できます。「File Name」は、生成される IP コアファイルのファイル名です。この名前は変更できます。「Create In」は、IP コアのフォルダのパスです。このパスは変更できます。

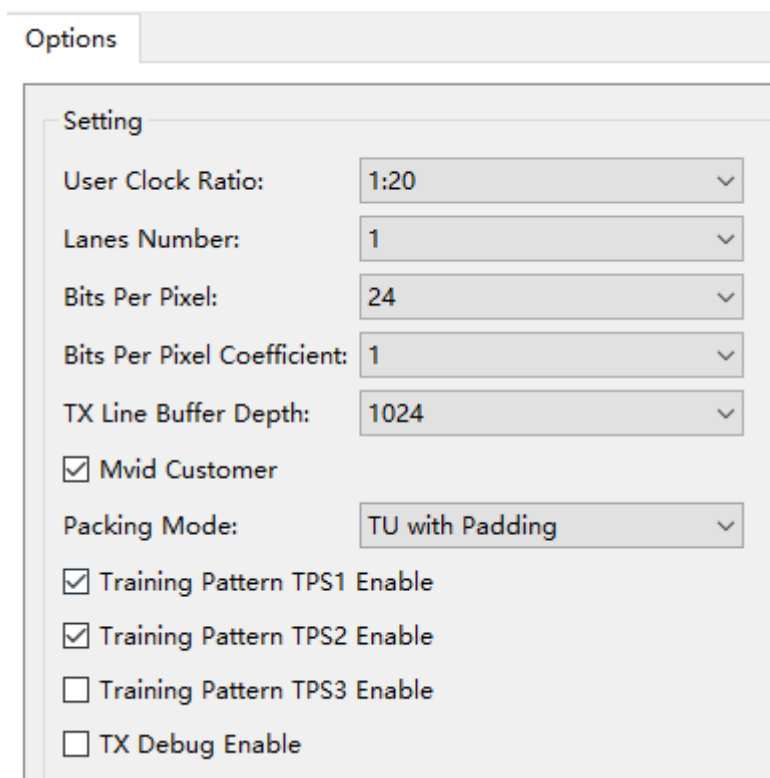
図 4-4 一般情報の構成画面



5. 「Options」 タブ

このタブで、次のパラメータを構成する必要があります。

図 4-5 「Options」タブ



The screenshot shows the 'Options' tab of the Gowin EDP Encoder IP configuration tool. The tab is titled 'Options' and contains a 'Setting' section with the following parameters:

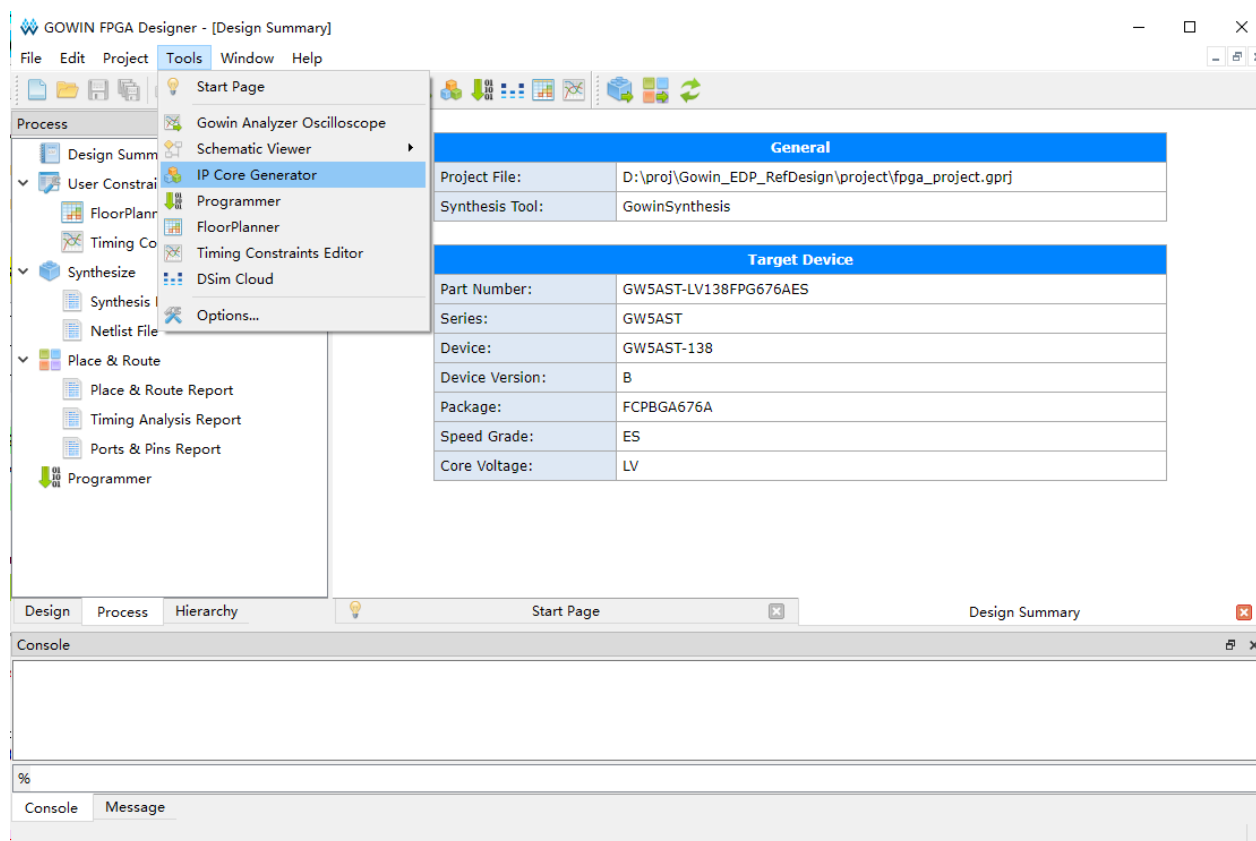
Setting	Value
User Clock Ratio:	1:20
Lanes Number:	1
Bits Per Pixel:	24
Bits Per Pixel Coefficient:	1
TX Line Buffer Depth:	1024
☒ Mvid Customer	
Packing Mode:	TU with Padding
☒ Training Pattern TPS1 Enable	
☒ Training Pattern TPS2 Enable	
☐ Training Pattern TPS3 Enable	
☐ TX Debug Enable	

4.2 Gowin EDP Decoder IP の構成

1. IP Core Generator を開く

プロジェクトが作成された後、「Tools > IP Core Generator」をクリックして、Gowin の IP コア生成ツールを開きます(図 4-6)。

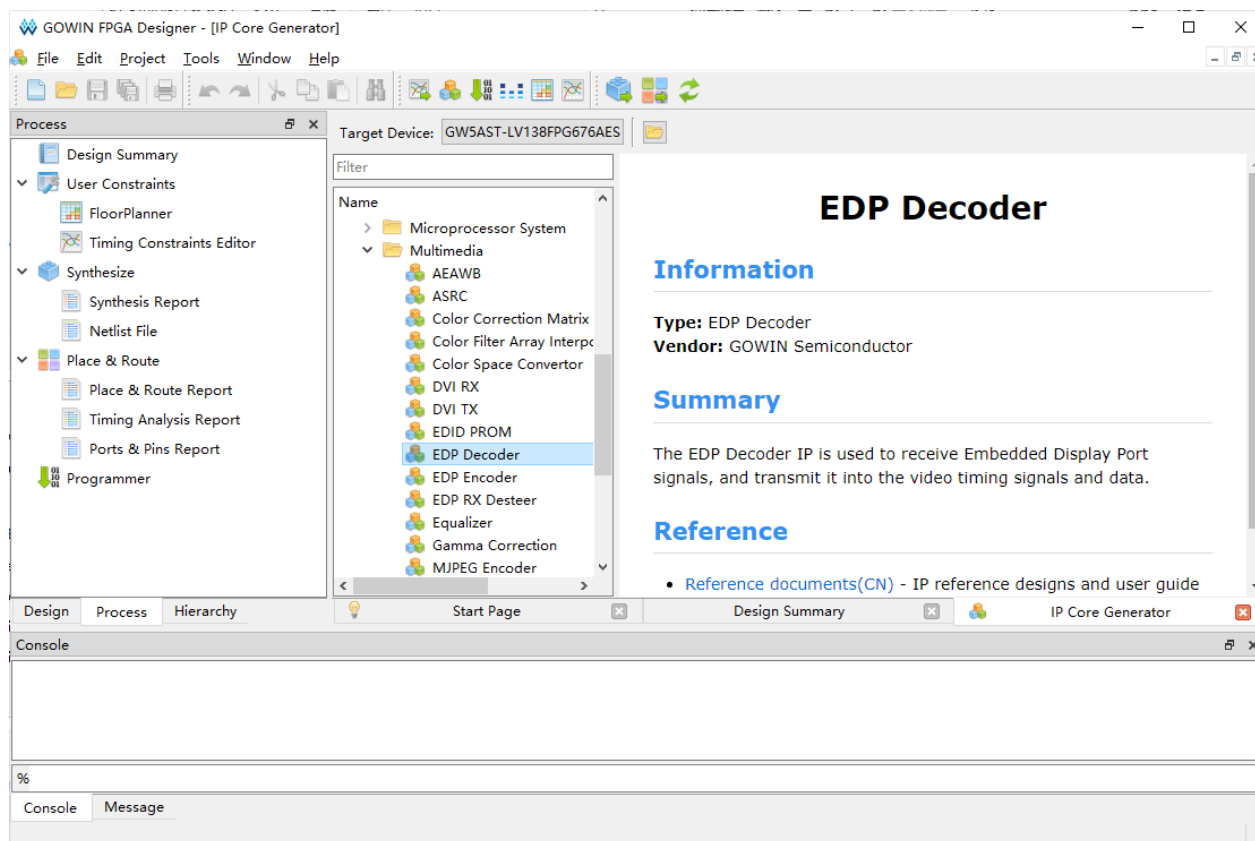
図 4-6 IP Core Generator を開く



2. EDP Decoder IP コアを開く

「Multimedia > EDP Decoder」をダブルクリックして EDP Decoder IP コアの構成画面を開きます(図 4-7)。

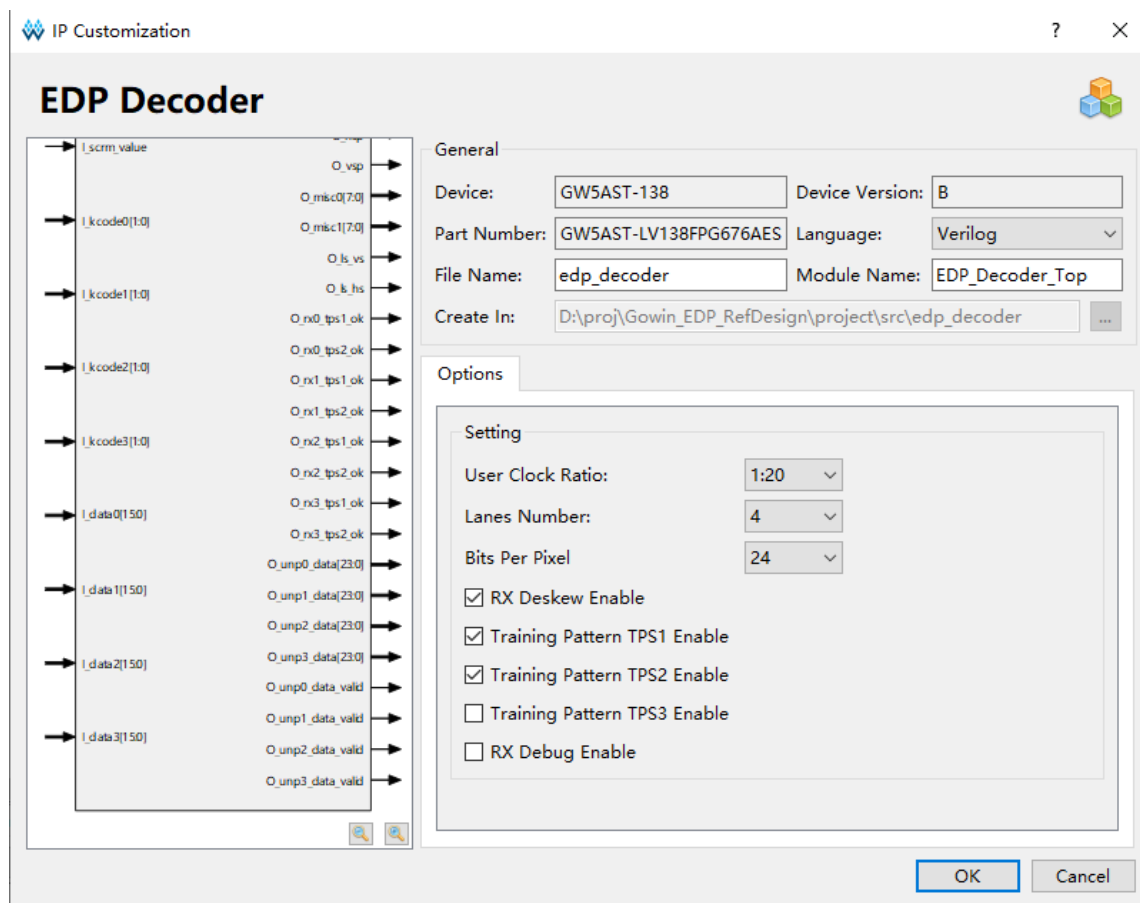
図 4-7 EDP Decoder IP コアを開く



3. EDP Decoder IP コアの構成画面

構成画面の左側は EDP Decoder IP コアのポート図です(図 4-8)。

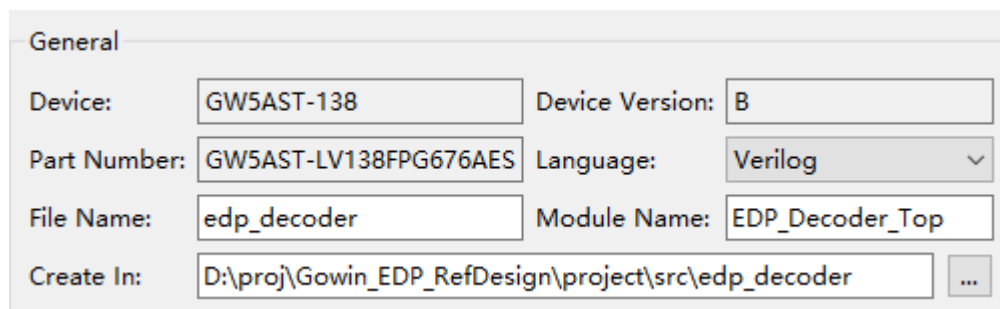
図 4-8 EDP Decoder IP の構成画面



4. 一般情報の構成

構成画面の上部は一般情報の構成エリアであり、本マニュアルでは、GW5AST-138 デバイス FPG676A パッケージを例に説明します。「Module Name」は、生成れる IP モジュールのモジュール名です。この名前は変更できます。「File Name」は、生成される IP コアファイルのファイル名です。この名前は変更できます。「Create In」は、IP コアのフォルダのパスです。このパスは変更できます。

図 4-9 一般情報の構成画面



5. 「Options」 タブ

このタブで、次のパラメータを構成する必要があります。

図 4-10 「Options」 タブ

Options

Setting

User Clock Ratio: 1:20 ▾

Lanes Number: 1 ▾

Bits Per Pixel 24 ▾

☒ RX Deskew Enable

☒ Training Pattern TPS1 Enable

☒ Training Pattern TPS2 Enable

☒ Training Pattern TPS3 Enable

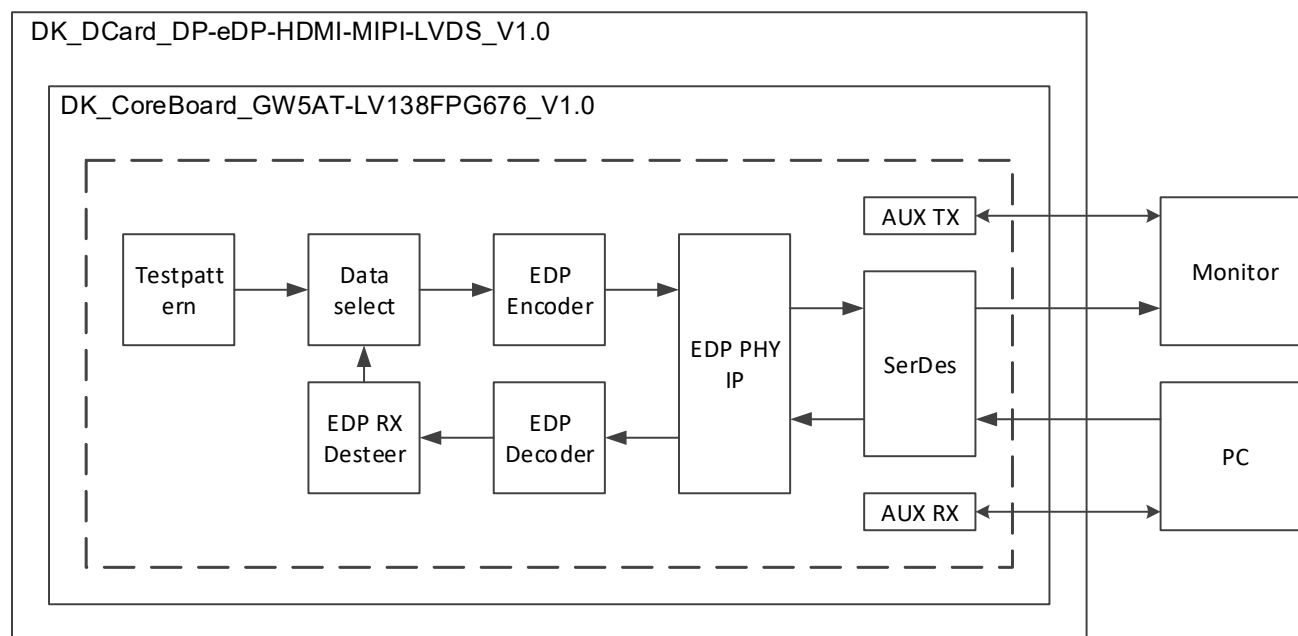
5 リファレンス・デザイン

このセクションでは、主に **Gowin EDP Encoder Decoder IP** のリファレンス・デザイン例の構成とその使用方法について紹介・説明します。詳細については、**GOWIN** のホームページにおける [リファレンス・デザイン](#) を参照してください。

デザイン例

本リファレンス・デザインでは、**DK_DP_GW5AT-LV60UG225_V1.0** 開発ボードを例として使用しています。リファレンス・デザインの基本構造を [図 5-1](#) に示します。開発ボードの詳細については、**Gowin** のホームページを参照してください。

図 5-1 リファレンス・デザイン例 1 の基本構造



リファレンス・デザインは **DP 送信部** と **DP 受信部** で構成されています。**DP 送信部** では、**Testpattern** モジュールが生成したテスト・パターン・ビデオ信号は、**EDP Encoder** モジュールによってエンコードされて **EDP PHY IP** に入力され、シリアル信号に変換されて **DP ディスプレイ** に出力されます。**DP 受信部** がデータを受信しない場合は常にテスト・パ

ターンが表示されます。DP 受信部では、PC から出力された DP 信号は EDP PHY IP を経てパラレル信号に変換され、そして EDP Decoder モジュールによってデコードされ、EDP RX Desteer モジュールによって形式変換されて Data select モジュールに出力されます。最後に、ディスプレイに出力されて表示されます。

6 提供されるファイル

提供されるファイルには主に、ドキュメント、デザインのソースコード、およびリファレンス・デザインが含まれています。

6.1 ドキュメント

フォルダにはユーザーガイド(PDF ファイル)があります。

表 6-1 ファイル一覧

名称	説明
Gowin EDP Encoder Decoder IP ユーザーガイド (IPUG1179)	即ち、本マニュアル

6.2 デザインのソースコード(暗号化)

暗号化コードのフォルダには、GUI で使用される、Gowin EDP Encoder Decoder IP の RTL 暗号化コードが含まれています。

表 6-2 Gowin EDP Encoder のソースコード一覧

名称	説明
edp_encoder.v	暗号化されている、IP コアのトップレベル・ファイル。ユーザーにインターフェース情報を提供します。

表 6-3 Gowin EDP Decoder のソースコード一覧

名称	説明
edp_decoder.v	暗号化されている、IP コアのトップレベル・ファイル。ユーザーにインターフェース情報を提供します。

6.3 リファレンス・デザイン

Gowin EDP Encoder Decoder IP RefDesign フォルダには、主に Gowin EDP Encoder Decoder IP のネットリスト・ファイル、リファレンス・デザイン、制約ファイル、トップレベル・ファイル、およびプロジェクト・フォルダなどが含まれています。

表 6-4 Gowin EDP Encoder Decoder IP RefDesign フォルダのコンテンツ一覧

名称	説明
test_top.v	リファレンス・デザインのトップ・モジュール
fpga_project.cst	物理制約ファイル
fpga_project.sdc	タイミング制約ファイル
key_debounce.v	デバウンス・モジュール
pll_init.v	PLL 初期化モジュール
rst_gen.v	リセット生成モジュール
serdes	EDP PHY IP フォルダ
testpattern.v	テストパターン生成モジュール
auxlink	補助チャンネル・フォルダ
gowin_pll	PLL IP フォルダ
edp_decoder	EDP受信モジュール・フォルダ
edp_encoder	EDP送信モジュール・フォルダ
edp_rx_desteer	EDP RX Desteer モジュール・フォルダ

