



Gowin 10G Serial Ethernet IP ユーザーガイド

IPUG1178-1.3J, 2026-06-17

著作権について(2026)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云、**GOWIN**、、**GOWINSEMI**、**GOWIN**、Gowin、**高云**、晨熙、小蜜蜂、LittleBee、**Aroa-V**、GowinPnR、及びGoBridgeは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、**GOWINSEMI Terms and Conditions of Sale**(**GOWINSEMI** 取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2023/12/08	1.0J	初版。
2024/12/31	1.1J	GW5AT-60 デバイスのサポートを追加。
2025/05/23	1.2J	GW5AT-15 デバイスのサポートを追加。
2026/06/17	1.3J	RX AFE の受信イコライゼーション機能の説明を追加。

目次

図一覧.....	ii
表一覧.....	iii
1 本マニュアルについて.....	1
1.1 マニュアルの内容.....	1
1.2 関連ドキュメント.....	1
1.3 用語、略語.....	1
1.4 テクニカル・サポートとフィードバック.....	2
2 概要.....	3
2.1 主な特徴.....	3
2.2 動作周波数.....	4
2.3 リソース使用量.....	4
3 機能の説明.....	5
3.1 構造.....	5
3.2 ユーザーインターフェース.....	5
3.2.1 リセット.....	6
3.2.2 クロック.....	6
3.2.3 XGMII インターフェース.....	9
3.2.4 状態インターフェース.....	10
3.2.5 Debug インターフェース.....	10
3.3 AFE (Analog Front End)	10
3.3.1 送信.....	10
3.3.2 受信.....	12
4 ポート一覧.....	13
5 パラメータの構成.....	18
6 GUI での構成.....	19
7 リファレンス・デザイン.....	23

図一覧

図 3-1 Gowin 10G Serial Ethernet IP の構造.....	5
図 3-2 推奨されるクロック接続（ref_clk_o が 156.25MHz のクロックを出力）	7
図 3-3 推奨されるクロック接続（ref_clk_o が 125MHz のクロックを出力）	8
図 3-4 推奨されるクロック接続(ref_clk_o が 156.25MHz のクロックを出力).....	8
図 3-5 推奨されるクロック接続（ref_clk_o が 125MHz のクロックを出力）	9
図 3-6 送信差動信号のスイング Vdiffpp.....	11
図 3-7 FFE TX 電圧の定義.....	11
図 4-1 Gowin 10G Serial Ethernet IP のポート図(GW5AT-138/75).....	13
図 4-2 Gowin 10G Serial Ethernet IP のポート図(GW5AT-60).....	14
図 6-1 IP Core Generator.....	19
図 6-2 SerDes IP の構成画面.....	20
図 6-3 PHY Configuration タブ.....	21
図 6-4 SerDes IP 構成画面における 10G Serial Ethernet IP.....	22
図 7-1 ハードウェア・プラットフォームおよびそのブロック図.....	23

表一覧

表 1-1 用語、略語.....	2
表 2-1 Gowin 10G Serial Ethernet IP.....	3
表 2-2 リソース使用量.....	4
表 3-1 IEEE802.3 XGMII と IP の対応関係.....	9
表 4-1 Gowin 10G Serial Ethernet IP のポート一覧.....	14
表 5-1 Gowin 10G Serial Ethernet IP の静的パラメータ.....	18

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、ユーザーが Gowin 10G Serial Ethernet IP を使いこなせるよう、その概要、機能、GUI での構成、およびリファレンス・デザインなどについて説明します。本マニュアルに記載のソフトウェア GUI のスクリーンショットは、Gowin ソフトウェア V1.9.9 の場合のものです。ソフトウェアのアップデートにより、一部の内容が変更される場合があります。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW5AT シリーズ FPGA 製品データシート([DS981](#))
- GW5AT シリーズ FPGA 製品(オートモーティブ)データシート([DS1111](#))
- GW5A シリーズ FPGA 製品データシート([DS1103](#))
- GW5A シリーズ FPGA 製品(オートモーティブ)データシート([DS1113](#))
- GW5AST シリーズ FPGA 製品データシート([DS1239](#))
- GW5AS シリーズ FPGA 製品データシート([DS1105](#))
- GW5AR シリーズ FPGA 製品データシート([DS1108](#))
- GW5ART シリーズ FPGA 製品データシート([DS1118](#))
- GW5AST シリーズ FPGA 製品データシート([DS1239](#))

1.3 用語、略語

[表 1-1](#) に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
AFE	Analog Front End	アナログ・フロントエンド
BER	Bit Error Rate	ビットエラーレート
FFE	Feed-Forward Equalization	フィードフォワード・イコライゼーション
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
IP	Intellectual Property	設計資産
LUT	Look-up Table	ルックアップテーブル
MAC	Media Access Control	メディア・アクセス・制御
PCS	Physical Coding Sublayer	物理符号化副層
PMA	Physical Medium Attachment	物理媒体接続副層
SFP+	Small Form-factor Pluggable Plus	小型可插抜光模块増 版
XGMII	10-Gigabit Media Independent Interface	10 ギガビット媒体独立インターフェース

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

Gowin 10G Serial Ethernet IP は、IEEE802.3 規格の第 49 条に記載されている 10GBASE-R 機能(PMA+PCS)を実装し、IEEE802.3 規格の第 46 条の定義に準拠した XGMII インターフェースをユーザーに提供します。この IP は、10GBASE-R 機能を必要とする通信デバイスに統合できます。

表 2-1 Gowin 10G Serial Ethernet IP

Gowin 10G Serial Ethernet IP	
ロジックリソース	表 2-2 参照
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンス・デザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis
統合開発環境	Gowin ソフトウェア(V1.9.9 及以上)

注記：

デバイスのサポート情報は、Gowin セミコンダクターの[ホームページ](#)で確認できます。

2.1 主な特徴

- IEEE802.3 規格の第 49 条をサポート
- 10GBASE-R プロトコル(PMA/PCS)をサポート
- 10.3125Gbps のレートをサポート
- 64B/66B エンコード/デコードをサポート
- 64B/66B デコード Error Block の統計をサポート (GW5AT-138/75)
- シリアルデータのスクランブリング/デスクランブリングをサポート

- BER monitor 機能をサポート(GW5AT-138/75)
- ユーザー側に IEEE802.3 規格の第 46 条の定義に準拠した XGMII インターフェースを提供
- 受信側でのエラスティック・バッファ(Elastic Buffer)をサポート

2.2 動作周波数

Gowin 10G Serial Ethernet IP の内部動作周波数は 161.2MHz と 156.25MHz で、XGMII インターフェースの動作周波数は 156.25MHz です。

2.3 リソース使用量

Gowin 10G Serial Ethernet IP は、Verilog で実装され、そのパフォーマンスとリソース使用量は、使用されているデバイスの密度、スピードグレードなどにより異なる場合があります。例えば、GW5AT シリーズ FPGA の場合、そのリソース使用量は表 2-2 に示すようになります。GW5AT-60/GW5AT-15 の場合、直接 SerDes ハードコアが呼び出されるため、ロジック・リソースはほとんど消費されません。他のデバイスでのリソース使用量については、その最新情報を参照してください。

表 2-2 リソース使用量

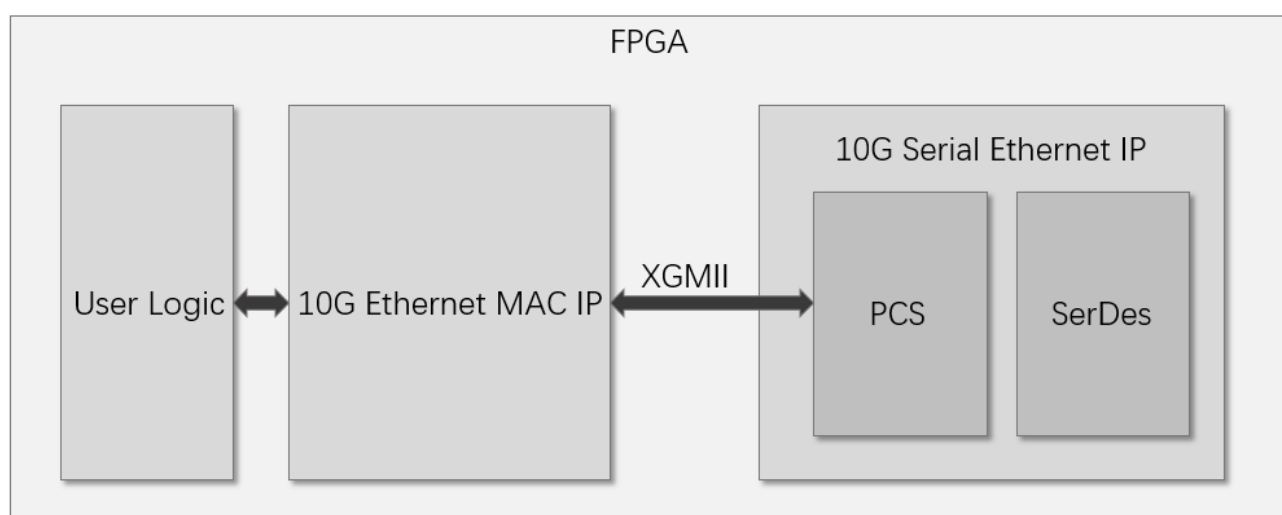
シリーズ	リソース使用量		スピードグレード
GW5AT-138/75	LUT	4322	C2/I1
	REG	3621	
	BSRAM	4	
GW5AT-60/15	LUT	3	C2/I1
	REG	0	
	BSRAM	0	

3 機能の説明

3.1 構造

図 3-1 に示すように、Gowin 10G Serial Ethernet IP には、主に SerDes モジュールと PCS モジュールが含まれます。Gowin 10G Serial Ethernet IP は、10GBASE-R プロトコルの PMA 層(SerDes ハードコアを呼び出す)と PCS 層を実装し、ユーザーに XGMII インターフェースを提供します。10G イーサネットソリューションを実装するには、ユーザーは、Gowin 10G Ethernet MAC IP を呼び出して XGMII インターフェースに接続するか、10G イーサネット MAC 機能を自分で設計して XGMII インターフェースに接続することができます。下図の User Logic は FPGA のユーザーデザインです。また、FPGA の外部では、SFP+光モジュールを使用して他のデバイスと通信することができます。

図 3-1 Gowin 10G Serial Ethernet IP の構造



3.2 ユーザーインターフェース

3.2.1 リセット

GW5AT-138/75

IP は、受信方向と送信方向での個別のリセットをサポートします。`rx_rstn_i` は受信方向の非同期リセット入力、`tx_rstn_i` は送信方向の非同期リセット入力です。上記の 2 つの非同期リセット信号は両方ともアクティブ Low です。リセット信号の説明を表 4-1 に示します。

GW5AT-60/15

リセットの入力なし。

3.2.2 クロック

IP が正しく動作できるように、ユーザーは要件を満たすクロック信号と指示信号を提供する必要があります。クロック関連信号の説明を表 4-1 に示します。

次のクロック接続方法が推奨されます。

GW5AT-138/75

SerDes 入力リファレンス・クロックが 156.25MHz の場合

図 3-2 に示すように、`ref_clk_o` 出力クロックは SerDes の入力リファレンス・クロック (156.25MHz) であり、この出力クロックは `xgmii_rx_clk_i` および `xgmii_tx_clk_i` に直接接続されています。`xgmii_rx_clk_ready_i` および `xgmii_tx_clk_ready_i` には定数 1 が割り当てられています。

図 3-2 推奨されるクロック接続 (ref_clk_o が 156.25MHz のクロックを出力)

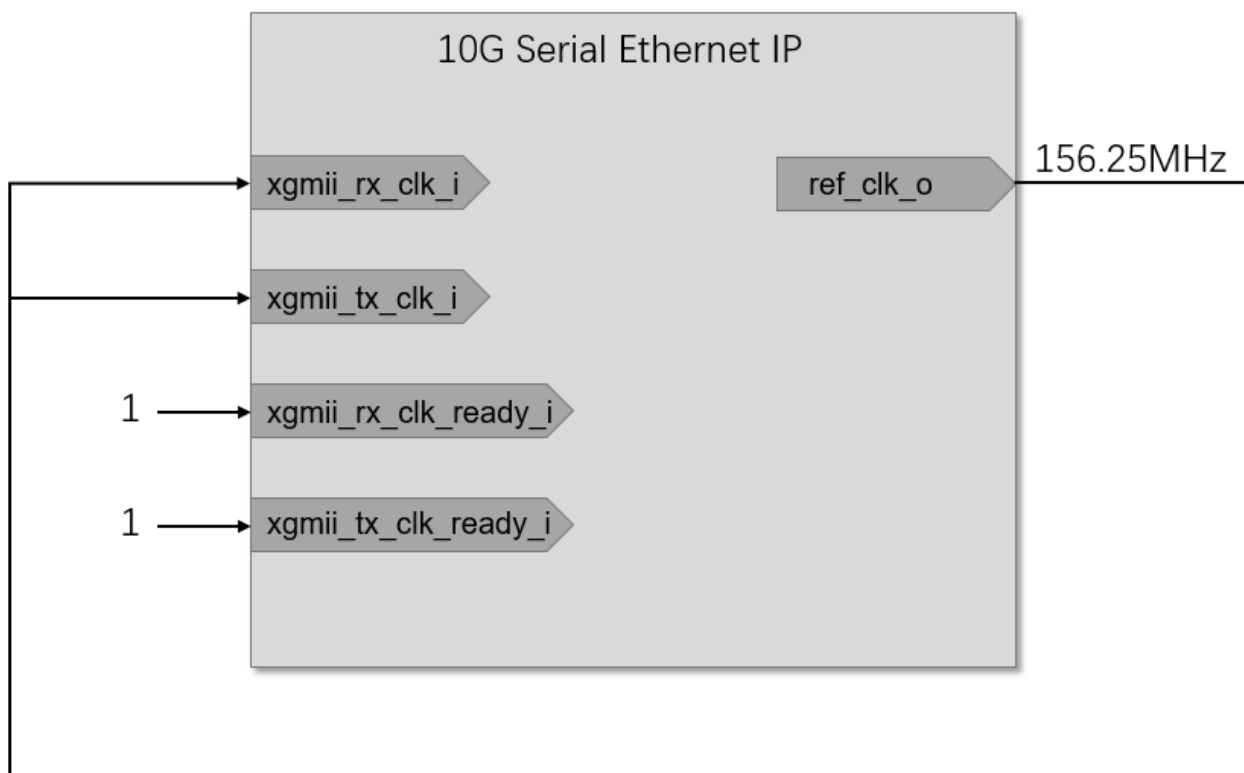
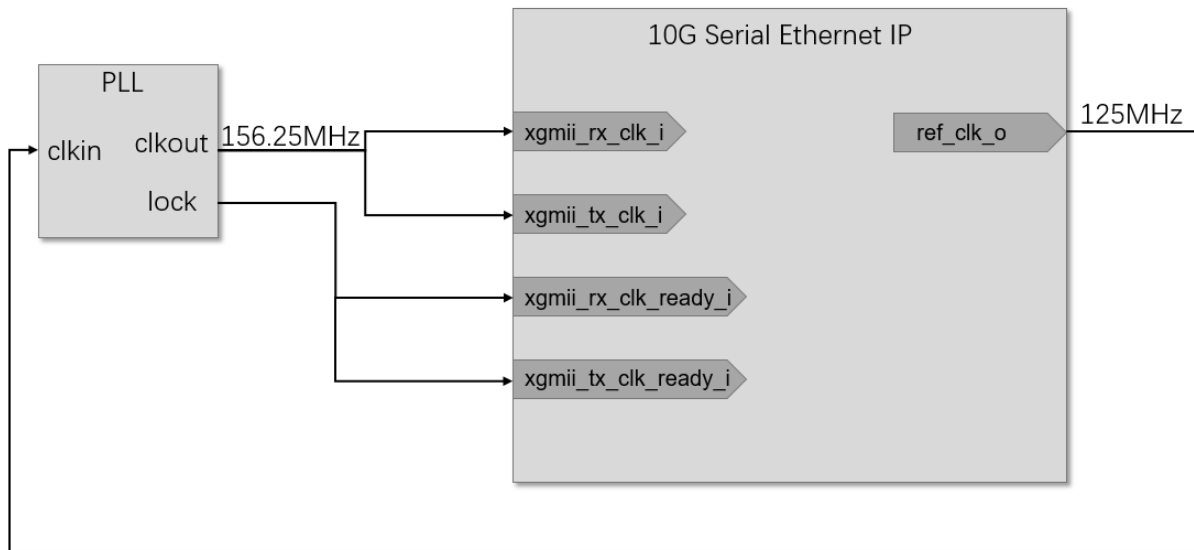
**SerDes 入力リファレンス・クロックが 156.25MHz でない場合(125MHz を例に説明)**

図 3-3 に示すように、`ref_clk_o` 出力クロックは SerDes の入力リファレンス・クロック (125MHz) であり、この出力クロックは、`xgmii_rx_clk_i` および `xgmii_tx_clk_i` に入力される前に、PLL を通じて 156.25MHz のクロックを生成する必要があります。

`xgmii_rx_clk_ready_i` および `xgmii_tx_clk_ready_i` は両方とも PLL LOCK 信号に接続されています。

図 3-3 推奨されるクロック接続 (ref_clk_o が 125MHz のクロックを出力)



GW5AT-60/15

SerDes 入力リファレンス・クロックが 156.25MHz でない場合

図 3-4 に示すように、ref_clk_o 出力クロックは SerDes の入力リファレンス・クロック (156.25MHz) であり、この出力クロックは xgmii_rx_clk_i および xgmii_tx_clk_i に直接接続されています。

図 3-4 推奨されるクロック接続(ref_clk_o が 156.25MHz のクロックを出力)

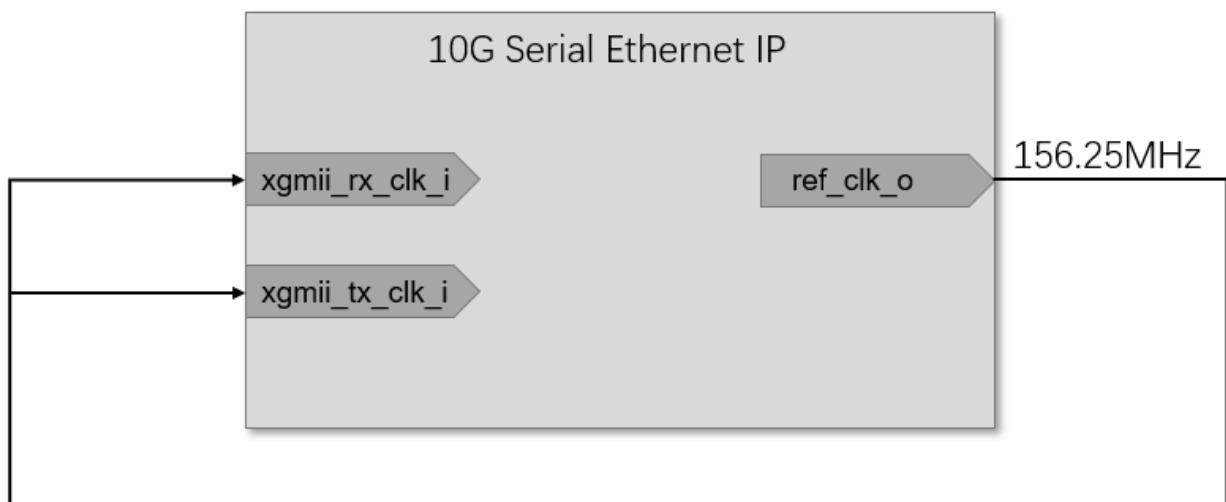
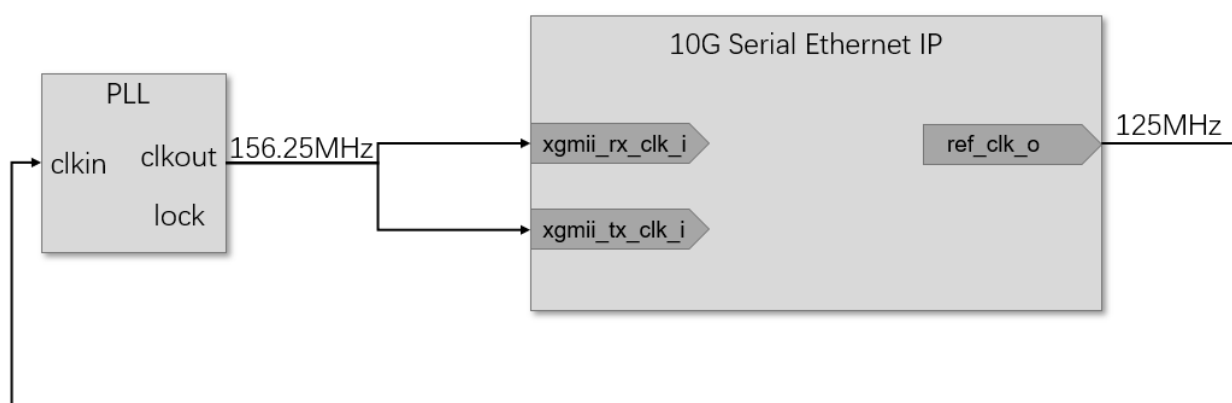
**SerDes 入力リファレンス・クロックが 156.25MHz でない場合(125MHz を例に説明)**

図 3-5 に示すように、ref_clk_o 出力クロックは SerDes の入力リファレンス・クロック (125MHz) であり、この出力クロックは、xgmii_rx_clk_i および xgmii_tx_clk_i に入力される前に、PLL を通じて 156.25MHz のクロックを生成する必要があります。

図 3-5 推奨されるクロック接続 (ref_clk_o が 125MHz のクロックを出力)



3.2.3 XGMII インターフェース

IP は、IEEE802.3 規格の第 46 条の定義に準拠した XGMII インターフェースを提供します。XGMII インターフェースの定義を表 4-1 に示します。XGMII インターフェースのエンコード形式については、IEEE802.3 規格の第 46 条を参照してください。

この IP は、同期クロックの立ち上がりエッジでサンプリングされる 64 ビット XGMII インターフェースをユーザーに提供します。これに対して、IEEE802.3 規格の第 46 条で定義されている XGMII インターフェースは、クロックの両エッジでサンプリングされる 32 ビットのインターフェースです。両者の対応関係を表 3-1 に示します。

表 3-1 IEEE802.3 XGMII と IP の対応関係

IEEE802.3 XGMII		IP XGMII
立ち上がりエッジでサンプリング	TXC[0]/TXD[7:0]	xgmii_txc_i[0]/ xgmii_txd_i[7:0]
立ち上がりエッジでサンプリング	TXC[1]/TXD[15:8]	xgmii_txc_i[1]/ xgmii_txd_i[15:8]
立ち上がりエッジでサンプリング	TXC[2]/TXD[23:16]	xgmii_txc_i[2]/ xgmii_txd_i[23:16]
立ち上がりエッジでサンプリング	TXC[3]/TXD[31:24]	xgmii_txc_i[3]/ xgmii_txd_i[31:24]
立ち下がりエッジでサンプリング	TXC[0]/TXD[7:0]	xgmii_txc_i[4]/ xgmii_txd_i[39:32]
立ち下がりエッジでサンプリング	TXC[1]/TXD[15:8]	xgmii_txc_i[5]/ xgmii_txd_i[47:40]
立ち下がりエッジでサンプリング	TXC[2]/TXD[23:16]	xgmii_txc_i[6]/ xgmii_txd_i[55:48]
立ち下がりエッジでサンプリング	TXC[3]/TXD[31:24]	xgmii_txc_i[7]/ xgmii_txd_i[63:56]
立ち上がりエッジでサンプリング	RXC[0]/RXD[7:0]	xgmii_rxc_o[0]/ xgmii_rxd_o[7:0]

IEEE802.3 XGMII		IP XGMII
立ち上がりエッジでサンプリング	RXC[1]/RXD[15:8]	xgmii_rxc_o[1]/ xgmii_rxd_o[15:8]
立ち上がりエッジでサンプリング	RXC[2]/RXD[23:16]	xgmii_rxc_o[2]/ xgmii_rxd_o[23:16]
立ち上がりエッジでサンプリング	RXC[3]/RXD[31:24]	xgmii_rxc_o[3]/ xgmii_rxd_o[31:24]
立ち下がりエッジでサンプリング	RXC[0]/RXD[7:0]	xgmii_rxc_o[4]/ xgmii_rxd_o[39:32]
立ち下がりエッジでサンプリング	RXC[1]/RXD[15:8]	xgmii_rxc_o[5]/ xgmii_rxd_o[47:40]
立ち下がりエッジでサンプリング	RXC[2]/RXD[23:16]	xgmii_rxc_o[6]/ xgmii_rxd_o[55:48]
立ち下がりエッジでサンプリング	RXC[3]/RXD[31:24]	xgmii_rxc_o[7]/ xgmii_rxd_o[63:56]

3.2.4 状態インターフェース

IP のステータスインターフェースは表 4-1 に示すとおりで、ユーザーはこのインターフェースを通じて IP の内部ステータスとリンクのステータスを確認できます。

3.2.5 Debug インターフェース

IP は、デバッグ用の一連の Debug インターフェースを提供します(表 4-1)。

3.3 AFE (Analog Front End)

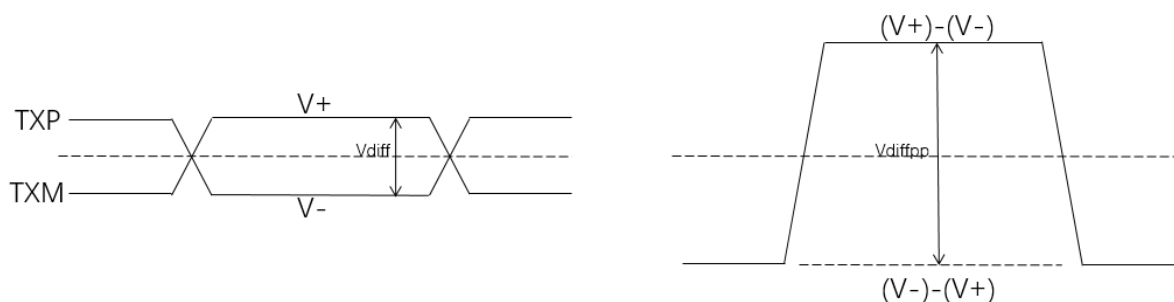
AFE はアナログ・フロントエンドであり、Gowin 10G Serial Ethernet IP の動作速度は 10.3125Gbps です。IP の構成画面で IP のアナログ・パラメータを構成して、信号の整合性を保証することができます。

3.3.1 送信

送信側では、ユーザーは IP 送信信号の差動スイングおよび FFE(Feed-Forward Equalization)パラメータを構成できます。

送信差動スイング

図 3-6 に示すように、送信信号の差動電圧は $V_{diff}=(V+)-(V-)$ であり、送信差動信号スイングは $V_{diffpp}=2 \times V_{diff}$ です。 V_{diffpp} は構成画面で構成でき、その範囲は 180mV～900mV です。

図 3-6 送信差動信号のスイング V_{diffpp} 

TX FFE

FFE はフィードフォワード・イコライゼーション(Feed-Forward Equalisation)であり、IP は TX FFE 係数の自動調整と手動調整をサポートしています。ユーザーが FFE Mode を Auto に構成した場合、IP はハードウェア環境に応じて FFE 係数を自動的に調整しますが、 C_m 、 C_0 、 C_1 の構成は無効になります。ユーザーが FFE Mode を Manual に構成した場合、3-tap 係数を手動で調整し、送信信号のデエンファシス状態を構成できます。

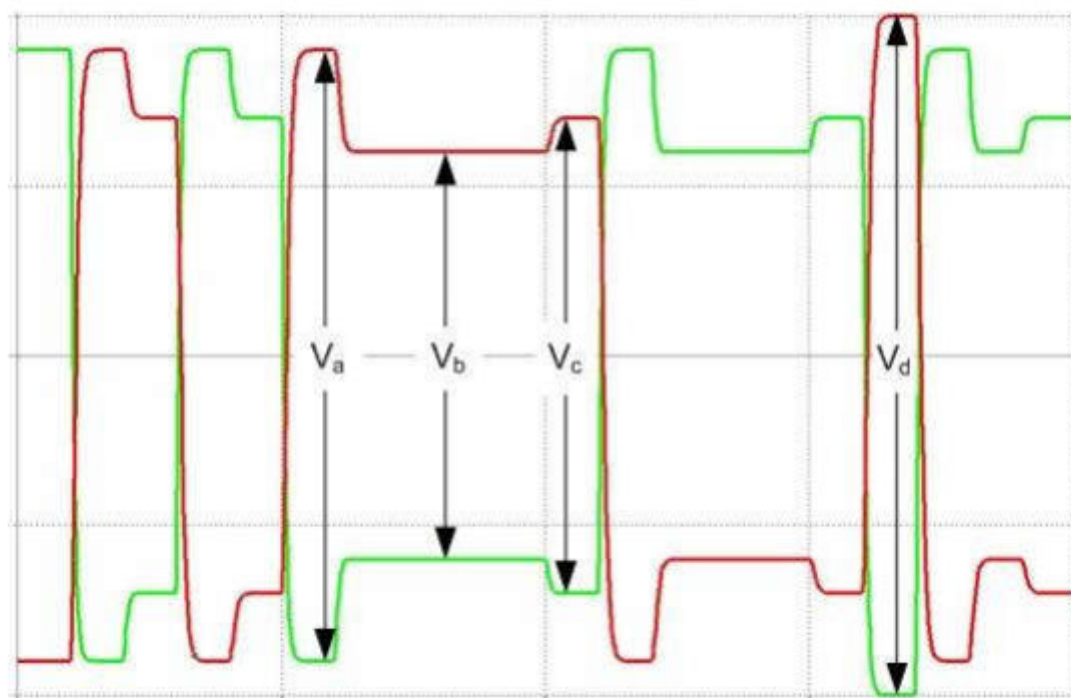
図 3-7 に示すように、FFE Mode を Manual に構成した場合、 C_m 、 C_0 、 C_1 の値を調整することで、 V_a 、 V_b 、 V_c の電圧振幅を調整することができます。その計算式は次のとおりです。

$$V_a = V_{diffpp} * (-C_m + C_0 + C_1) / 40$$

$$V_b = V_{diffpp} * (-C_m + C_0 - C_1) / 40$$

$$V_c = V_{diffpp} * (C_m + C_0 - C_1) / 40$$

図 3-7 FFE TX 電圧の定義



3.3.2 受信

受信差動信号のスレッシュホールド

受信側では、**SD Threshold** オプションを構成することで、受信信号の電圧スレッシュホールドを調整することができます。受信差動信号が **SD Threshold** より大きい場合、**SerDes** は有効なデータを受信したと判断します。受信差動信号が **SD Threshold** より小さい場合、**SerDes** は有効なデータを受信していないと判断し、**Electrical Idle** 状態になります。

受信イコライゼーション

SerDes は受信側でイコライゼーション機能を備えています。ユーザーは、データレートやチャネル減衰量に応じてイコライザーの構成を調整することにより、最適な受信を実現できます。

SerDes イコライザーは自動モードと手動モードをサポートします。構成オプション **Equalization Mode** が **Auto** として構成された場合、イコライザーは自動モードになります。このモードでは、**SerDes** の受信側でイコライザーは現在の受信データ品質に基づいてイコライザーを最適な状態に自動的に調整します。この場合、**ATT** オプションと **BOOST** オプションは構成不可です。構成オプション **Equalization Mode** が **Manual** として構成された場合、イコライザーは手動モードになります。このモードでは、イコライザーを最適な状態にするには、ユーザーが **ATT** オプションと **BOOST** オプションを手動で構成する必要があります。

ATT は、受信中間周波数の減衰を調整するために使用されるアッテネータです。0～10 の範囲で、値が小さいほど減衰が大きくなります。

BOOST は **analog boost** で、受信高周波数の増幅を調整するために使用されます。0～15 の範囲で、値が大きいほどゲインが大きくなります。

ユーザーがイコライザーを **Manual** に構成した場合、最適な **SerDes** を実現するには、**ATT** オプションと **BOOST** オプションの組み合わせを繰り返し試す必要があります。したがって、**Auto** モードを優先することをお勧めします。**Auto** モードで最適な状態に適応できない場合は、**Manual** モードを試してください。

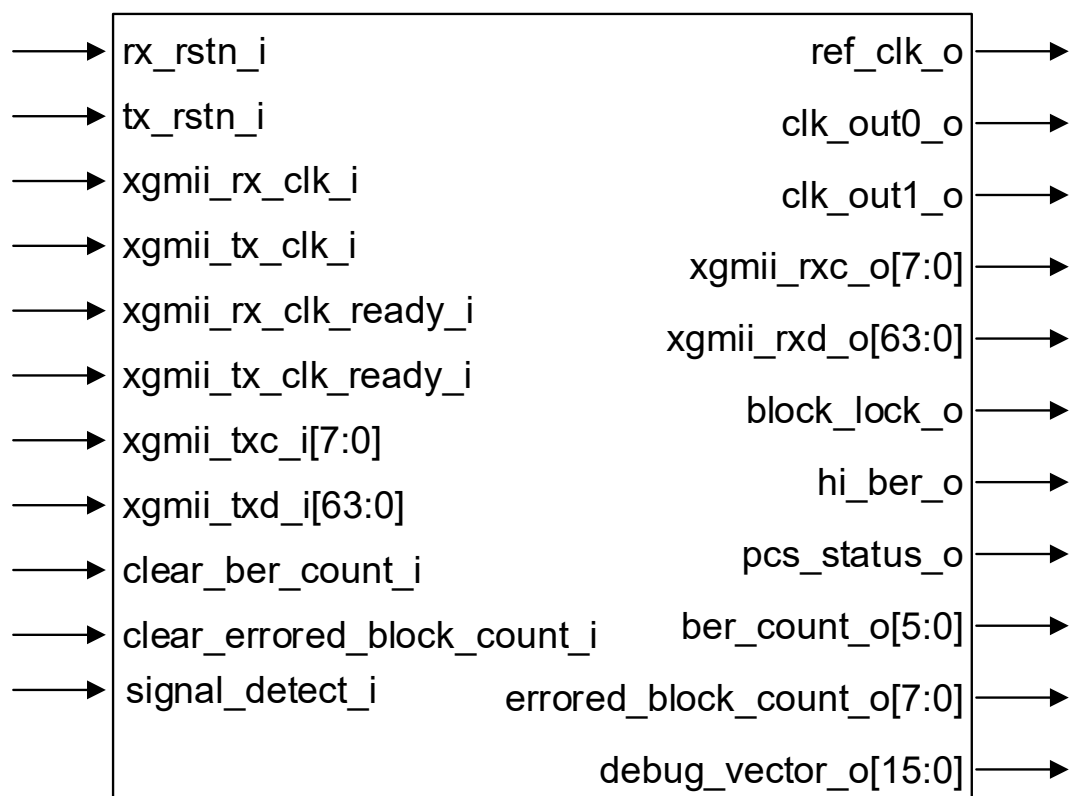
BIAS

BIAS オプションは、**SerDes** 受信信号の増幅パラメータを構成するために使用されます。受信信号レートが高く、減衰が大きい場合、ユーザーはこのオプションの構成を変更できます。このオプションの値が大きいほど、信号増幅効果が強くなります。このオプションの構成は、**QUAD** 全体に対する構成です。つまり、あるレーンの構成が変更されると、このレーンが含まれている **QUAD** 内のすべてのレーンの構成が同時に変更されます。

4 ポート一覧

GW5AT-138/75 デバイスの場合、Gowin 10G Serial Ethernet IP の IO ポートは図 4-1 に示すとおりです。

図 4-1 Gowin 10G Serial Ethernet IP のポート図(GW5AT-138/75)



GW5AT-60/15 デバイスの場合、Gowin 10G Serial Ethernet IP の IO ポートは図 4-2 に示すとおりです。

図 4-2 Gowin 10G Serial Ethernet IP のポート図(GW5AT-60)

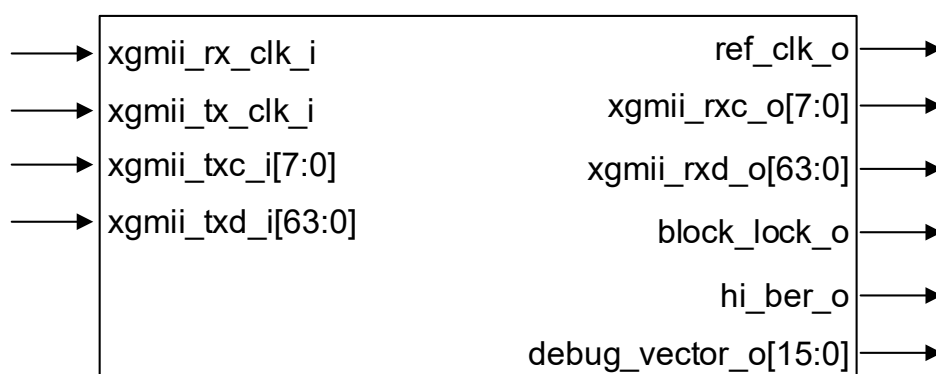


表 4-1 Gowin 10G Serial Ethernet IP のポート一覧

信号	方向	幅(ビット)	説明
Signal Detection			
signal_detect_i	入力	1	入力信号の有効性の検出。光モジュールの LOS ピンに接続できます。 1 : 入力信号は有効です 0 : 入力信号が無効です この信号は GW5AT-138/75 の場合にのみ存在します。
Reset			
rx_rstn_i	入力	1	受信方向の非同期リセット信号、アクティブ Low。この信号は GW5AT-138/75 の場合にのみ存在します。
tx_rstn_i	入力	1	送信方向の非同期リセット信号、アクティブ Low。この信号は GW5AT-138/75 の場合にのみ存在します。
Clock Input			
xgmii_rx_clk_i	入力	1	xgmii インターフェースの受信クロック、その周波数は 156.25MHz です。このクロックのソースとしては、xgmii_tx_clk_i と同じソース、または独立したクロックソースを選択することができます。
xgmii_tx_clk_i	入力	1	xgmii インターフェースの送信クロック、その周波数は 156.25MHz です。このクロックは、ref_clk_o 出力クロック周波数に関連している必要があります。
xgmii_rx_clk_ready_i	入力	1	xgmii_rx_clk_i クロックの安定入力を示す信号。xgmii_rx_clk_i クロックが安定していない場合は 0、xgmii_rx_clk_i クロックが安定している場合は 1 を入力する必要があります。この信号は GW5AT-138/75 の場合にのみ存在します。
xgmii_tx_clk_ready_i	入力	1	xgmii_tx_clk_i クロックの安定入力を示す信号。xgmii_tx_clk_i クロックが安定していない場合は 0、xgmii_tx_clk_i クロックが安定している場合は 1 を入力する必要があります。この信号は GW5AT-138/75 の場合にのみ存在します。

信号	方向	幅(ビット)	説明
Clock Output			
ref_clk_o	出力	1	SerDes に提供されるリファレンス・クロックからの直接出力であり、その周波数は SerDes のリファレンス・クロックと同じです。
clk_out0_o	出力	1	IP 内部からのクロック出力。通常動作時の出力周波数は 162MHz です。この信号は GW5AT-138/75 の場合にのみ存在します。
clk_out1_o	出力	1	IP 内部からのクロック出力。通常動作時の出力周波数は 162MHz です。この信号は GW5AT-138/75 の場合にのみ存在します。
XGMII Interface			
xgmii_txc_i	入力	8	XGMII インターフェースの 8 ビット送信コントロールワード。xgmii_tx_clk_i と同期します。
xgmii_txd_i	入力	64	XGMII インターフェースの 64 ビット送信データ。xgmii_tx_clk_i と同期します。
xgmii_rxc_o	出力	8	XGMII インターフェースの 8 ビット受信コントロールワード。xgmii_rx_clk_i と同期します。
xgmii_rxd_o	出力	64	XGMII インターフェースの 64 ビット受信データ。xgmii_rx_clk_i と同期します。
IP Status			
block_lock_o	出力	1	受信ブロックのロック状態の指示。clk_out0_o と同期します。 1 : ロック 0 : ロックされていない
hi_ber_o	出力	1	受信 Hi BER の指示。clk_out0_o と同期します。
pcs_status_o	出力	1	PCS 状態の指示。clk_out0_o と同期します。 1 : 正常状態。 0 : 異常状態。 この信号は GW5AT-138/75 の場合にのみ存在します。
clear_ber_count_i	入力		BER のカウントをクリアします。アクティブ High。clk_out0_o と同期します。この信号は GW5AT-138/75 の場合にのみ存在します。
ber_count_o	出力	6	BER のカウント。最大 63 で、63 を超えるとカウントが停止します。 この信号は GW5AT-138/75 の場合にのみ存在します。
clear_errored_block_count_i	入力		Error Block のカウントをクリアします。アクティブ High。clk_out0_o と同期します。この信号は GW5AT-138/75 の場合にのみ存在します。

信号	方向	幅(ビット)	説明
errored_block_count_o	出力	8	Error Block のカウント。最大 255 で、255 を超えるとカウントが停止します。この信号は GW5AT-138/75 の場合にのみ存在します。
Debug Interface			
debug_vector_o	出力	16	● GW5AT-138/75 デバイスの場合： [0] : SerDes PLL のロック状態を示す信号。1 : ロック。0 : ロックされていない。 [1] : SerDes 受信 CDR のロック状態を示す信号。1 : ロック。0 : ロックされていない。 [2] : SerDes 受信の有効性を示す信号。1 : 有効。0 : 無効。 [3] : 受信エラスティック・バッファでの IDLE 削除を示す信号。clk_out0_o と同期します。1 : IDLE の削除を一回実行します。0 : IDLE の削除を実行しません。 [4] : 受信エラスティック・バッファでの SEQUENCE 削除を示す信号。clk_out0_o と同期します。1 : SEQUENCE の削除を一回実行します。0 : SEQUENCE の削除を実行しません。 [5] : 受信エラスティック・バッファでの IDLE 挿入を示す信号。xgmii_rx_clk_i と同期します。1 : IDLE の挿入を一回実行します。0 : IDLE の挿入を実行しません。 [6] : 受信エラスティック・バッファでのオーバーフロー・エラーを示す信号。clk_out0_o と同期します。1 : オーバーフロー・エラー。0 : 正常状態。 [7] : 受信エラスティック・バッファでのアンダーフロー・エラーを示す信号。xgmii_rx_clk_i と同期します。1 : アンダーフロー・エラー 0 : 正常状態。 [8] : 受信 gearbox での bit slip を示す信号。clk_out0_o と同期します。1 : bit slip を一回実行します。0 : bit slip を実行しません。 [15:9] : Reserved。 ● GW5AT-60 デバイスの場合： [0] : SerDes PLL のロック状態を示す信号。1 : ロック。0 : ロックされていない。 [1] : SerDes 受信 CDR のロック状態を示す信号。1 : ロック。0 : ロックされていない。 [2] : SerDes 受信の有効性を示す信号。1 : 有効。0 : 無効 [3] : 受信エラスティック・バッファでの IDLE/SEQUENCE 削除を示す信号。1:削除を一回実行します。0 : 削除を実行しません。 [4] : Reserved

信号	方向	幅(ビット)	説明
debug_vector_o	出力	16	[5] : 受信エラスティック・バッファでの IDLE 挿入を示す信号。1:IDLE の挿入を一回実行します。0:IDLE の挿入を実行しません。 [6] : Reserved [7] : Reserved [8] : Reserved [9] : invalid header の受信を示す信号。1 : invalid header を受信しました。0:invalid header を受信しませんでした。 [15:10] : Reserved

5 パラメータの構成

ユーザーは、設計要件に従って Gowin 10G Serial Ethernet IP のさまざまな静的パラメータを構成する必要があります(表 5-1)。

表 5-1 Gowin 10G Serial Ethernet IP の静的パラメータ

名称	説明	オプション
PHY Configuration		
Channel Selection	Lane の選択	Q0 Lane0, Q0 Lane1, Q0 Lane2, Q0 Lane3, Q1 Lane0, Q1 Lane1, Q1 Lane2, Q1 Lane3
Loopback Mode	Lane ループバックモードの選択	OFF, LB_NES, LB_FES, LB_ENC
Line Rate	Lane のレート	10.3125Gbps
Reference Clock Source	リファレンス・クロック・ソースの選択	Q0 REFCLK0, Q0 REFCLK1, Q1 REFCLK0, Q1 REFCLK1
Reference Clock Frequency	リファレンス・クロックの周波数の設定	125MHz, 156.25 MHz, 312.5 MHz, 625 MHz
PLL Selection	PLL の選択	QPLL0, QPLL1, CPLL
AFE		
Differential Swing	100mV~900mV	送信差動信号のスイング Vdiffpp を構成します。Vdiffpp=2xVdiff
FFE Mode	Auto Manual	送信 FFE モードを構成します。 Auto : 自動モード Manual : 手動モード
Cm	0~19	送信 FFE pre-cursor
C0	21~40	送信 FFE main-cursor
C1	0~19	送信 FFE post-cursor
SD Threshold	25mV~200mV	受信差動信号 SD スレッシュホルド

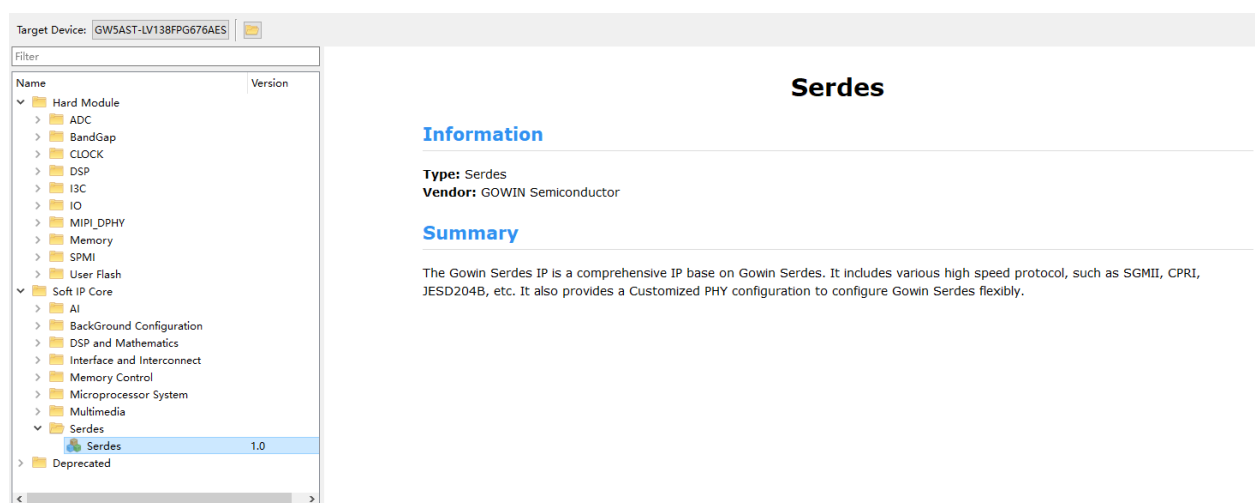
6 GUI での構成

ユーザーは、IDE の IP Core Generator を使用して Gowin 10G Serial Ethernet IP を呼び出しおよび構成することができます。

1. IP Core Generator を開く。

プロジェクトが作成された後、「Tools > IP Core Generator」を開きます(図 6-1)。

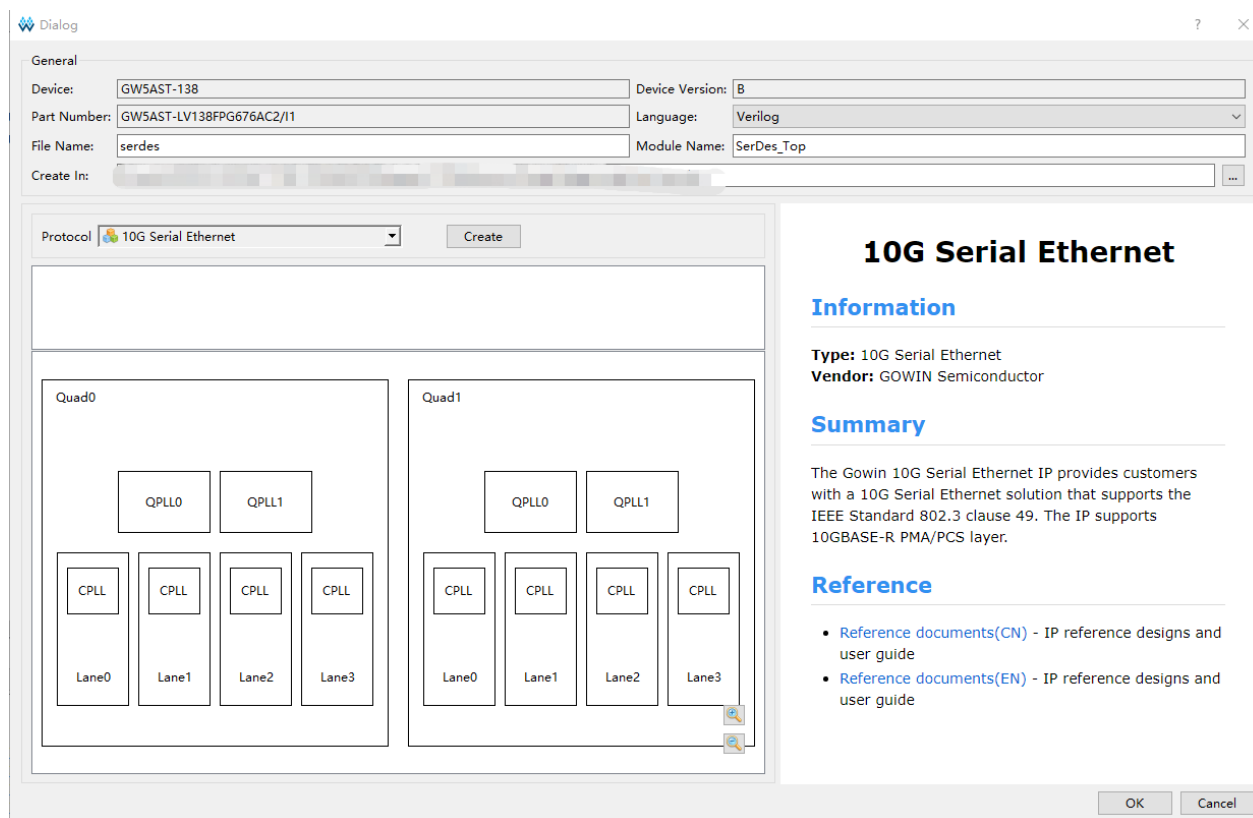
図 6-1 IP Core Generator



2. SerDes IP の構成画面を開く。

IP Core Generator から SerDes IP の構成画面を開きます(図 6-2) :

図 6-2 SerDes IP の構成画面



SerDes IP の構成画面でまず「General」オプショングループを構成します :

- Device、Device Version、Part Number オプション : 現在のプロジェクトで選択されているチップのモデルによって決定されます。
- Language オプション : Verilog(デフォルト)および VHDL がサポートされます。
- File Name、Module Name、Create In オプション : SerDes のファイル名、モジュール名、および IP コアのフォルダのパスを設定するために使用されます。

次に、「Protocol」オプションで必要なプロトコルを選択し、右側の「Create」ボタンをクリックすると、プロトコルの構成画面が開きます。「Protocol」オプションの下には、現在サポートされている SerDes プロトコルと、対応する Quad、PLL、および Lane の使用状況が表示されます。右側には現在 Protocol オプションで選択されたプロトコルの関連情報(Information、Summary、および Reference)が表示されます。

3. 10G Serial Ethernet IP の構成画面を開く。
SerDes IP の構成画面の「Protocol」リストから「10G Serial Ethernet」を選択し、右側の「Create」ボタンをクリックして 10G Serial Ethernet IP の構成画面を開きます(図 6-3)。

図 6-3 PHY Configuration タブ

PHY Configuration AFE

Channel Selection: Q1 Lane1 ▾

Loopback Mode: OFF ▾

Line Rate: 10.3125 Gbps

Refclk Selection

Reference Clock Source: Q1 REFCLK1 ▾

Reference Clock Frequency: 156.250 MHz ▾

PLL Selection: CPLL ▾

☒ Debug Ports

Calculate

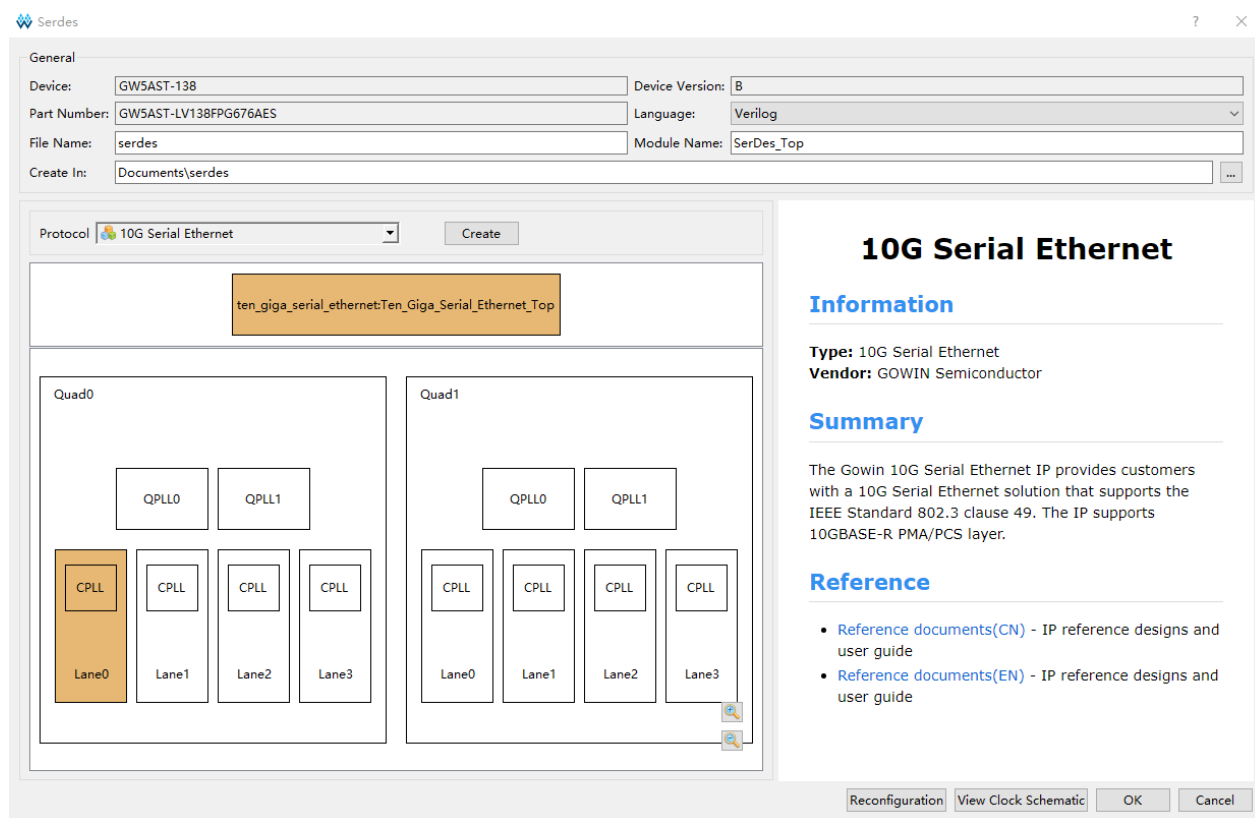
OK Cancel

構成画面の左側には 10G Serial Ethernet IP のポート図が表示され、右側には 10G Serial Ethernet IP の構成オプション（PHY Configuration タブと AFE タブを含む）が表示されます。各構成オプションの詳細については、表 5-1 を参照してください。

4. IP を生成

10G Serial Ethernet IP の構成が完了したら、画面の右下隅にある「OK」ボタンをクリックして 10G Serial Ethernet IP 関連ファイルを生成します。この時 SerDes IP の構成画面には、生成された 10G Serial Ethernet IP と、対応する Quad、PLL、および Lane の使用状況が表示されます(図 6-4)。

図 6-4 SerDes IP 構成画面における 10G Serial Ethernet IP



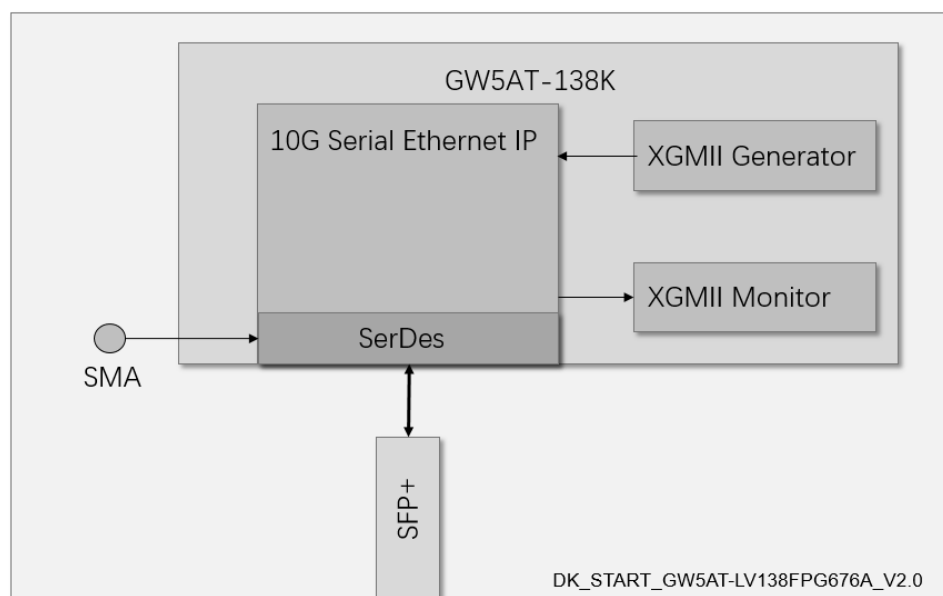
画面の右下隅にある「OK」ボタンをクリックすると、SerDes IP の関連ファイルが生成され、これで Gowin 10G Serial Ethernet IP の生成が完了します。

7 リファレンス・デザイン

詳細については、GOWIN のホームページにおける [Gowin 10G Serial Ethernet IP リファレンス・デザイン](#) を参照してください。

ハードウェア・プラットフォームは図 7-1 に示すとおりです。

図 7-1 ハードウェア・プラットフォームおよびそのブロック図



リファレンス・デザインのハードウェア・プラットフォームは、DK_START_GW5AT-LV138FPG676A_V2.0 開発ボードです。上の図に示すように、FPGA は、10G イーサネット伝送のために開発ボード上の SFP1 を介して外部の 10G SFP+光モジュールに接続されています。また、SMA(AA13 および AB13)経由で外部から 156.25MHz の差動クロックが SerDes のリファレンス・クロックとして入力されています。

リファレンス・デザインでは、XGMII Generator モジュールは XGMII 形式のデータを 10G Serial Ethernet IP に送信するために使用され、XGMII Monitor モジュールは 10G Serial Ethernet IP によって受信されたデータを監視するために使用されます。また、ユーザーは、GAO を通じて、送受信される XGMII データを観察することができます。

