



Gowin SLVS-EC RX IP ユーザーガイド

IPUG1176-1.1J, 2025-09-26

著作権について(2025)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

 **GOWIN** 及び **Gowin** は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI取引条件) に規定されている内容を除き、(明示的か又は黙示的に拘わらず) いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ (不具合情報) については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2023/12/08	1.0J	初版。
2025/09/26	1.1J	● o_pixel[16:31]ポートを追加。 ● 4.752 Gbps の単一チャネルのレートのサポートを追加。 ● Bus Width パラメータを追加。 ● タイミングの説明を追加。

目次

目次	i
図一覧	ii
表一覧	iii
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	1
1.4 テクニカル・サポートとフィードバック	2
2 概要	3
2.1 概要	3
2.2 主な特徴	4
2.3 リソース使用量	4
3 機能の説明	5
3.1 ブロック図	5
3.2 機能モジュール	5
3.2.1 内部構造	5
3.2.2 SerDes のクロック	6
3.2.3 SerDes のデータ	6
3.3 ポート一覧	7
3.4 パラメータの構成	10
3.5 タイミングの説明	11
4 GUI での構成	12
5 リファレンス・デザイン	18
6 提供されるファイル	20
6.1 ドキュメント	20
6.2 デザインのソースコード(暗号化)	20
6.3 リファレンス・デザイン	20

図一覧

図 3-1 Gowin SLVS-EC RX IP のブロック図	5
図 3-2 Gowin SLVS-EC RX IP の構造	6
図 3-3 Gowin SLVS-EC RX IP のポート図	7
図 3-4 ビデオインターフェースのタイミング図	11
図 4-1 IP Core Generator を開く	12
図 4-2 Serdes IP の構成画面を開く	13
図 4-3 SLVS-EC RX の構成画面を開く	14
図 4-4 SLVS-EC RX の構成画面	15
図 4-5 一般情報の構成画面	15
図 4-6 PHY Configuration タブ	16
図 4-7 Channel Bonding タブ	16
図 4-8 Serdes IP の構成画面における SLVS-EC RX IP	17
図 5-1 リファレンス・デザインの基本構造	18

表一覧

表 1-1 用語、略語.....	1
表 2-1 Gowin SLVS-EC RX IP の概要	3
表 2-2 Gowin SLVS-EC RX IP のリソース使用量.....	4
表 3-1 Gowin SLVS-EC RX IP のポート一覧.....	8
表 3-2 Gowin SLVS-EC RX IP のパラメータ	10
表 6-1 ドキュメント一覧	20
表 6-2 Gowin SLVS-EC RX IP のファイル一覧	20
表 6-3 Gowin SLVS-EC RX RefDesign フォルダのコンテンツ一覧.....	20

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、ユーザーが Gowin SLVS-EC RX IP を使いこなせるよう、その概要、機能、呼び出しと構成、およびリファレンス・デザインなどについて説明します。本マニュアルに記載のソフトウェア GUI のスクリーンショットは、Gowin ソフトウェア V1.9.11 バージョンの場合のものです。ソフトウェアのアップデートにより、一部の内容が変更される場合があります。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW5AT シリーズ FPGA 製品データシート([DS981](#))
- GW5A シリーズ FPGA 製品データシート([DS1103](#))
- GW5AST シリーズ FPGA 製品データシート([DS1239](#))
- GW5AS シリーズ FPGA 製品データシート([DS1105](#))
- GW5AR シリーズ FPGA 製品データシート([DS1108](#))
- GW5ART シリーズ FPGA 製品データシート([DS1118](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
CDR	Clock Data Recovery	クロック・データ・リカバリ
CRC	Cyclic Redundancy Check	巡回冗長検査

用語、略語	正式名称	意味
DC	Digital Camera	デジタル・カメラ
DE	Data Enable	データ・イネーブル
ECC	Error Correction Code	誤り訂正符号
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
IP	Intellectual Property	設計資産
SerDes	Serializer/Deserializer	シリアライザ/デシリアライザ
SLVS-EC	Scalable Low Voltage Signaling Embedded Clock	組み込みクロック付きのスケラブルな低電圧シグナリング
VICAP	Video Capture	ビデオ・キャプチャ
HS	Horizontal Sync	水平同期
VS	Vertical Sync	垂直同期

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

2.1 概要

Gowin SLVS-EC RX IP は、Sony 社が開発した SLVS-EC インターフェース規格の機能を実装し、高フレームレートと高解像度の画像キャプチャ向けの汎用インターフェースを提供します。高速シリアル・データを DC(Digital Camera)タイミングに変換し、次のステージのモジュール VICAP(Video Capture)に渡すことができます。

Gowin SLVS-EC RX IP は、SLVS-EC 仕様バージョン 1.2 と 2.0 に準拠し、ECC/CRC をサポートします。Gowin SLVS-EC RX IP は、SerDes 物理層アクセスインターフェースを提供して、ユーザーが SLVS-EC プロトコル層と物理層を簡単に接続できるようにします。

表 2-1 Gowin SLVS-EC RX IP の概要

Gowin SLVS-EC RX IP	
ロジックリソース	表 2-2 参照。
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンス・デザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis
統合開発環境	Gowin ソフトウェア(V1.9.9 以降)

注記：

デバイスのサポート情報は、Gowin セミコンダクターの[ホームページ](#)で確認できます。

2.2 主な特徴

- 1、2、4、6、または 8 本のレーンをサポート
- 単一チャネルのレートは 1.188 ~ 4.752 Gbps
- ECC/CRC をサポート

2.3 リソース使用量

Gowin SLVS-EC RX IP は Verilog で実装されます。パフォーマンスとリソース使用量は、使用されているデバイスの密度、スピードグレードなどにより異なる場合があります。例えば、GW5AST シリーズ FPGA の場合、Gowin SLVS-EC RX IP のリソース使用量は表 2-2 に示すようになります。

表 2-2 Gowin SLVS-EC RX IP のリソース使用量

デバイス	GW5AST-138
Register	1297
LUT	3859

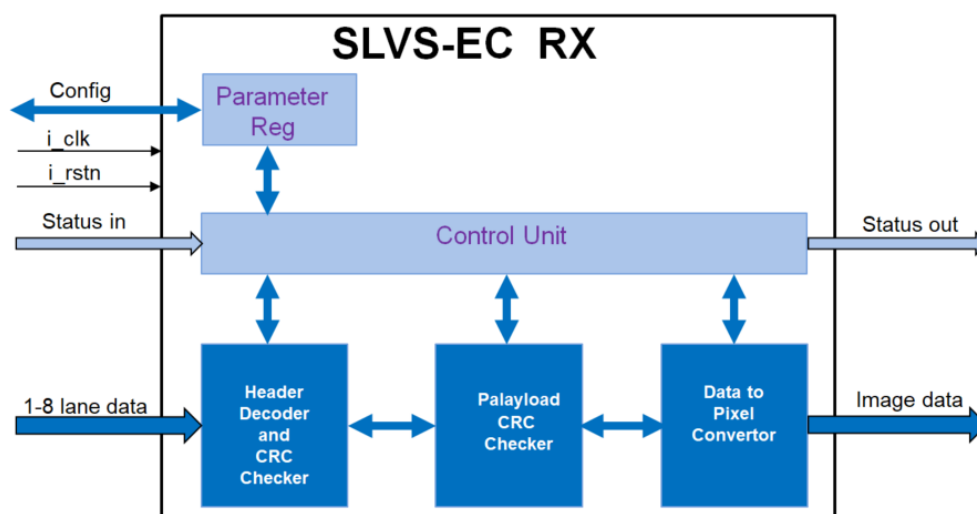
3 機能の説明

3.1 ブロック図

Gowin SLVS-EC RX IP の機能は、高速シリアル・データを DC タイミングに変換し、それを次のステージのモジュール VICAP(Video Capture) に渡すことです。

Gowin SLVS-EC RX IP のブロック図を図 3-1 に示します。

図 3-1 Gowin SLVS-EC RX IP のブロック図

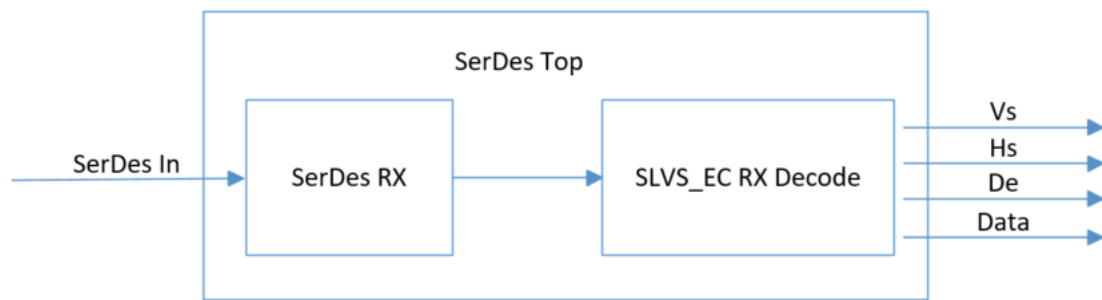


3.2 機能モジュール

3.2.1 内部構造

Gowin SLVS-EC RX IP の構造を図 3-2 に示します。

図 3-2 Gowin SLVS-EC RX IP の構造



上図に示したように、受信部は次の 2 つのモジュールで構成されています。

- **SerDes RX** : シリアル・データを受信し、パラレル化して出力します。
- **SLVS-EC RX Decode** : SerDes が提供するパラレル・データをデコードします。

3.2.2 SerDes のクロック

SerDes の送信クロックは **CPLL/QPLL** により生成されます。チャネルを構成する際、ユーザーはチャネルのレート、使用する **PLL (CPLL/QPLL)**、リファレンス・クロック・ソースとその周波数を設定する必要があります。上記の構成に従って、データ送信用の高速クロックが生成されます。また、**SerDes** は高速クロックをユーザーの構成に応じて分周して出力し、この分周後のクロックは **Fabric** の送信クロックとして使用できます。

SerDes の受信クロックは **CDR** によってデータから復元され、復元されたシリアル・データ・クロックは受信モジュールに使用されます。また、**SerDes** はシリアル・データ・クロックをユーザーの構成に応じて分周して出力し、この分周後のクロックは **Fabric** の受信クロックとして使用できます。

ユーザーがデータレートを **1.188Gbps**、**Bus Width** を **16** に構成した場合、パラレル・データの幅は **20** ビットであり、**Fabric** 受信クロックの周波数は $1.188\text{Gbps}/20=59.4\text{MHz}$ になります。

ユーザーがデータレートを **4.752Gbps**、**Bus Width** を **32** に構成した場合、パラレル・データの幅は **40** ビットであり、**Fabric** 受信クロックの周波数は $4.752\text{Gbps}/40=118.8\text{MHz}$ になります。

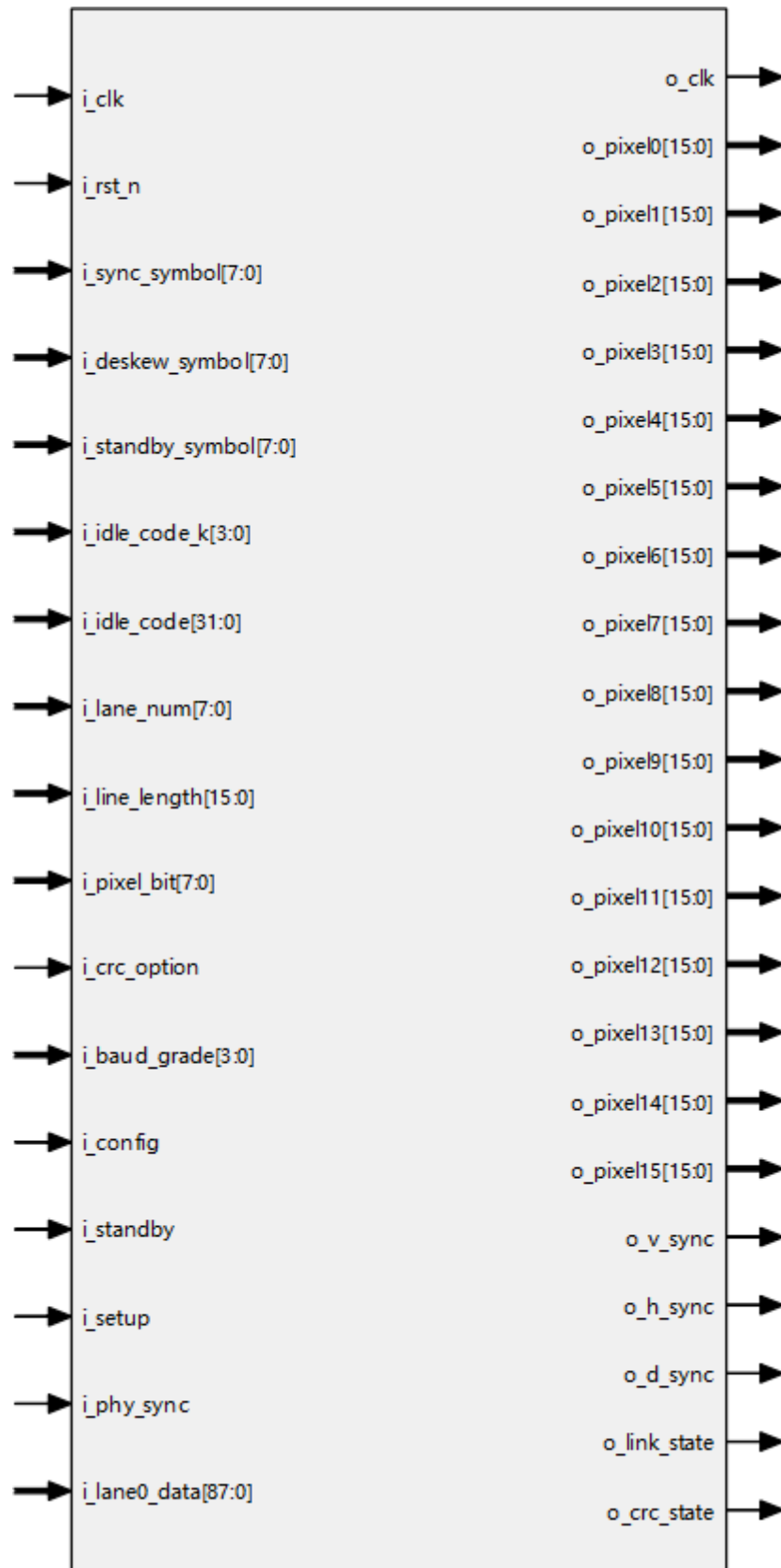
3.2.3 SerDes のデータ

Gowin SLVS-EC RX IP **SerDes** のパラレル・データの幅は **20** ビットまたは **40** ビットに固定されています。**SerDes** がデータを送信する際、**txdata** の下位ビット(**LSB**)が最初に送信されます。**SerDes** がデータを受信する際、**txdata** の下位ビット(**LSB**)が最初に受信されます。

3.3 ポート一覧

Gowin SLVS-EC RX IP の IO ポートを図 3-3 に示します。

図 3-3 Gowin SLVS-EC RX IP のポート図



ポートは、パラメータの構成によってわずかに異なります。

Gowin SLVS-EC RX IP の IO ポートの詳細を表 3-1 に示します。

表 3-1 Gowin SLVS-EC RX IP のポート一覧

信号名	方向	幅(ビット)	説明	備考
i_clk	入力	1	SerDes 受信クロック入力	- 入出力方向は、SLVS-EC RX IP を基準としています。 - sync code、deskew code、standby code、idle code の値は、接続されたイメージ・センサーの対応するレジスタ値と一致します。 - Bus Width が 16 に設定されている場合、o_pixel16～o_pixel31 は表示されません。 - o_pixel0～o_pixel31 の有効出力幅は、i_pixel_bit 入力値と同じです。
o_clk	出力	1	Fabric 受信クロック。ユーザーロジックに出力されるクロックで、i_clk と同等。	
i_rst_n	入力	1	リセット信号、アクティブ Low	
i_sync_symbol	入力	[7:0]	sync code の値	
i_deskew_symbol	入力	[7:0]	deskew code の値	
i_standby_symbol	入力	[7:0]	standby code の値	
i_idle_code_k	入力	[3:0]	idle_code K キャラクタ	
i_idle_code	入力	[31:0]	idle code の値	
i_lane_num	入力	[7:0]	使用するレーン数。1、2、4、6、8 をサポート	
i_line_length	入力	[15:0]	1 行の画像データの長さ	
i_pixel_bit	入力	[7:0]	ピクセルの幅。8、10、12、14、16 をサポート	
i_ecc_option	入力	[1:0]	ECC 機能の選択 0 : オフ 1 : オン (parity 2 byte) 2 : オン (parity 4 byte)	
i_crc_option	入力	1	CRC 機能の選択 0 : オフ 1 : オン	
i_baud_grade	入力	[3:0]	予備パラメータ。0 に固定	
i_config	入力	1	予備パラメータ。構成の設定用、1 に固定	
i_standby	入力	1	予備パラメータ。状態の設定用、0 に固定	
i_setup	入力	1	予備パラメータ。構成の設定用、1 に固定	
i_phy_sync	入力	1	予備パラメータ。PHY 同期信号、1 に固定	
i_lane0_data	入力	[87:0]	SerDes RX データ入力ポート 1	
i_lane1_data	入力	[87:0]	SerDes RX データ入力ポート 2	
i_lane2_data	入力	[87:0]	SerDes RX データ入力ポート 3	
i_lane3_data	入力	[87:0]	SerDes RX データ入力ポート 4	

信号名	方向	幅(ビット)	説明	備考
i_lane4_data	入力	[87:0]	SerDes RX データ入力ポート 5	
i_lane5_data	入力	[87:0]	SerDes RX データ入力ポート 6	
i_lane6_data	入力	[87:0]	SerDes RX データ入力ポート 7	
i_lane7_data	入力	[87:0]	SerDes RX データ入力ポート 8	
o_pixel0	出力	[15:0]	画像データ出力ポート 0	
o_pixel1	出力	[15:0]	画像データ出力ポート 1	
o_pixel2	出力	[15:0]	画像データ出力ポート 2	
o_pixel3	出力	[15:0]	画像データ出力ポート 3	
o_pixel4	出力	[15:0]	画像データ出力ポート 4	
o_pixel5	出力	[15:0]	画像データ出力ポート 5	
o_pixel6	出力	[15:0]	画像データ出力ポート 6	
o_pixel7	出力	[15:0]	画像データ出力ポート 7	
o_pixel8	出力	[15:0]	画像データ出力ポート 8	
o_pixel9	出力	[15:0]	画像データ出力ポート 9	
o_pixel10	出力	[15:0]	画像データ出力ポート 10	
o_pixel11	出力	[15:0]	画像データ出力ポート 11	
o_pixel12	出力	[15:0]	画像データ出力ポート 12	
o_pixel13	出力	[15:0]	画像データ出力ポート 13	
o_pixel14	出力	[15:0]	画像データ出力ポート 14	
o_pixel15	出力	[15:0]	画像データ出力ポート 15	
o_pixel16	出力	[15:0]	画像データ出力ポート 16	
o_pixel17	出力	[15:0]	画像データ出力ポート 17	
o_pixel18	出力	[15:0]	画像データ出力ポート 18	
o_pixel19	出力	[15:0]	画像データ出力ポート 19	
o_pixel20	出力	[15:0]	画像データ出力ポート 20	
o_pixel21	出力	[15:0]	画像データ出力ポート 21	
o_pixel22	出力	[15:0]	画像データ出力ポート 22	
o_pixel23	出力	[15:0]	画像データ出力ポート 23	
o_pixel24	出力	[15:0]	画像データ出力ポート 24	
o_pixel25	出力	[15:0]	画像データ出力ポート 25	
o_pixel26	出力	[15:0]	画像データ出力ポート 26	
o_pixel27	出力	[15:0]	画像データ出力ポート 27	
o_pixel28	出力	[15:0]	画像データ出力ポート 28	
o_pixel29	出力	[15:0]	画像データ出力ポート 29	
o_pixel30	出力	[15:0]	画像データ出力ポート 30	
o_pixel31	出力	[15:0]	画像データ出力ポート 31	

信号名	方向	幅(ビット)	説明	備考
o_v_sync	出力	1	画像データの VS 出力	
o_h_sync	出力	1	画像データの HS 出力	
o_d_sync	出力	1	画像データの DE 出力	
o_link_state	出力	1	動作状態の出力。立ち上がりエッジはデータ解析状態に入ったことを示します。	
o_crc_state	出力	1	CRC 状態の出力 0 : 正しい 1 : エラー	

3.4 パラメータの構成

表 3-2 Gowin SLVS-EC RX IP のパラメータ

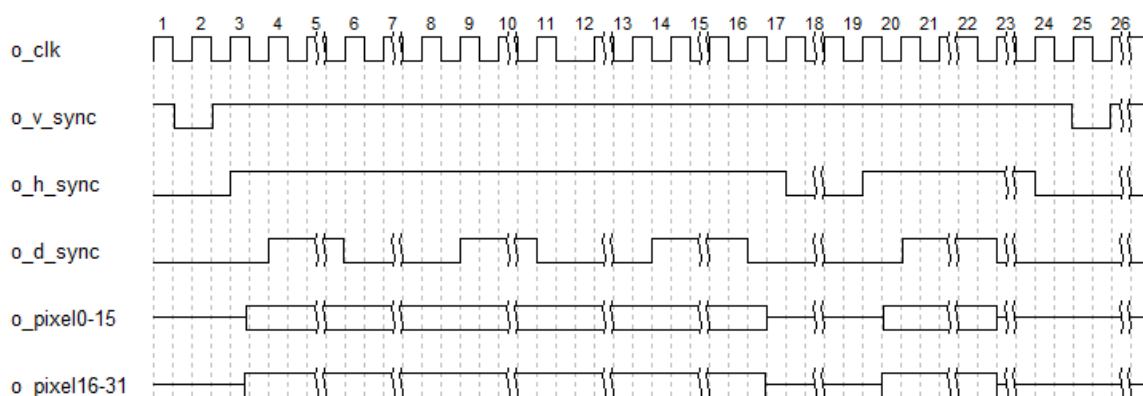
パラメータ名	範囲	デフォルト値	説明
Bus Width	16/32	32	SerDes 出力パラレル・データの幅。32 を推奨。
Err Correction	Q0/Q1	CRC	Err Correction の選択
Channel Selection	Q0 Lane0 Q0 Lane1 Q0 Lane2 Q0 Lane3 Q1 Lane0 Q1 Lane1 Q1 Lane2 Q1 Lane3	Q0 Lane0	SerDes レーンの選択
Loopback Mode	OFF LB_NES LB_FES LB_ENC	OFF	OFF : ループバックなし、通常の動作モード LB_NES : アナログ側の内部ループバック LB_FES : アナログ側の外部ループバック LB_ENC : デジタル側の内部ループバック
Line Rate	1.188 ~ 4.752Gbps	1.188	送信データレートの構成
Reference Clock Source	Q0 REFCLK0 Q0 REFCLK1 Q1 REFCLK0 Q1 REFCLK1	Q0 REFCLK0	リファレンス・クロック・ソースの選択
Reference Clock Frequency	50-500MHz	148.5	リファレンス・クロックの周波数の構成
PLL Selection	CPLL	CPLL	PLL の選択

パラメータ名	範囲	デフォルト値	説明
	QPLL0 QPLL1		

3.5 タイミングの説明

このセクションでは、Gowin SLVS-EC RX IP のタイミングについて説明します。Gowin SLVS-EC RX ビデオインターフェースの出力タイミングを図 3-4 に示します。

図 3-4 ビデオインターフェースのタイミング図



ユーザーは、上記のタイミング制御信号とデータポートを介して画像データを受信します。画像データは、**o_d_sync** が High の際に **o_clk** の立ち上がりエッジごとにポート **o_pixel0** ~ **o_pixel31** から出力されます。**o_d_sync** が High の期間、または 2 つの **o_d_sync** 間の Low の期間は固定ではありません。レーン数が増えるか、**i_pixel_bit** 入力値が増加すると、Gowin SLVS-EC RX に入力されるデータ量が増加するので、データレートに合わせるために、**o_d_sync** が High の期間は増加し、2 つの **o_d_sync** 間の Low の期間は減少します。Gowin SLVS-EC RX IP に入力されるデータ量が減少すると、逆の変化が発生します。

Bus Width が 16 に設定されている場合、**o_pixel16**~**o_pixel31** の出力は無効です。

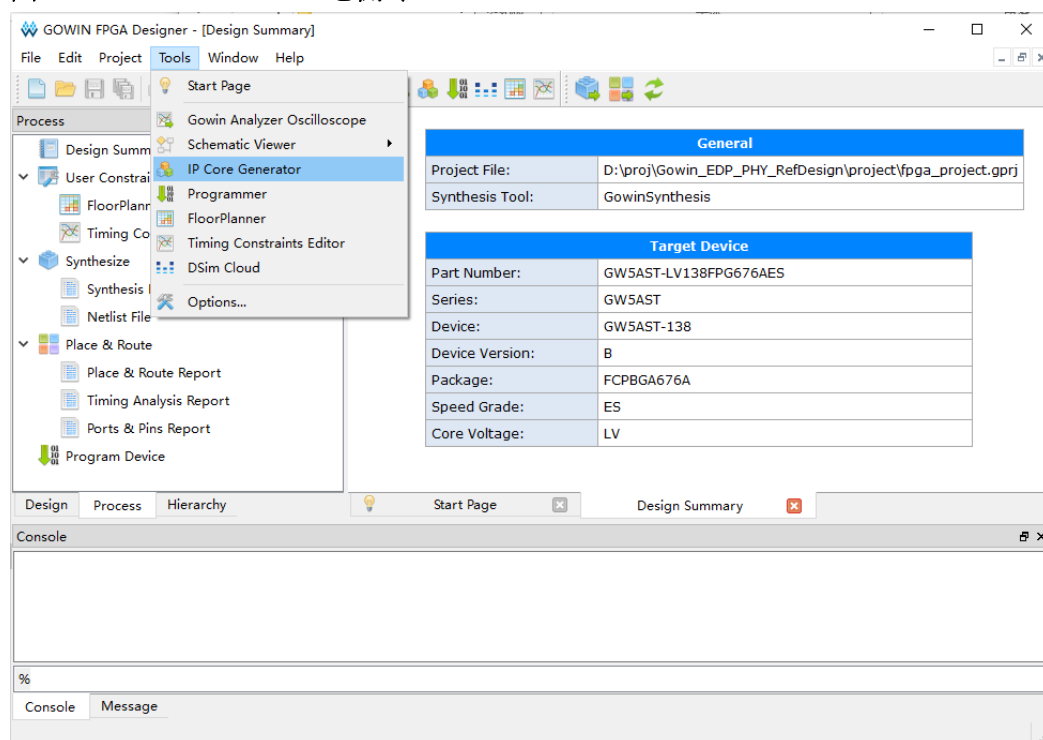
4GUIでの構成

Gowin ソフトウェアの **IP Core Generator** を使用して、SLVS-EC RX IP を呼び出し・構成することができます。

1. IP Core Generator を開く

プロジェクトが作成された後、**Tools > IP Core Generator** をクリックして、Gowin の IP コア生成ツールを開きます(図 4-1)。

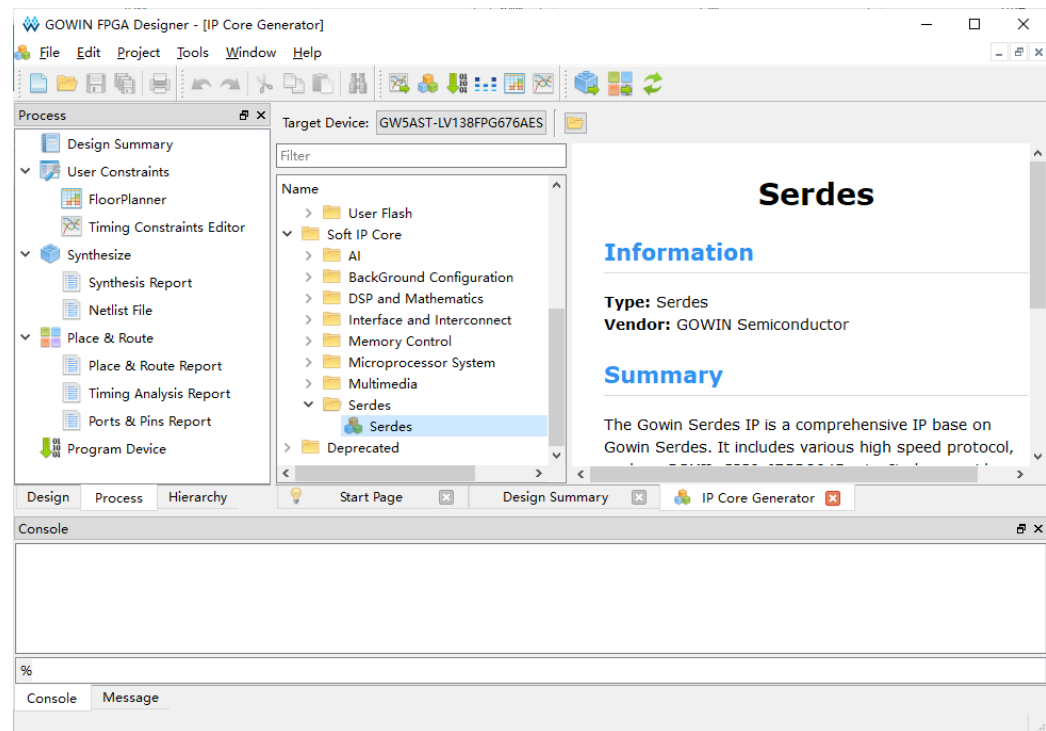
図 4-1 IP Core Generator を開く



2. SerDes IP の構成画面を開く

「Serdes」をダブルクリックします(図 4-2)。

図 4-2 Serdes IP の構成画面を開く



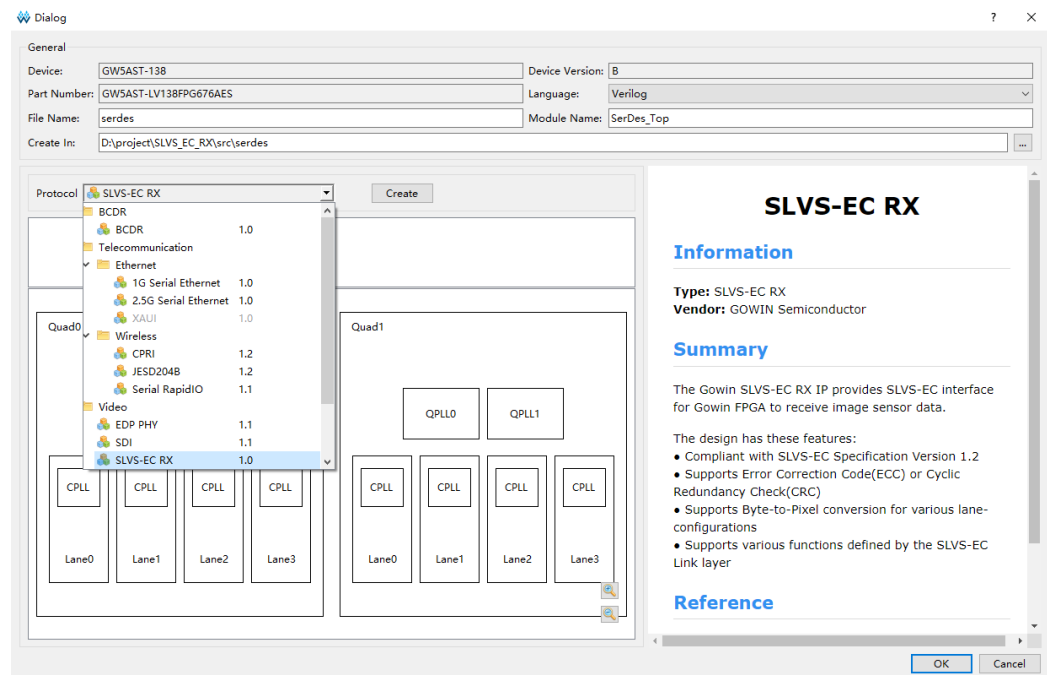
3. 「SLVS-EC RX」の構成画面を開く

Serdes IP の構成画面でまず「General」オプショングループを構成します：

- **Device、Device Version、Part Number** オプション：現在のプロジェクトで選択されているチップのモデルによって決定されます。
- **Language** オプション：Verilog(デフォルト)およびVHDL がサポートされます。
- **File Name、Module Name、Create In** オプション：Serdes のファイル名、モジュール名、および IP コアのフォルダのパスを設定するために使用されます。

SerDes IP の構成画面の「Protocol」リストから「SLVS-EC RX」を選択し、右側の「Create」ボタンをクリックします(図 4-3)。

図 4-3 SLVS-EC RX の構成画面を開く



4. SLVS-EC RX の構成画面

その構成画面を図 4-4 に示します。左側は、IP のポート図で、右側は、IP の構成可能なオプションです。

図 4-4 SLVS-EC RX の構成画面

SLVS-EC RX

General

Device: GW5AST-138 Device Version: B

Part Number: GW5AST-LV138FPG676AES Language: Verilog

File Name: slvs_ec_rx Module Name: SLVS_EC_RX_Top

Create In: .376G_32bit\Gowin_SLVS_EC_RX_RefDesign\project\src\serdes\slvs_ec_rx

Basic Configuration | PHY Configuration | Channel Bonding

Bus Width: 32

Lane Num: 1

Pixel Bit: 8

Line Length: 1920 (4-8192)

Err Correction: ☒ CRC 1 ☐ ECC 0

OK Cancel

IP の一般情報を構成します(図 4-5)。構成画面の上部は一般情報の構成エリアです。「Module Name」は、生成れる IP モジュールの名前です。この名前は変更できます。「File Name」は、生成される IP ファイルの名前です。この名前は変更できます。

図 4-5 一般情報の構成画面

General

Device: GW5AST-138 Device Version: B

Part Number: GW5AST-LV138FPG676AES Language: Verilog

File Name: slvs_ec_rx Module Name: SLVS_EC_RX_Top

Create In: D:\project\SLVS_EC_RX\src\serdes\slvs_ec_rx

PHY Configuration タブのオプションを構成します(図 4-6)。ラインレートとリファレンス・クロックの間に制限関係があるため、リファレンス・クロックが上記のラインレートを生成できるかどうかを確認してください。あるいは、「Calculate」ボタンをクリックして確認することができます。

図 4-6 PHY Configuration タブ

Basic Configuration PHY Configuration Channel Bonding

Channel Selection

SLVS_EC_LANE0: Q1 Lane3

SLVS_EC_LANE1: Q0 Lane1

SLVS_EC_LANE2: Q0 Lane2

SLVS_EC_LANE3: Q0 Lane3

SLVS_EC_LANE4: Q1 Lane0

SLVS_EC_LANE5: Q1 Lane1

SLVS_EC_LANE6: Q1 Lane2

SLVS_EC_LANE7: Q1 Lane3

RX Line Rate: 1.188 (Gbps)

Loopback Mode: OFF

Refclk Selection

Reference Clock Source: Q1 REFCLK1

Reference Clock Frequency: 148.5 (MHz)

PLL Selection

PLL Selection Q0: NONE

PLL Selection Q1: QPLL1

Calculate

Channel Bonding タブのオプションを構成します(図 4-7)。2 つ以上の Channel を使用する場合は、必ず Channel Bonding タブを設定してください。1 つの Channel を Master Channel として選択し、pattern とその数を選択します。

図 4-7 Channel Bonding タブ

Basic Configuration PHY Configuration Channel Bonding

RX Channel Bonding

Channel Bonding: Four Words

Master Channel Selection: Q1 Lane3

Pattern 0: BC Pattern 0 must be K Character

Pattern 1: FB ☒ K Character

Pattern 2: 5C ☒ K Character

Pattern 3: FB ☒ K Character

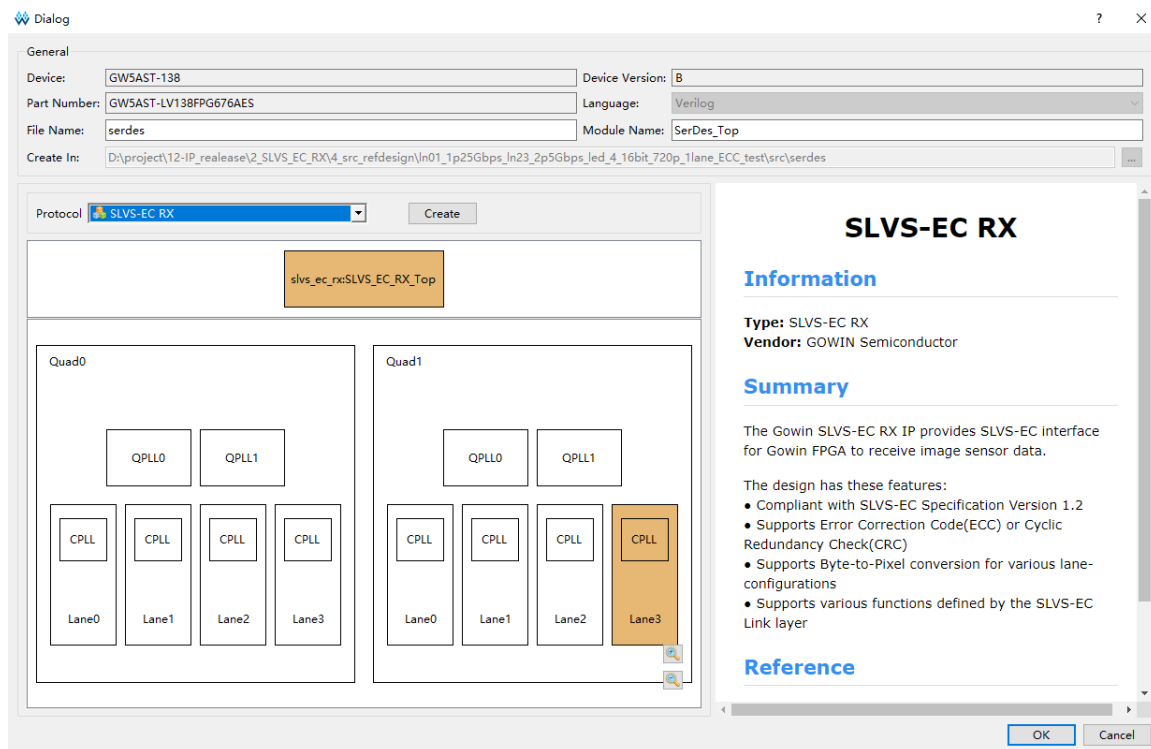
Max Skew: 8

Read Start Depth: 16

5. IP を生成

SLVS-EC RX IP の構成が完了したら、画面の右下隅にある「OK」ボタンをクリックして SLVS-EC RX IP 関連ファイルを生成します。この時 SerDes IP の構成画面には、生成された IP と、対応する Quad、PLL、および Lane の使用状況が表示されます(図 4-8)。

図 4-8 Serdes IP の構成画面における SLVS-EC RX IP



次に、画面の右下隅にある「OK」ボタンをクリックすると、SerDes IP 関連ファイルが生成され、これで IP の生成が完了します。

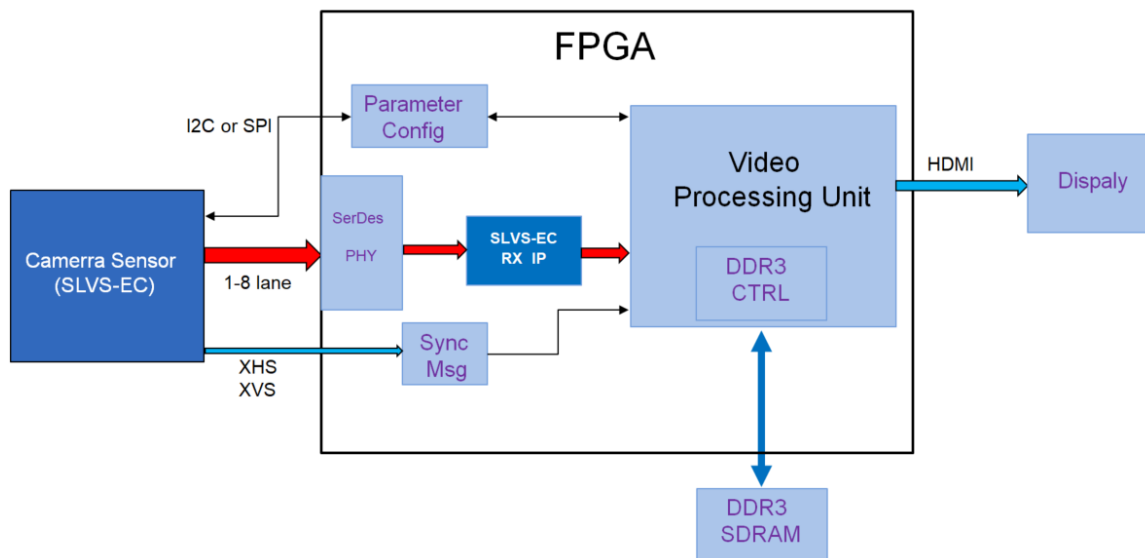
5 リファレンス・デザイン

このセクションでは、主に **SLVS-EC RX IP** のリファレンス・デザイン例の構成とその使用方法について説明します。詳細については、GOWIN のホームページにおける [SLVS-EC RX IP リファレンス・デザイン](#) を参照してください。

- 本リファレンス・デザインでは、次の開発ボードが使用されています：
EVAL_DDR3-PSRAM-SLVS_GW5AT-LV138FPG676_V1.0
- SLVS_EC_IMX421_DaughterCard

リファレンス・デザインの基本構造を図 5-1 に示します。

図 5-1 リファレンス・デザインの基本構造



リファレンス・デザインでは、TX と RX が個別に検証されます。Camera Sensor モジュールが生成した SLVS-EC プロトコルのビデオ信号は、SerDes PHY を通して IP に入力され、データの解析・処理後、Video Processing Unit へ送られます。次に、信号はフレームバッファリングのために DDR メモリで処理され、HDMI デバイスに出力され、最後にディスプレイに出力されます。Parameter Config は、SPI インターフェースを介して Camera Sensor レジスタのパラメータを設定します。Camera Sensor

はマスター・モードで動作し、XHS および XVS 信号を出力します。

6 提供されるファイル

提供されるファイルには主に、ドキュメント、デザインのソースコード、およびリファレンス・デザインが含まれています。

6.1 ドキュメント

表 6-1 ドキュメント一覧

名称	説明
Gowin SLVS-EC RX IP ユーザーガイド (IPUG1176)	即ち、本マニュアル

6.2 デザインのソースコード(暗号化)

暗号化コードのフォルダには、GUI で使用される、SLVS-EC RX IP の RTL 暗号化コードが含まれています。

表 6-2 Gowin SLVS-EC RX IP のファイル一覧

名称	説明
slvs_ec_rx.v	SLVS-EC RX IP ファイル(暗号化)
serdes.v	すべての SerDes 関連 IP のトップレベル・ファイル。ユーザーにインターフェース情報を提供します。

6.3 リファレンス・デザイン

Gowin SLVS-EC RX RefDesign フォルダには、主に Gowin SLVS-EC RX IP のネットリスト・ファイル、リファレンス・デザイン、制約ファイル、トップレベル・ファイル、およびプロジェクト・フォルダなどが含まれています。

表 6-3 Gowin SLVS-EC RX RefDesign フォルダのコンテンツ一覧

名称	説明
xxx_top.v	リファレンス・デザインのトップ・モジュール
xxx.cst	物理制約ファイル
xxx.sdc	タイミング制約ファイル
serdes	SLVS-EC RX IP フォルダ

名称	説明
i2c_master.v	i2c_master フォルダ(暗号化)
gowin_pll.v	gowin_pll フォルダ

