



Gowin MIPI Byte-to-Pixel Converter IP

ユーザーガイド

IPUG1039-1.1J, 2025-05-09

著作権について(2025)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

 **GOWIN** 及び **Gowin** は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI取引条件) に規定されている内容を除き、(明示的か又は黙示的に拘わらず) いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2023/09/28	1.0J	初版。
2025/05/09	1.1J	● o_dt_err、o_wc_err、o_align_errポートの説明を追加。 ● 「1.2 関連ドキュメント」を更新。

目次

目次	iv
図一覧	v
表一覧	vi
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	1
1.3 用語と略語	3
1.4 テクニカル・サポートとフィードバック	3
2 製品の概要	4
2.1 製品の概要	4
2.2 主な特徴	4
2.3 リソース使用量	6
3 機能の説明	7
3.1 ポート図	7
3.2 ポートの説明	8
3.3 タイミングの説明	10
3.4 データ・タイプ	11
3.5 ピクセルの構成	12
3.6 ピクセル数とバイト数	13
3.7 クロックの計算	15
3.8 構成パラメータ	15
4 GUI での構成	17

図一覧

図 3-1 Gowin MIPI Byte-to-Pixel Converter IP のポート図	7
図 3-2 CSI-2 モードでの入力タイミングと出力タイミング	10
図 3-3 DSI Non-burst mode with Sync Pulse での入力タイミングと出力タイミング	10
図 3-4 Burst Mode での入力タイミングと出力タイミング	11
図 4-1 IP Core Generator の画面	17
図 4-2 MIPI Byte-to-Pixel Converter IP の構成画面	18
図 4-3 MIPI Byte-to-Pixel Converter IP のインスタンス化	18

表一覧

表 1-1 用語と略語	3
表 2-1 Gowin MIPI Byte-to-Pixel Converter IP の概要	4
表 2-2 Gowin MIPI Byte-to-Pixel Converter IP のリソース使用量	6
表 3-1 Gowin MIPI Byte-to-Pixel Converter IP のポート一覧	8
表 3-2 DSI のデータ・タイプ	12
表 3-3 CSI-2 のデータ・タイプ	12
表 3-4 ピクセルの構成	12
表 3-5 ピクセル数とバイト数の制限	14
表 3-6 Gowin MIPI Byte-to-Pixel Converter IP のパラメータ	15

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、ユーザーが GOWIN セミコンダクターの Gowin® MIPI Byte-to-Pixel Converter IP を使いこなせるよう、その機能、GUI の呼び出し・構成などについて説明します。

1.2 関連ドキュメント

1. GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：
 - Gowin MIPI D-PHY RX TX Advance IP ユーザーガイド([IPUG948](#))
 - GW1N シリーズ FPGA 製品データシート([DS100](#))
 - GW2A シリーズ FPGA 製品データシート([DS102](#))
 - GW2AR シリーズ FPGA 製品データシート([DS226](#))
 - GW2ANR シリーズ FPGA 製品データシート([DS961](#))
 - GW2AN-55 FPGA 製品データシート([DS976](#))
 - GW5AT シリーズ FPGA 製品データシート([DS981](#))
 - GW5A シリーズ FPGA 製品データシート([DS1103](#))
 - GW5AST シリーズ FPGA 製品データシート([DS1239](#))
 - GW5AS シリーズ FPGA 製品データシート([DS1105](#))
 - GW5AR シリーズ FPGA 製品データシート([DS1108](#))
 - GW5ART シリーズ FPGA 製品データシート([DS1118](#))

- Gowin ソフトウェア ユーザーガイド([SUG100](#))
- 2. MIPI Alliance Specification for D-PHY, Version 1.1 November 7, 2011, www.mipi.org
- 3. MIPI Alliance Specification for Display Serial Interface, Version 1.1 November 22, 2011, www.mipi.org
- 4. MIPI Alliance Specification for Camera Serial Interface 2 (CSI-2), Version 1.1, July 18, 2012, www.mipi.org

1.3 用語と略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語と略語

用語と略語	正式名称	意味
CSI	Camera Serial Interface	カメラ・シリアル・インターフェース
CSPS	Chroma Sample Pixel Shifted	クロマシフトされたピクセルサンプリング
DE	Data Enable	データイネーブル
DSI	Display Serial Interface	ディスプレイ・シリアル・インターフェース
HS	Horizontal Synchronization	水平同期(ライン同期)
IP	Intellectual Property	設計資産
LUT	Look-up Tables	ルックアップテーブル
MIPI	Mobile Industry Processor Interface	モバイル産業用プロセッサ・インターフェース
SSRAM	Shadow SRAM	分散SRAM
VS	Vertical Synchronization	垂直同期(フレーム同期)

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 製品の概要

2.1 製品の概要

Gowin MIPI Byte-to-Pixel Converter IP は、MIPI DSI/CSI-2 RX IP によって出力される 1～4 レーンの並列ペイロード・データをピクセル (Pixel)形式のデータに変換するために使用されます。また、この IP は、パケット・ヘッダー(Packet Header)に基づいて、対応するビデオ同期信号 (VS、HS、DE など) を生成することができます。

表 2-1 Gowin MIPI Byte-to-Pixel Converter IP の概要

Gowin MIPI Byte-to-Pixel Converter IP	
ロジックリソース	表2-2参照。
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンス・デザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis®
統合開発環境	Gowin ソフトウェア (V1.9.9.Beta-3以降)

注記：
デバイスのサポート情報は、Gowin セミコンダクターの[ホームページ](#)で確認できます。

2.2 主な特徴

- MIPI DSI V1.1 および MIPI CSI-2 V1.1 規格に準拠
- 1～4 のデータレーンによる入力をサポート
- 1:8 または 1:16 モードの MIPI D-PHY RX をサポート
- ピクセルクロックごとに 1 または 2 ピクセルを出力することをサポート

ト(一部の形式では 4 ピクセルの出力をサポート)

- MIPI DSI 規格で定義されている 3 種類のビデオ・モードをサポート
 - Non-Burst Mode with Sync. Pulses
 - Non-Burst Mode with Sync. Events
 - Burst Mode
- MIPI DSI 仕様で指定されている次のビデオ形式をサポート
 - RGB-888
 - RGB-666
 - RGB-666, loosely packed
 - RGB-565
 - YCbCr-422_24-bit
 - YCbCr-422_16-bit
 - YCbCr-422_20-bit, loosely packed
 - RGB_30-bit
 - RGB_36-bit
- MIPI CSI-2 仕様で指定されている次のビデオ形式をサポート
 - RGB-888
 - RGB-666
 - RGB-565
 - RAW-8
 - RAW-10
 - RAW-12
 - RAW-14
 - YUV420 8-bit
 - YUV420 8-bit, CSPS
 - YUV420 10-bit
 - YUV420 10-bit, CSPS
 - YUV422 8-bit
 - YUV422 10-bit

2.3 リソース使用量

例えば、GW2A-18 デバイスの場合、Gowin MIPI Byte-to-Pixel Converter IP のリソース使用量は表 2-2 に示すようになります。リソース使用量は、使用されているデバイスの密度やスピードグレードなどにより異なる場合があります。

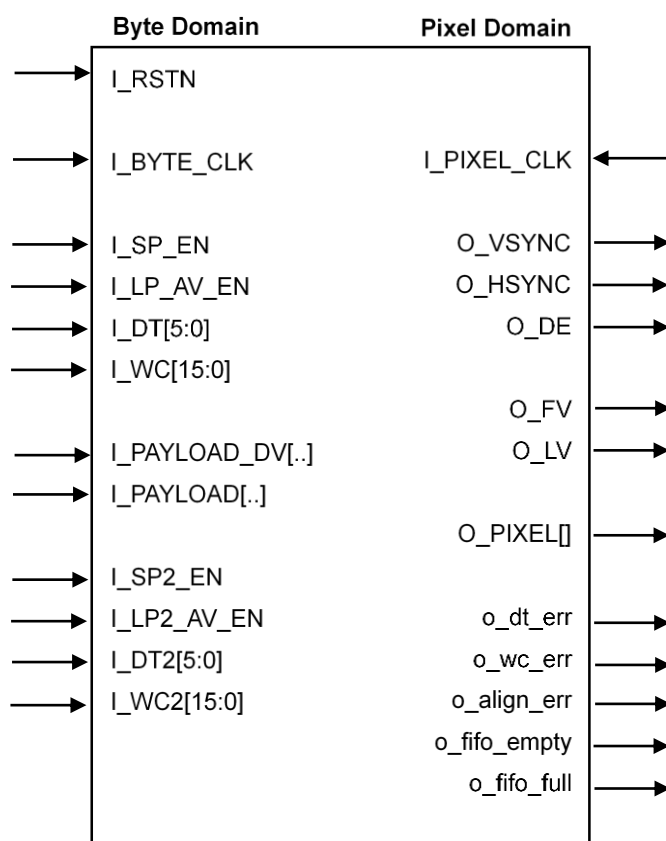
表 2-2 Gowin MIPI Byte-to-Pixel Converter IP のリソース使用量

パラメータの構成	リソース使用量		
	LUT	REG	SSRAM
1:8, 1-Lane, DSI RGB888, 1-Pixel Output	223	300	7
1:8, 2-Lane, DSI RGB888, 1-Pixel Output	281	328	7
1:8, 3-Lane, DSI RGB888, 1-Pixel Output	248	334	7
1:8, 4-Lane, DSI RGB888, 1-Pixel Output	383	485	13
1:8, 4-Lane, DSI RGB888, 2-Pixel Output	353	501	13
1:16, 1-Lane, DSI RGB888, 1-Pixel Output	281	328	7
1:16, 2-Lane, DSI RGB888, 1-Pixel Output	383	485	13
1:16, 3-Lane, DSI RGB888, 1-Pixel Output	361	502	13
1:16, 4-Lane, DSI RGB888, 1-Pixel Output	649	688	19
1:16, 4-Lane, DSI RGB888, 2-Pixel Output	543	805	25
1:8, 4-Lane, DSI 36-bit RGB, 1-Pixel Output	452	593	19
1:16, 4-Lane, DSI 36-bit RGB, 1-Pixel Output	635	698	19
1:8, 4-Lane, CSI-2 RAW10, 2-Pixel Output	362	445	11
1:16, 4-Lane, CSI-2 RAW10, 2-Pixel Output	658	712	21
1:8, 4-Lane, CSI-2 RAW12, 2-Pixel Output	391	481	13
1:16, 4-Lane, CSI-2 RAW12, 2-Pixel Output	637	684	19
1:8, 4-Lane, CSI-2 RAW14, 2-Pixel Output	397	517	15
1:16, 4-Lane, CSI-2 RAW14, 2-Pixel Output	803	848	29

3 機能の説明

3.1 ポート図

図 3-1 Gowin MIPI Byte-to-Pixel Converter IP のポート図



Gowin MIPI Byte-to-Pixel Converter IP の基本機能は、MIPI DSI または CSI-2 ビデオのペイロード・データを標準ピクセル形式のデータに変換し、同期ショート・パケットからビデオ同期信号を復元することです。IP の入力ポートには、Gowin MIPI DSI/CSI-2 RX IP が D-PHY のバイト・データから解析・分離した制御信号 (パケット・ヘッダー、Packet

Header) とペイロード・データが含まれています。3 レーンまたは4 レーンの1:16 モードでは、2 セットの制御信号が1 クロックサイクルで同時に受信および解析される可能性があるため、入力ポートには2 セット目の制御信号が含まれます。

3.2 ポートの説明

表 3-1 Gowin MIPI Byte-to-Pixel Converter IP のポート一覧

信号	方向	説明
クロックとリセット		
I_RSTN	入力	非同期リセット信号、アクティブLow
I_BYTE_CLK	入力	入力側のバイト・ドメイン・クロック
I_PIXEL_CLK	入力	出力側のピクセル・ドメイン・クロック
I_BYTE_CLKドメインにおける入力信号		
I_SP_EN	入力	ショート・パケット有効フラグ。Highパルスで有効
I_LP_AV_EN	入力	ロング・パケット有効フラグ。Highパルスで有効
I_DT[5:0]	入力	パケット・ヘッダー(Packet Header)におけるデータ・タイプ (Data Type)
I_WC[15:0]	入力	パケット・ヘッダー(Packet Header)におけるペイロード・データのバイト数 (Word Count)
I_PAYLOAD[..]	入力	ペイロード・データ。その幅はD-PHYのレーン数およびモード (1:8/1:16) によって異なります。
		レーン数 モード 幅
		1 1:8 8
		2 1:8 16
		3 1:8 24
		4 1:8 32
		1 1:16 16
		2 1:16 32
		3 1:16 48
		4 1:16 64
I_PAYLOAD_DV[..]	入力	ペイロード・データのバイト有効フラグ、アクティブHigh。I_PAYLOAD[..]の8ビットごとがI_PAYLOAD_DV[..]の1ビットに対応します。
I_SP2_EN	入力	1:16, 3-Lane/4-Laneの場合における2セット目のショート・パケット有効フラグ。Highパルスで有効
I_LP2_AV_EN	入力	1:16, 3-Lane/4-Laneの場合における2セット目のロング・パケット有効フラグ。Highパルスで有効

信号	方向	説明
I_DT2[5:0]	入力	1:16, 3-Lane/4-Laneの場合における2セット目のパケット・ヘッダー(Packet Header)におけるデータ・タイプ (Data Type)
I_WC2[15:0]	入力	1:16, 3-Lane/4-Laneの場合における2セット目のパケット・ヘッダー(Packet Header)におけるペイロード・データのバイト数 (Word Count)
I_PIXEL_CLKドメインにおける出力信号		
O_VSYNC ^[1]	出力	DSI規格での垂直同期信号、アクティブHigh。
O_HSYNC ^[1]	出力	DSI規格での水平同期信号、アクティブHigh。
O_DE ^[1]	出力	DSI規格でのデータイネーブル信号、アクティブHigh。
O_FV ^[2]	出力	CSI-2規格でのフレーム有効信号、アクティブHigh。
O_LV ^[2]	出力	CSI-2規格でのライン有効信号(データイネーブル)、アクティブHigh。
O_PIXEL[]	出力	ピクセル・データ出力。可能な幅は次のとおりです。 8 (8-bit pixel), 10 (10-bit pixel), 12 (12-bit pixel), 16 (16-bit pixel / 8-bit pixel x2), 18 (18-bit pixel), 20 (10-bit pixel x2), 24 (24-bit pixel / 12-bit pixel x2), 28 (14-bit pixel x2), 30 (30-bit pixel), 32 (16-bit pixel x2), 36 (36-bit pixel / 18-bit pixel x2) 48 (24-bit pixel x2), 72 (36-bit pixel x2) 等。 これは構成に依存し、上記の値に限定されていません。
その他のテスト信号(次のポートは"Enable Debug Signals"がチェックされた後に存在します)		
o_dt_err	出力	Data Type不一致フラグ、アクティブHigh(I_BYTE_CLKドメイン)。IP生成時に指定されたData Typeが、入力されるI_DT/I_DT2と一致しません。
o_wc_err	出力	Word Count不一致フラグ、アクティブ

信号	方向	説明
		High(I_BYTE_CLKドメイン)。I_PAYLOAD_DV[...]に基づいて計算されたWord Countは、入力されるI_WC / I_WC2と一致しません。
o_align_err	出力	ピクセルずれフラグ、アクティブHigh(I_BYTE_CLKドメイン)、詳細については、 3.6 ピクセル数とバイト数を参照してください。
o_fifo_full	出力	内部バッファのFull信号、アクティブHigh(I_BYTE_CLKドメイン)。
o_fifo_empty	出力	内部バッファのEmpty信号、アクティブHigh(I_PIXEL_CLKドメイン)

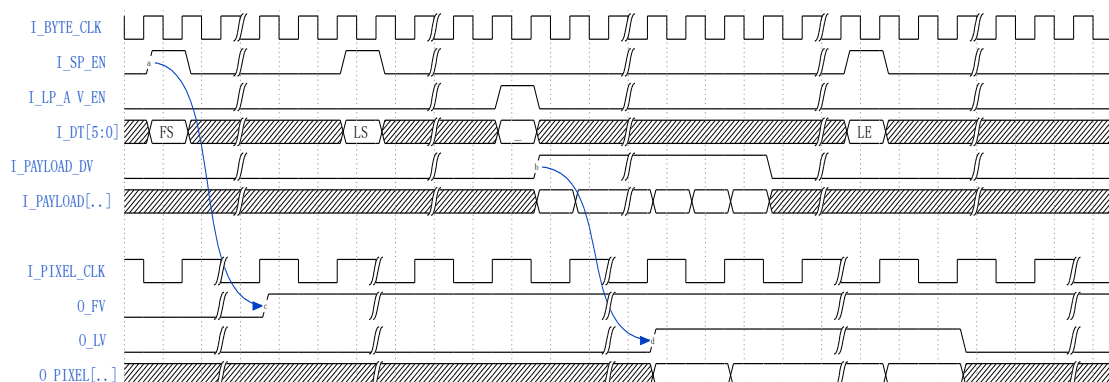
注記：

[1] MIPI Interface Type が DSI の場合に存在します。

[2] MIPI Interface Type が CSI-2 の場合に存在します。

3.3 タイミングの説明

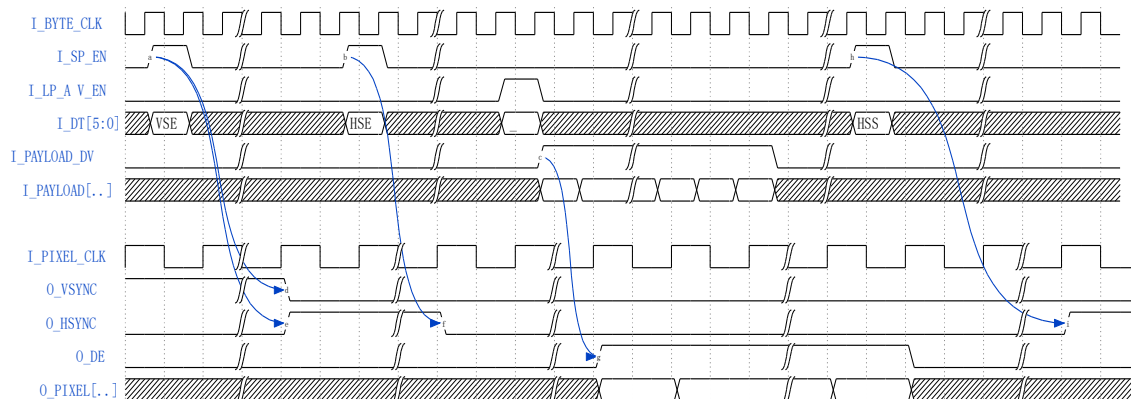
図 3-2 CSI-2 モードでの入力タイミングと出力タイミング



注記：

FS: Frame Start, LS: Line Start, LE: Line End。

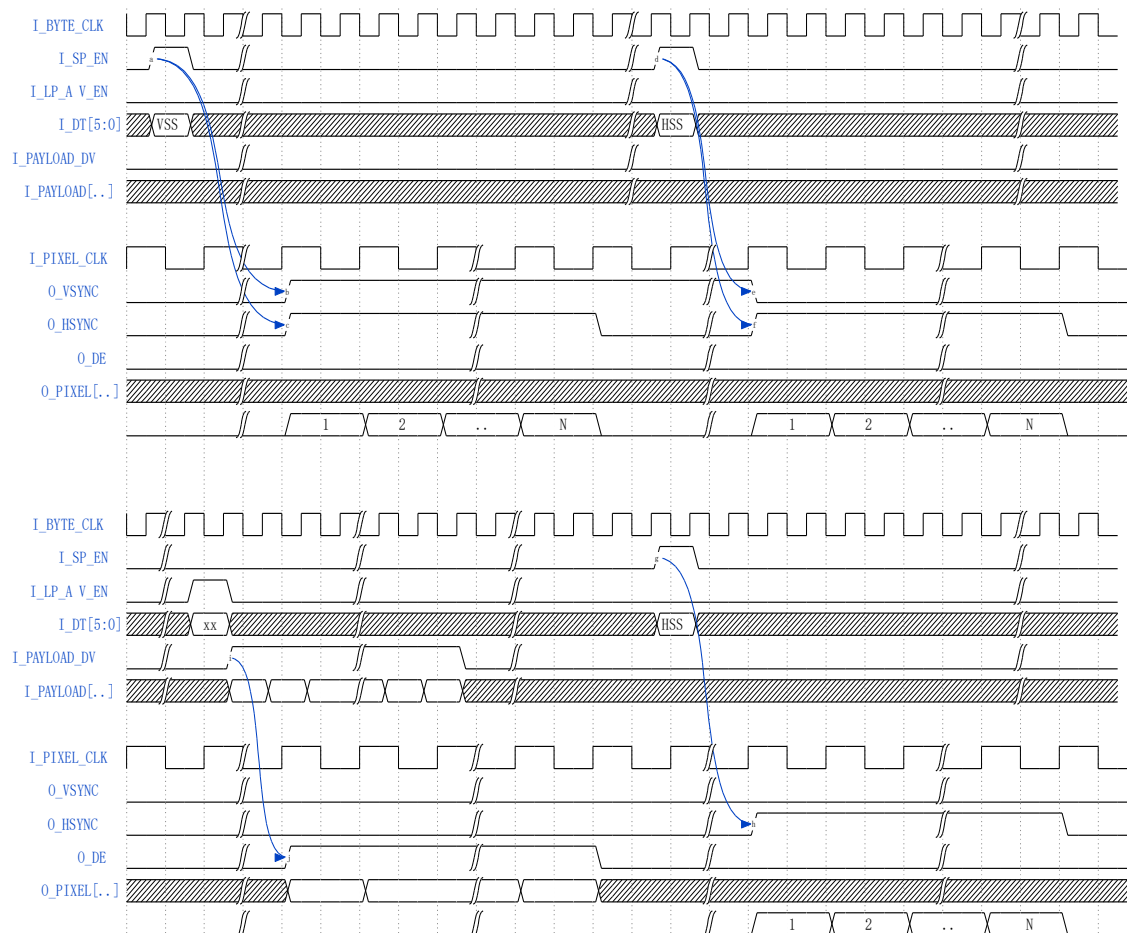
図 3-3 DSI Non-burst mode with Sync Pulse での入力タイミングと出力タイミング



注記：

VSE: VSYNC End, HSE: HSYNC End, HSS: HSYNC Start。

図 3-4 Burst Mode での入力タイミングと出力タイミング



注記：

VSS: VSYNC Start, HSS: HSYNC Start。

Non-burst Mode with Sync Events でのタイミングは、Burst Mode と類似しています。

3.4 データ・タイプ

表 3-2 および表 3-3 は、Gowin MIPI Byte-to-Pixel Converter IP でサポートされるデータ・タイプと、対応するピクセルごとのビット数(データ幅)を示します。ここでのピクセルごとのデータ幅は、MIPI DSI 仕様および MIPI CSI-2 仕様の定義に従います。MIPI DSI 仕様の YCbCr 形式と MIPI CSI-2 仕様の YUV 形式ではピクセルごとのデータ幅の定義が異なることに注意してください。

表 3-2 DSI のデータ・タイプ

データ・タイプ (Data Type)	ピクセル形式	ピクセルごとのデータ幅
0x3E	RGB-888	24
0x2E	RGB-666, Loosely packed	24
0x1E	RGB-666	18
0x0E	RGB-565	16
0x2C	YCbCr-422_16bit	16
0x0C	YCbCr-422_20bit, Loosely packed	24
0x1C	YCbCr-422_24bit	24
0x1D	RGB_36bit	36
0x0D	RGB_30bit	30

表 3-3 CSI-2 のデータ・タイプ

データ・タイプ (Data Type)	ピクセル形式	ピクセルごとのデータ幅
0x24	RGB-888	24
0x23	RGB-666	18
0x22	RGB-565	16
0x2A	RAW-8	8
0x2B	RAW-10	10
0x2C	RAW-12	12
0x2D	RAW-14	14
0x18	YUV-420_8bit	8
0x19	YUV-420_10bit	10
0x1A	YUV-420_8bit, Legacy	8
0x1C	YUV-420_8bit, CSPS	8
0x1D	YUV-420_10bit, CSPS	10
0x1E	YUV-422_8bit	8
0x1F	YUV-422_10bit	10

3.5 ピクセルの構成

表 3-4 ピクセルの構成

ピクセル形式	ピクセルの構成		
DSI/CSI-2 RGB-888	O_PIXEL[23:15]	O_PIXEL[16:8]	O_PIXEL[7:0]
	B	G	R

ピクセル形式	ピクセルの構成					
DSI/CSI-2 RGB-666	O_PIXEL[17:12]		O_PIXEL[11:6]		O_PIXEL[5:0]	
	B		G		R	
DSI/CSI-2 RGB-565	O_PIXEL[15:11]		O_PIXEL[10:5]		O_PIXEL[4:0]	
	B		G		R	
DSI YCbCr-422_24bit	O_PIXEL[23:12]			O_PIXEL[11:0]		
	Y			Cb		
	Y			Cr		
DSI YCbCr-422_16bit	O_PIXEL[16:8]			O_PIXEL[7:0]		
	Y			Cb		
	Y			Cr		
DSI RGB_36bit	O_PIXEL[35:24]		O_PIXEL[23:12]		O_PIXEL[11:0]	
	B		G		R	
DSI RGB_30bit	O_PIXEL[29:20]		O_PIXEL[19:10]		O_PIXEL[9:0]	
	B		G		R	
CSI-2 YUV-422_8bit/ CSI-2 YUV-422_10bit	O_PIXEL[..] _{4n}	O_PIXEL[..] _{4n+1}		O_PIXEL[..] _{4n+2}		O_PIXEL[..] _{4n+3}
	U	Y		V		Y
CSI-2 YUV-420_8bit/ CSI-2 YUV-420_10bit	偶数行					
	O_PIXEL[..] _{4n}	O_PIXEL[..] _{4n+1}		O_PIXEL[..] _{4n+2}		O_PIXEL[..] _{4n+3}
	U	Y		V		Y
	奇数行					
	O_PIXEL[..] _{4n}	O_PIXEL[..] _{4n+1}		O_PIXEL[..] _{4n+2}		O_PIXEL[..] _{4n+3}
	Y	Y		Y		Y
CSI-2 YUV-420_8bit, Legacy	偶数行					
	O_PIXEL[..] _{4n}	O_PIXEL[..] _{4n+1}		O_PIXEL[..] _{4n+2}		O_PIXEL[..] _{4n+3}
	V	Y		V		Y
	奇数行					
	O_PIXEL[..] _{4n}	O_PIXEL[..] _{4n+1}		O_PIXEL[..] _{4n+2}		O_PIXEL[..] _{4n+3}
	U	Y		U		Y

3.6 ピクセル数とバイト数

MIPI D-PHY 規格では、データ長はバイト単位であり、出力されるピクセル形式データの幅は必ずしも 8 ビット(1 バイト)の整数倍であるとは限りません。したがって、ピクセル・データを MIPI DSI/CSI-2 データ・

パケットから正しく分離できるようにするには、各行のピクセル数を制限する必要があります。

たとえば、DSI の RGB-666 形式の場合、各行のピクセル数は 4 の倍数でなければなりません。これにより、4 ピクセルごとが 9 バイトを占めるため、行全体のバイト数が 9 バイトの倍数であるようになります。

表 3-5 に、サポートされているピクセル形式と、それに対応する行あたりのピクセル数とバイト数の要件を示します。ここでのピクセル数は、3.4 データ・タイプにおけるピクセルごとのデータ幅に従って計算されたものであり、実際のピクセル数ではありません。

表 3-5 ピクセル数とバイト数の制限

ピクセル形式	ピクセル数	バイト数
DSI/CSI-2 RGB-888	1の倍数	3の倍数
DSI/CSI-2 RGB-666	4の倍数	9の倍数
DSI RGB-666, Loosely packed	1の倍数	3の倍数
DSI/CSI-2 RGB-565	1の倍数	2の倍数
DSI YCbCr-422_16bit	2の倍数	4の倍数
DSI YCbCr-422_20bit, Loosely packed	2の倍数	6の倍数
DSI YCbCr-422_24bit	2の倍数	6の倍数
DSI RGB_36-bit	4の倍数	18の倍数
DSI RGB_30-bit	4の倍数	15の倍数
CSI-2 RAW-8	1の倍数	1の倍数
CSI-2 RAW-10	4の倍数	5の倍数
CSI-2 RAW-12	4の倍数	6の倍数
CSI-2 RAW-14	4の倍数	7の倍数
CSI-2 YUV-420_8bit (奇数行)	2の倍数	2の倍数
CSI-2 YUV-420_8bit (偶数行)	4の倍数	4の倍数
CSI-2 YUV-422_8bit	4の倍数	4の倍数
CSI-2 YUV-420_10bit (奇数行)	4の倍数	5の倍数
CSI-2 YUV-420_10bit (偶数行)	8の倍数	10の倍数
CSI-2 YUV-422_10bit	4の倍数	5の倍数

なお、1 クロックごとに 2 ピクセルを出力するように構成されている場合、各行のピクセル数は 2 の倍数でなければならず、1 クロックごとに 4 ピクセルを出力するように構成されている場合、各行のピクセル数は 4 の倍数でなければなりません。

3.7 クロックの計算

Gowin MIPI Byte-to-Pixel Converter IP には、クロック **I_BYTE_CLK** による入力側のバイト・クロック・ドメインと、クロック信号 **I_PIXEL_CLK** による出力側のピクセル・クロック・ドメインという、2つの非同期クロック・ドメインが含まれます。この2つのクロック・ドメインは **FIFO** によって相互に分離されています。デザインの **FIFO** のデータ幅は、入力信号 **I_PAYLOAD** の幅以上、出力信号 **O_PIXEL** の幅以上であり、**FIFO** の深さはクロック・ドメイン・クロッシングにのみ十分です。出力されるピクセルが連続的でエラーがないことを保証するには、**I_BYTE_CLK** と **I_PIXEL_CLK** が次の関係を満たす必要があります。

$$\frac{f_{I_BYTE_CLK}}{f_{I_PIXEL_CLK}} = \frac{\text{ピクセルごとのデータ幅} \times \text{クロックごとのピクセル数}}{D\text{-PHY レーン数} \times \text{RX データ幅}}$$

ここで、1:8 RX D-PHY モードでの RX データの幅は 8 ビットで、1:16 RX D-PHY モードでの RX データの幅は 16 ビットです。

例：

DSI、RGB-888、4-Lane、1:16、1 クロックごとに 1 ピクセルの場合
は、次の条件を満たす必要があります。

$$\frac{f_{I_BYTE_CLK}}{f_{I_PIXEL_CLK}} = \frac{24 \times 1}{4 \times 16} = \frac{3}{8}$$

CSI-2、RAW-14、2-Lane、1:8、1 クロックごとに 2 ピクセルの場合
は、次の条件を満たす必要があります。

$$\frac{f_{I_BYTE_CLK}}{f_{I_PIXEL_CLK}} = \frac{14 \times 2}{2 \times 8} = \frac{7}{4}$$

3.8 構成パラメータ

表 3-6 Gowin MIPI Byte-to-Pixel Converter IP のパラメータ

パラメータ名	範囲	説明
MIPI Interface Type	DSIまたはCSI-2	MIPIインターフェースのタイプを指定します
DSI Video Mode	Non-Burst Mode with Sync Events, Non-Burst Mode with Sync Pulses, Burst Mode	RX InterfaceがDSIの場合に有効です。DSIインターフェースのビデオ・モードを指定します。
MIPI D-PHY Mode	1:8または1:16	RX D-PHYのモードを指定します
Number of RX Lanes	1,2,3,4	RX D-PHYのレーン数を指定し

パラメータ名	範囲	説明
		ます
Number of Pixels Per Clock	1,2,4	1クロックごとの出力ピクセル数
Data type	DSIの場合は、表3-2の"ピクセル形式"欄を参照。CSI-2の場合は、表3-3の"ピクセル形式"欄を参照。	処理されるデータ・タイプを指定します。これによりピクセルごとのデータ幅が決定されます。
Number of HSync Pulses VSync is Active	1~1023	このパラメータは、DSI Non-Burst Mode with Sync EventsまたはDSI Burst Modeの場合に有効で、VSync有効期間中のHSyncパルスの数、つまりVSyncが占有するライン数を指定します。
Number of Pixel Clock Cycles HSync is Active	2~1023	このパラメータは、DSI Non-Burst Mode with Sync EventsまたはDSI Burst Modeの場合に有効で、HSyncパルス有効期間中のピクセル・クロックのサイクル数を指定します。
Number of Delayed Pixel Clock Cycles for HSync	0~255	HSyncが遅延するピクセル・クロックのサイクル数を指定します。 このパラメータが0の場合、図3-3と図3-4に示すように、HSの立ち上がりエッジはVSの立ち上がりエッジ/立ち下がりエッジと揃います。場合によっては、HSを数サイクル遅らせる必要があります。
Enable Debug Signals	Yes or No	チェックすると、テスト信号が表示されます。

表 3-2 および表 3-3 にリストされているデータ・タイプはすべて 1~4 のレーン数、1:8/1:16 モード、1 クロックごとの 1 または 2 ピクセルの出力という、3 つの条件の任意の組み合わせをサポートしています。また、表 3-3 の CSI-2 の RAW シリーズおよび YUV シリーズは 1 クロックごとの 4 ピクセルの出力をサポートしています。

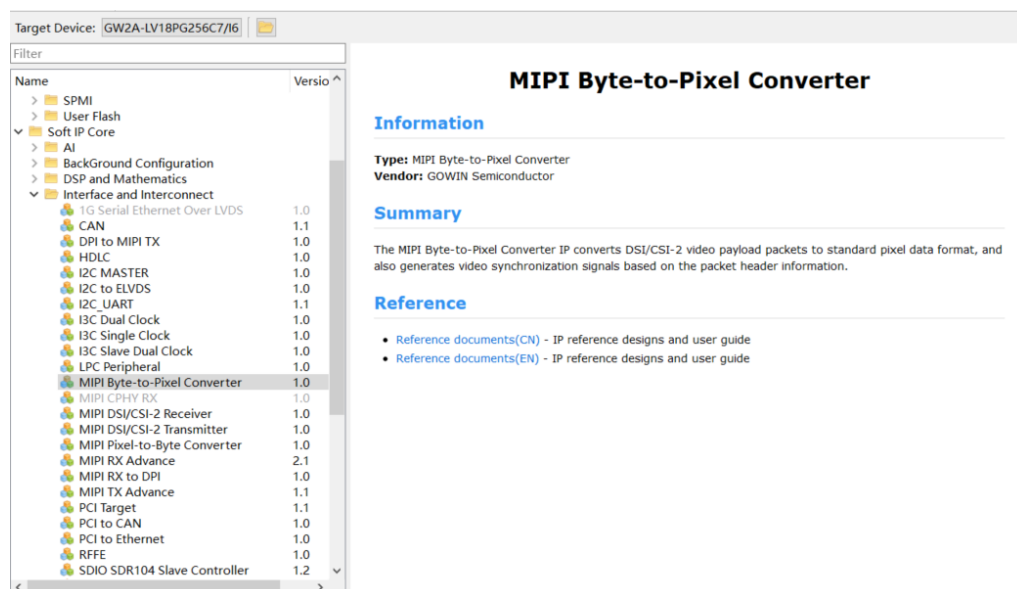
4 GUI での構成

Gowin ソフトウェア GUI > Tools > IP Core Generator を通じて MIPI Byte-to-Pixel Converter IP を呼び出し・構成することができます。

1. IP Core Generator を開く

プロジェクトが作成された後、Tools > IP Core Generator をクリックして、IP コア生成ツールを開きます。Soft IP Core > Interface and Interconnect > MIPI Byte-to-Pixel Converter をダブルクリックします。また、"Filter"テキストボックスに"Byte-to-Pixel"と入力することで、この IP を素早く見つけることができます。

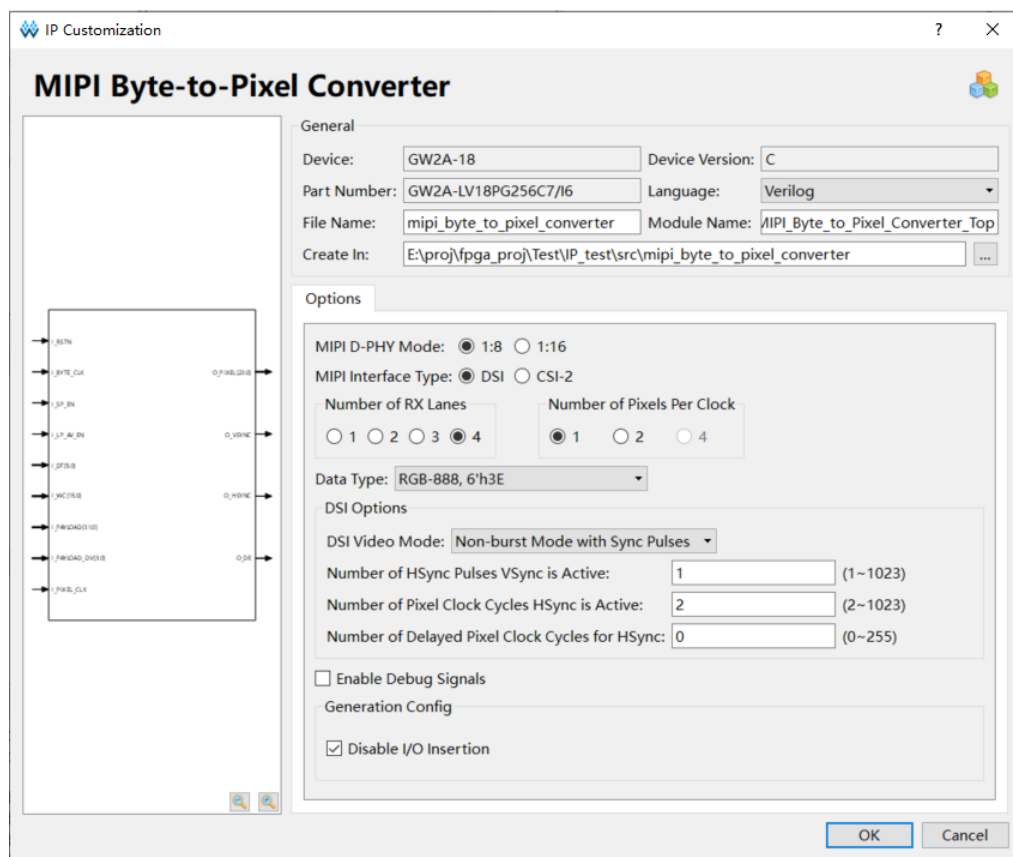
図 4-1 IP Core Generator の画面



2. MIPI Byte-to-Pixel Converter IP の構成画面

IP Core Generator > MIPI Byte-to-Pixel Converter をダブルクリックして MIPI Byte-to-Pixel Converter IP の構成画面を開きます。左側は、IP のポート図で、右側は、IP の構成可能なオプションです(図 4-2)。

図 4-2 MIPI Byte-to-Pixel Converter IP の構成画面



3. 生成とインスタンス化

各パラメータを構成した後、"OK"ボタンをクリックして MIPI Byte-to-Pixel Converter IP を生成します。ユーザーのプログラムで IP をインスタンス化する例を図 4-3 に示します。

図 4-3 MIPI Byte-to-Pixel Converter IP のインスタンス化

