



Gowin RiscV_AE350_SOC クイックスタート ユーザーガイド

MUG1030-1.3J, 2025-03-21

著作権について(2025)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

 **GOWIN** 及び **Gowin** は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI取引条件) に規定されている内容を除き、(明示的か又は黙示的に拘わらず) いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2023/09/12	1.0J	初版。
2023/12/29	1.1J	● ポート信号(DDR3_CS_N、DDR3_RSTN、POR_RSTN、および HW_RSTN)を追加。 ● DK-START-GW5AT138K V2.1 および Tang-MEGA-138K-Pro-Dock 開発ボードのリファレンス・デザインを追加。 ● Extended_AHB2AHBBridge、 Extended_Memory(BlockRAM) ソリューションを更新、Extended_Memory(DDR3)、Extended_AHB_CAN、Extended_AHB_Ethernet ソリューションを追加。 ● NN ソフトウェア・ライブラリ・プログラミングとそのソフトウェア・リファレンス・デザインをサポート。 ● RTOS RT-Thread 標準バージョンとそのソフトウェア開発キットをサポート。 ● Ethernet TCP/IP プロトコルスタックとそのソフトウェア・リファレンス・デザインをサポート。 ● FreeRTOS のソフトウェア・リファレンス・デザインを更新、DDR3 Memory および Ethernet のソフトウェア・リファレンス・デザインを追加。
2024/06/14	1.2J	● SPI Flash Memory、ITCM、ユーザー定義メモリを含む複数のタイプの命令メモリをサポート。 ● DDR3 Memory、DTCM、ユーザー定義メモリを含む複数のタイプのデータ・メモリをサポート。 ● DDR3 Memory はマルチポート・モードをサポート。このマルチポート・モードでは、MCU 側と FPGA 側が同時に DDR3 Memory にアクセス可能。 ● DDR3 Memory はユーザー定義の設定をサポート。 ● SD 周辺機器をサポート。 ● DDR3 Memory の共有アクセス、ユーザー定義メモリ、Extended AHB Master、TCM、SD など複数の例を追加。 ● Flash R/W モードの周辺機器ドライバ関数を更新。
2025/03/21	1.3J	● リファレンス・デザインを実装する開発ボードのタイプを更新。 ● デバッガーを更新。 ● ソフトウェアのバージョンおよび一部のスクリーンショットを更新。

目次

目次	i
図一覧	iii
表一覧	v
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 用語、略語	1
1.3 テクニカル・サポートとフィードバック	2
2 ハードウェア設計方法	3
2.1 ハードウェア環境	3
2.2 ソフトウェアのバージョン	3
2.3 リファレンス・デザイン	3
2.4 関連ドキュメント	3
2.5 設計フロー	3
2.6 設計方法の詳細	4
2.6.1 プロジェクトの作成	4
2.6.2 IP デザイン	4
2.6.3 ユーザーデザイン	8
2.6.4 制約	10
2.6.5 構成	10
2.6.6 合成	14
2.6.7 配置配線	15
2.6.8 ダウンロード	16
3 ソフトウェア設計方法	18
3.1 ソフトウェアのバージョン	18
3.2 リファレンス・デザイン	18

3.3 関連ドキュメント	18
3.4 設計方法の詳細	18
3.4.1 ソフトウェア・プロジェクトの作成	18
3.4.2 ソフトウェア・プロジェクトの構成	20
3.4.3 ターゲットの構成	27
3.4.4 ソフトウェア・プロジェクトのビルド	28
3.4.5 ソフトウェア・プロジェクトのダウンロード	29
3.4.6 ソフトウェア・プロジェクトのデバッグ	31

図一覧

図 2-1 RiscV_AE350_SOC IP Core	5
図 2-2 SPI Flash の構成	6
図 2-3 DDR3 の構成	6
図 2-4 GPIO の構成	7
図 2-5 UART2 の構成	7
図 2-6 RiscV_AE350_SOC IP デザイン	8
図 2-7 PLL_ADV IP デザイン	9
図 2-8 General オプションの構成	11
図 2-9 合成オプションの構成	12
図 2-10 Place オプションの構成	13
図 2-11 Route オプションの構成	13
図 2-12 Dual-Purpose Pin オプションの構成	14
図 2-13 合成	15
図 2-14 配置配線	15
図 2-15 ダウンロードオプションの構成	16
図 2-16 ビットストリームファイルのダウンロード	17
図 3-1 Create Project	19
図 3-2 C Project	19
図 3-3 Select Configurations	20
図 3-4 Build Settings	21
図 3-5 Andes C Compiler > Directories を選択	22
図 3-6 Andes C Compiler > Optimization を選択	23
図 3-7 Andes C Compiler > Debugging を選択	23
図 3-8 Andes C Compiler > Miscellaneous を選択	24
図 3-9 LdSaG Tool > General を選択	25

図 3-10 Andes C Linker > General を選択	26
図 3-11 Objcopy (object content copy) > General を選択	27
図 3-12 Target Configuration	28
図 3-13 ソフトウェア・プロジェクトのビルド	28
図 3-14 ダウンロード・オプションの構成	29
図 3-15 ダウンロード・オプションの構成	30
図 3-16 ソフトウェアの Binary ファイルのダウンロード	30
図 3-17 ビルド・モードの構成	31
図 3-18 デバッグ構成の作成	32
図 3-19 Debug Configurations > Startup を選択	32
図 3-20 デバッグ・セッションの開始	33

表一覧

表 1-1 用語、略語	1
表 2-1 リファレンス・デザインの JTAG 物理制約.....	10

1 本マニュアルについて

1.1 マニュアルの内容

このマニュアルは、Gowin RiscV_AE350_SOC ハードウェア・リファレンス・デザイン ケースとソフトウェア・リファレンス・デザイン、および DK_START_GW5AST-LV138FPG676A V1.0 開発ボードを例として、ハードウェア・プロジェクトとソフトウェア・プロジェクトを迅速に確立、構成、ダウンロード、デバッグする方法を説明します。

1.2 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
IDE	Integrated Development Environment	統合開発環境
MCU	Micro Controller Unit	マイクロコントローラ・ユニット
RISC-V	Reduced Instruction Set Computer V	5 世代目の縮小命令セットコンピュータ
SaG	Scattering and Gathering	散乱と集結
SOC	System on Chip	システム・オン・チップ
UART	Universal Synchronous and Asynchronous Receiver/Transmitter	汎用同期非同期受送信機

1.3 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 ハードウェア設計方法

2.1 ハードウェア環境

- DK_START_GW5AST-LV138FPG676A V1.0
 - GW5AST-LV138FPG676AC1/I0
 - GW5AST-138B

2.2 ソフトウェアのバージョン

テスト済みバージョン : Gowin_V1.9.11.01 (64-bit)。

2.3 リファレンス・デザイン

...

¥ref_design¥FPGA_RefDesign¥DK_START_GW5AST138_V1.0¥ae350_demo。

2.4 関連ドキュメント

- Gowin RiscV_AE350_SOC ハードウェア設計ユーザーガイド ([MUG1031](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))
- Gowin タイミング制約ユーザーガイド([SUG940](#))
- Gowin 物理制約ユーザーガイド([SUG935](#))
- Gowin Programmer ユーザーガイド([SUG502](#))

2.5 設計フロー

Gowin RiscV_AE350_SOC IP の設計フローは次のとおりです。

1. Gowin ソフトウェアの IP 生成ツール「IP Core Generator」で RiscV_AE350_SOC IP を呼び出してそのオプションを構成し、

RiscV_AE350_SOC IP を生成します。

2. Gowin ソフトウェアの IP 生成ツール「IP Core Generator」で RiscV_AE350_SOC IP を呼び出してそのオプションを構成し、PLL_ADV IP を生成します。PLL_ADV IP は、RiscV_AE350_SOC IP にクロックリソースを提供します。
3. ハードウェア設計で、RiscV_AE350_SOC IP と PLL_ADV IP をインスタンス化し、他のユーザーデザインを追加し、そして各モジュールを接続して完全なトップレベル・デザインを形成します。
4. 使用する開発ボードに基づいて Gowin ソフトウェアの物理制約ツール「FloorPlanner」を使用して物理制約を追加します。
5. Gowin ソフトウェアのタイミング制約ツール「Timing Constraints Editor」を使用してタイミング制約を追加します。
6. 合成(Synthesize)オプション、配置配線(Place & Route)オプション、およびビットストリーム(BitStream)オプションを構成します。
7. 「Synthesize」を実行することで RiscV_AE350_SOC ハードウェア設計を合成してネットリスト・ファイルを生成します。
8. 「Place & Route」を実行することで配置配線し、ビットストリームファイルを生成します。
9. ダウンロードツール「Programmer」を使用してビットストリームファイルをダウンロードします。

2.6 設計方法の詳細

2.6.1 プロジェクトの作成

Gowin ソフトウェアをダブルクリックして開き、FPGA 設計プロジェクトを新規作成します。

例：

- Series : GW5AST
- Device : GW5AST-138
- Device Version : B
- Package : FCPBGA676A
- Speed : C1/I0
- Part Number : GW5AST-LV138FPG676AC1/I0

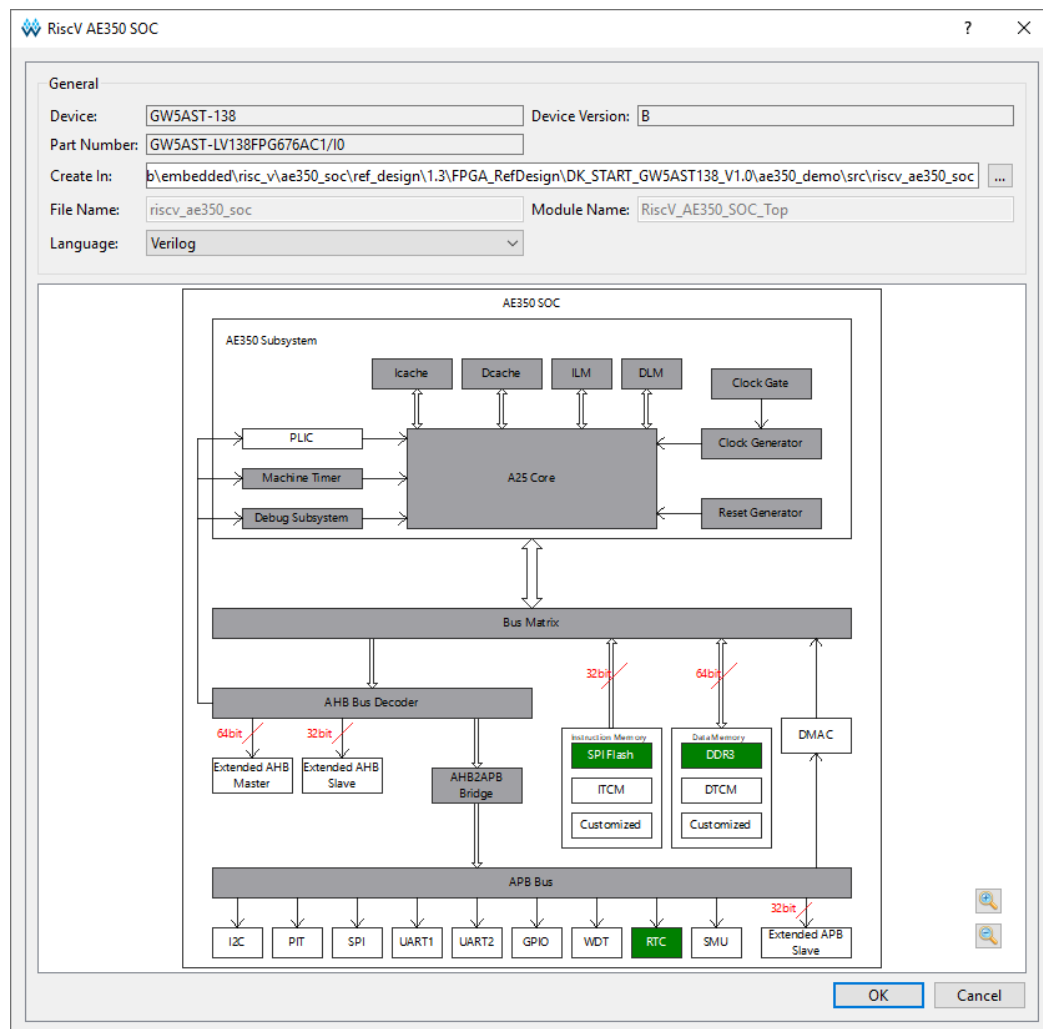
2.6.2 IP デザイン

Gowin ソフトウェアの IP 生成ツール「IP Core Generator」で RiscV_AE350_SOC IP を呼び出してそのオプションを構成し、

RiscV_AE350_SOC IP を生成します。

Gowin ソフトウェアの IP Core Generator で「Soft IP Core > Microprocessor System > Hard-Core-MCU > RiscV AE350 SOC 1.2」を開きます(図 2-1)。

図 2-1 RiscV_AE350_SOC IP Core



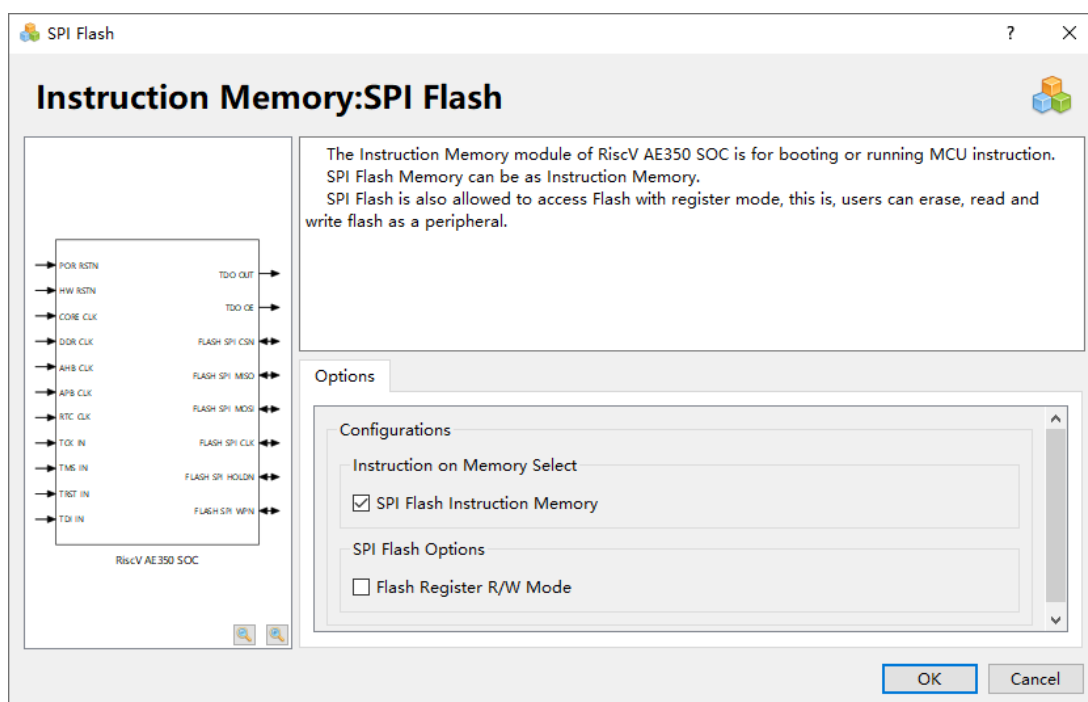
SPI Flash、DDR3、GPIO、UART2 など、必要に応じて対応する機能を設定します。

SPI Flash

「SPI Flash」をダブルクリックして開き、SPI Flash 命令メモリのオプションを構成します。

「SPI Flash Instruction Memory」をチェックして SPI Flash Memory を命令メモリとして使用します(図 2-2)。

図 2-2 SPI Flash の構成

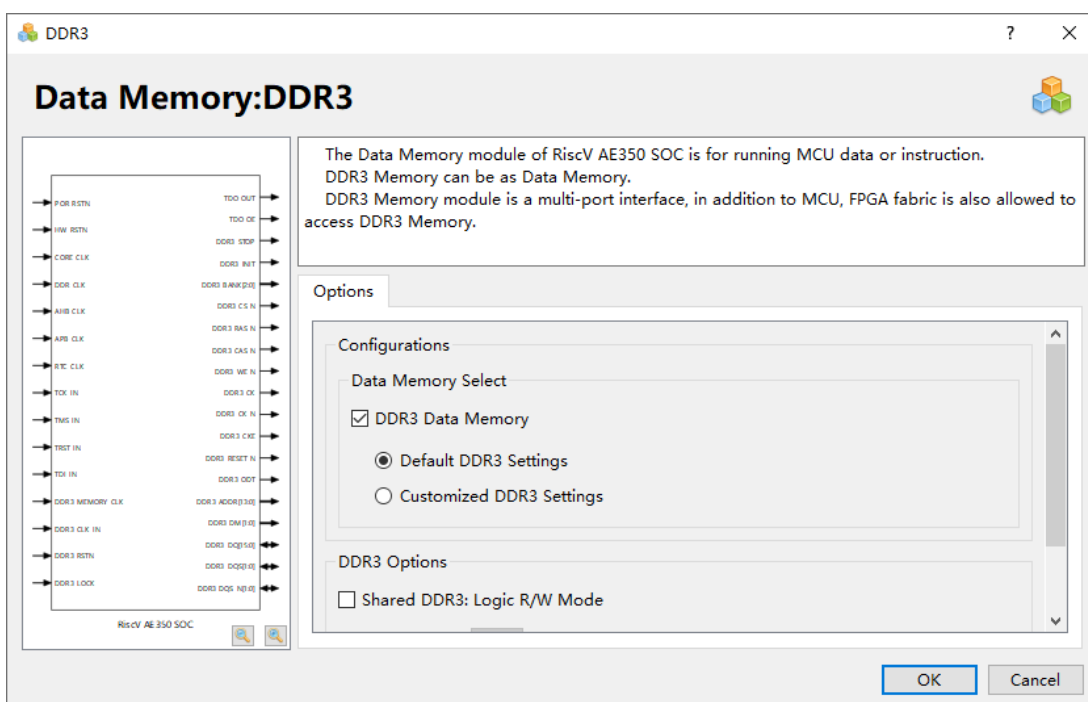


DDR3

「DDR3」ダブルクリックして開き、DDR3 メモリのオプションを構成します。

「DDR3 Data Memory」をチェックして DDR3 Memory をデータメモリとして使用します(図 2-3)。

図 2-3 DDR3 の構成

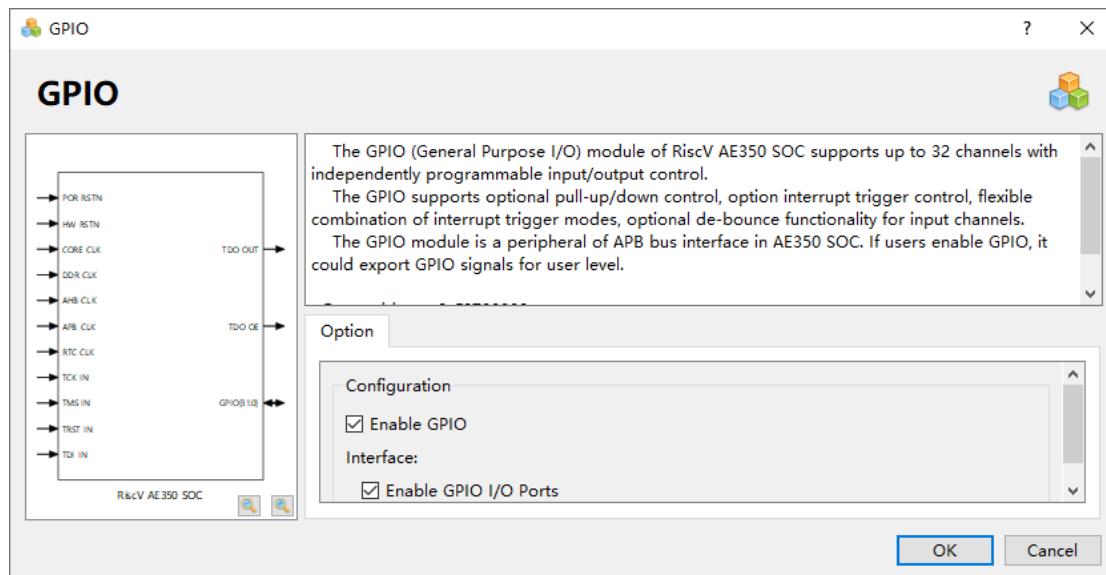


GPIO

「GPIO」をダブルクリックして開き、GPIO のオプションを構成します。

「Enable GPIO」と「Enable GPIO I/O Ports」をチェックして GPIO とその「INOUT」ポートを有効にします(図 2-4)。

図 2-4 GPIO の構成

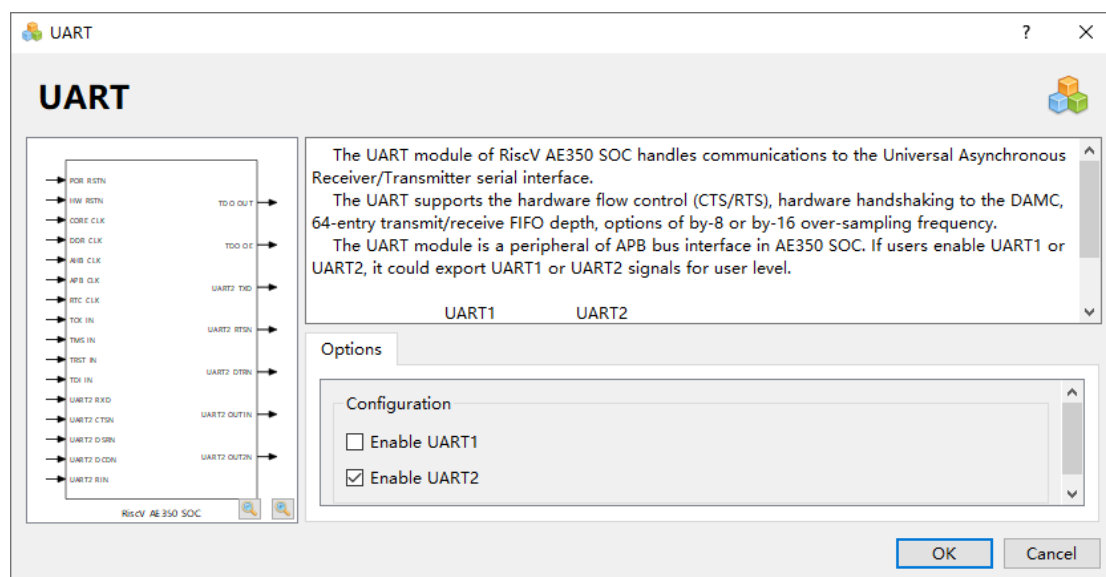


UART2

「UART2」ダブルクリックして開き、UART2 のオプションを構成します。

「Enable UART2」をチェックして UART2 を有効にします(図 2-5)。

図 2-5 UART2 の構成

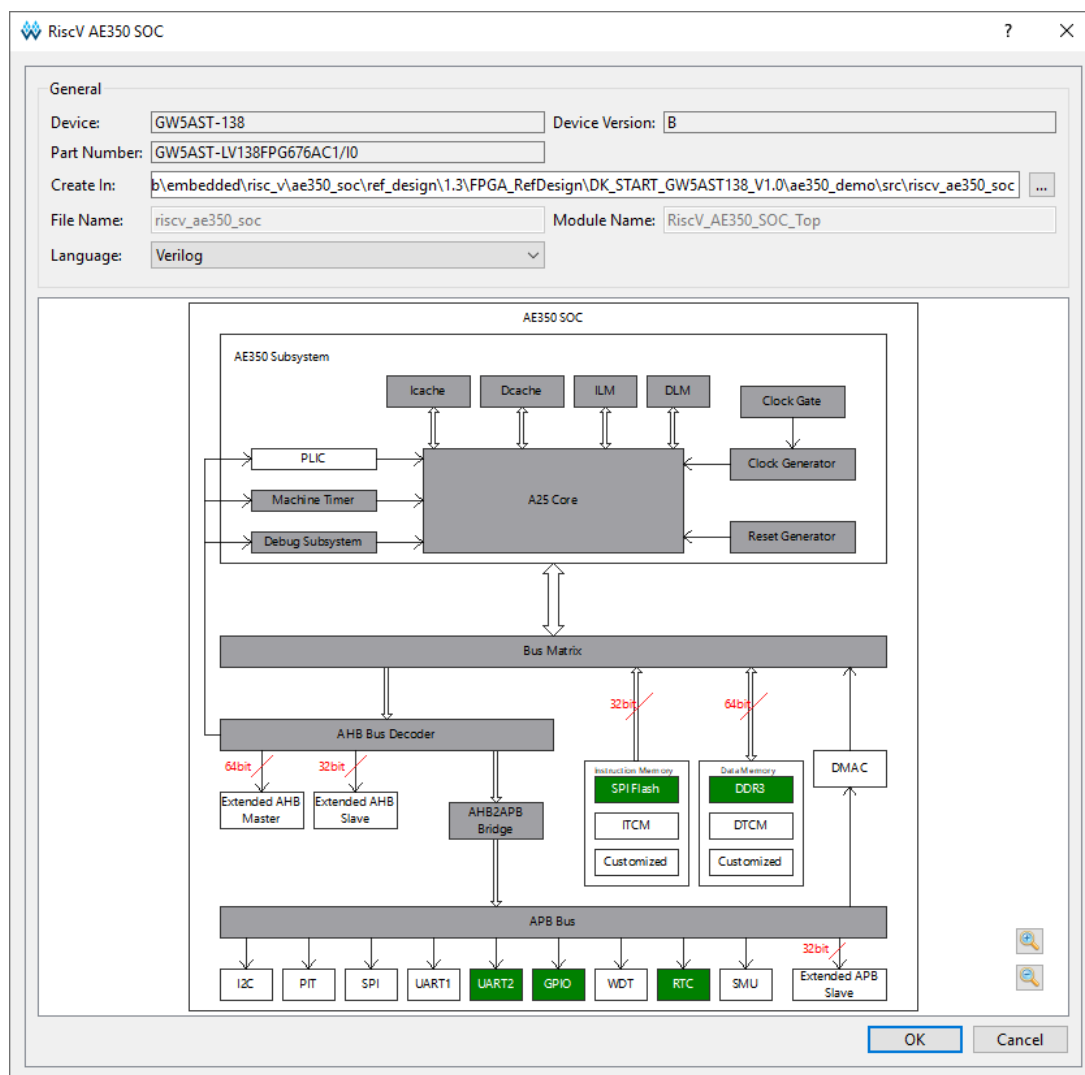


2.6.3 ユーザーデザイン

RiscV_AE350_SOC IP デザイン

Gowin ソフトウェアの IP 生成ツール「IP Core Generator」で RiscV_AE350_SOC IP を呼び出してそのオプションを構成し、RiscV_AE350_SOC IP を生成します(図 2-6)。

図 2-6 RiscV_AE350_SOC IP デザイン



PLL_ADV IP デザイン

Gowin ソフトウェアの IP 生成ツール「IP Core Generator」で RiscV_AE350_SOC IP を呼び出してそのオプションを構成し、PLL_ADV IP 設計を生成します。PLL_ADV IP は、RiscV_AE350_SOC IP にクロックリソースを提供します。

「IP Core Generator」で「Hard Module > CLOCK > PLL_ADV 1.0」を開き、リファレンス・デザインにしたがってクロックを構成し、PLL_ADV IP デザインを生成します(図 2-7)。

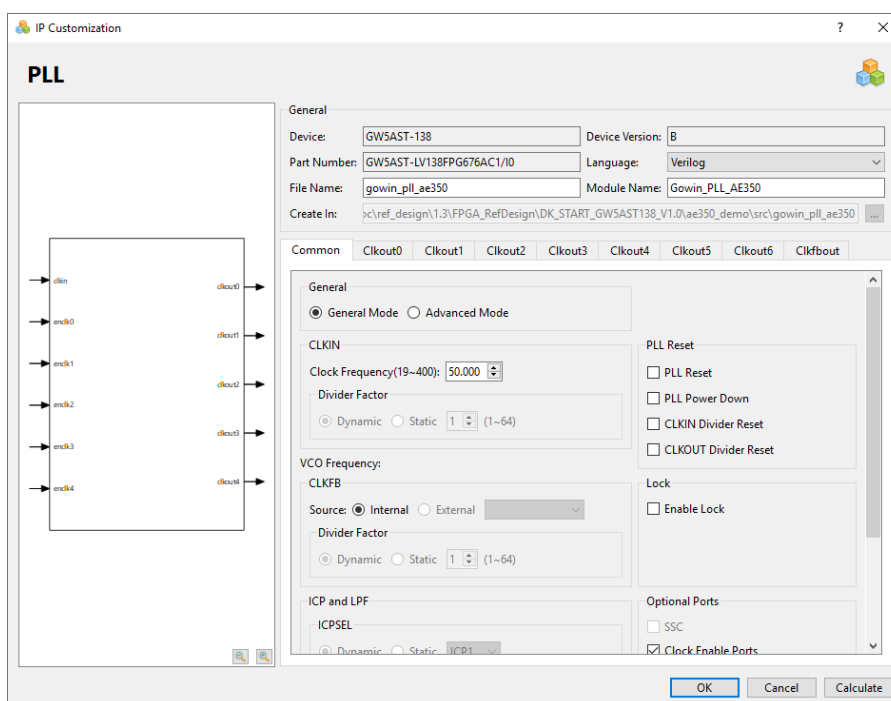
例えば、RiscV_AE350_SOC コア用の PLL_ADV IP :

- Clkout0 : DDR clock
- Clkout1 : CORE clock
- Clkout2 : AHB clock
- Clkout3 : APB clock
- Clkout4 : RTC clock

RiscV_AE350_SOC のデータメモリとして「DDR3 Memory」を選択した場合、DDR3 Memory の PLL_ADV IP :

- Clkout0 : DDR3 input clock
- Clkout2 : DDR3 memory clock

図 2-7 PLL_ADV IP デザイン



注記 :

- RiscV_AE350_SOC のコア・クロックは、「PLL_R[0] > clkout1」によって直接提供されます。コア・クロックの生成には PLL_ADV IP の「clkout1」を使用する必要があります。
- RiscV_AE350_SOC の DDR3 Memory クロックは、「PLL_L[0] > clkout2」によって直接提供されます。DDR3 Memory クロックの生成には、PLL_ADV IP の「clkout2」を使用することをお勧めします。

ユーザーデザイン

ハードウェア設計のトップ・モジュールで、RiscV_AE350_SOC IP と PLL_ADV IP をインスタンス化し、他のユーザーデザインを追加し、そして各モジュールを接続して完全なハードウェア設計を形成します。

2.6.4 制約

物理制約

使用する開発ボードに基づいて Gowin ソフトウェアの物理制約ツール「FloorPlanner」を使用して物理制約を追加します。

例えば、DK_START_GW5AST-LV138FPG676A V1.0 DVK Board と Gowin FTDI USB プログラマの JTAG インターフェースの対応接続方法を表 2-1 に示します。

表 2-1 リファレンス・デザインの JTAG 物理制約

JTAG インターフェース	DVK Board	Gowin FTDI USB プログラマ
GND	J3-8	P2
TMS	J3-3	P9
TCK	J3-4	P1
VREF (3.3V)	J3-7	P6
TDO	J3-6	P5
TDI	J60-3	P3

注記：

- RiscV_AE350_SOC のコア・クロックは、「PLL_R[0] > clkout1」によって直接提供されます。この PLL_ADV IP の位置を「PLL_R[0]」に制約する必要があります。例えば、**INS_LOC "u_Gowin_PLL_AE350/PLL_inst" PLL_R[0]**。
- RiscV_AE350_SOC の DDR3 Memory クロックは、「PLL_L[0] > clkout2」によって直接提供されます。この PLL_ADV IP の位置を「PLL_L[0]」に制約することをお勧めします。例えば、**INS_LOC "u_Gowin_PLL_DDR3/PLL_inst" PLL_L[0]**。

タイミング制約

Gowin ソフトウェアのタイミング制約ツール「Timing Constraints Editor」を使用してタイミング制約を追加します。

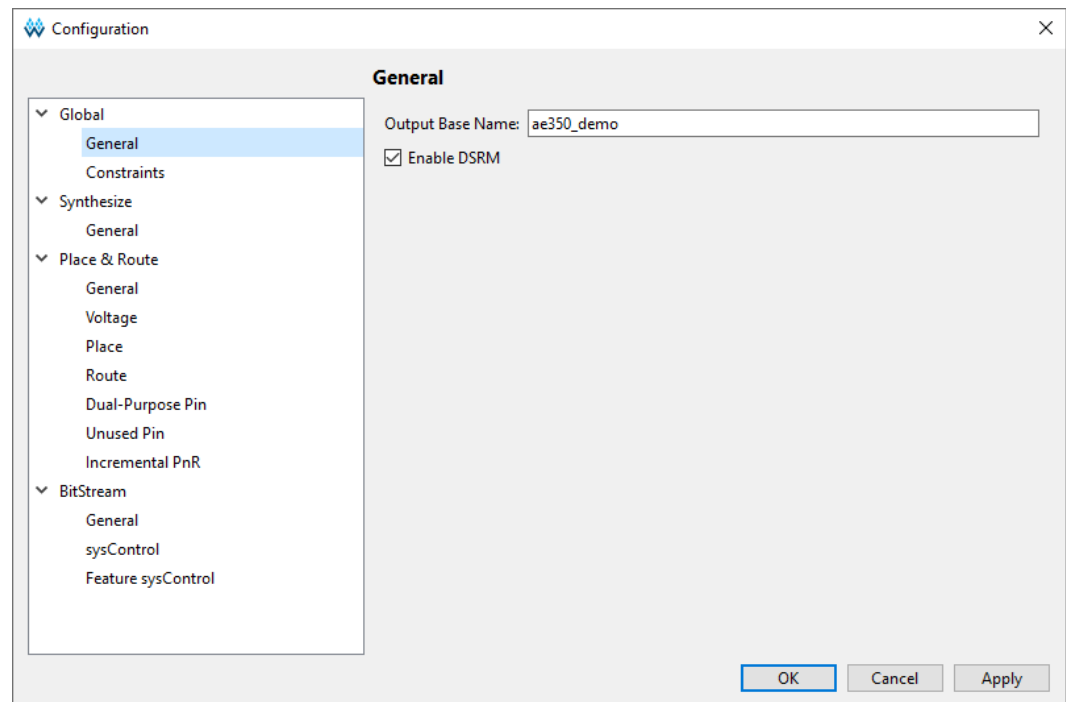
2.6.5 構成

General オプション

「Global > General」オプションの構成を図 2-8 に示します。例：

Enable DSRM : DSRM を有効にします。

図 2-8 General オプションの構成



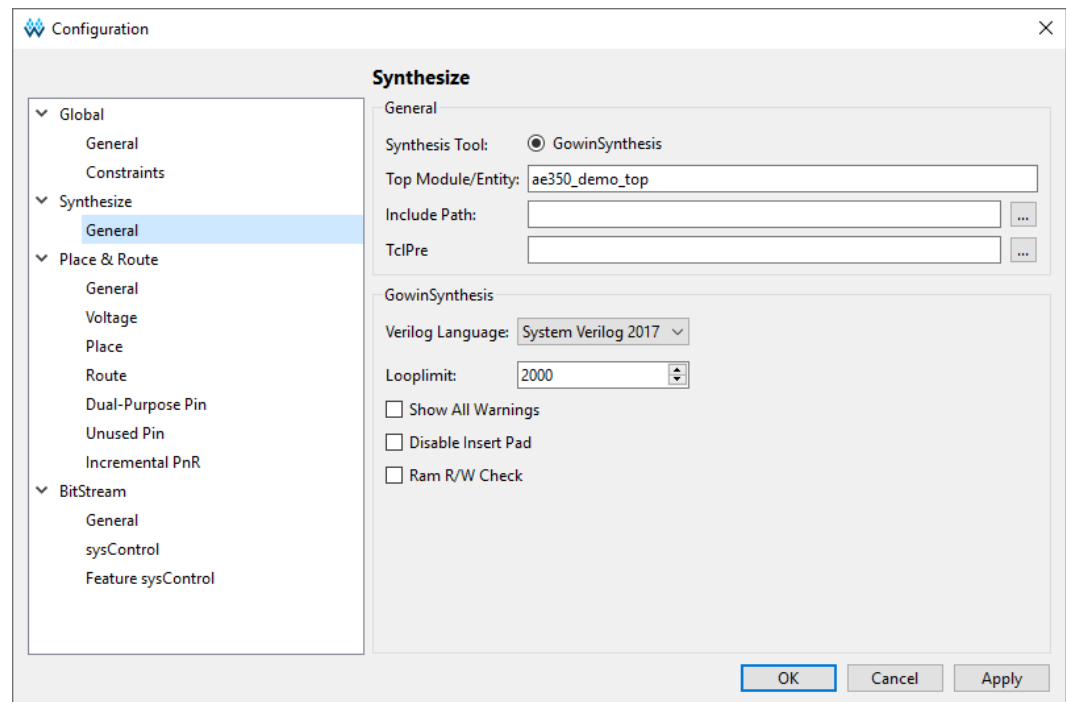
合成オプション

「Synthesize > General」オプションは、ハードウェア設計の実際のニーズに応じて構成してください(図 2-9)。

例：

- Top Module/Entity : ae350_demo_top
- Verilog Language : System Verilog 2017

図 2-9 合成オプションの構成



配置配線オプション

配置配線オプションは、ハードウェア設計の実際のニーズに応じて構成してください。例：

- **Place**：デフォルトでは **Place Option 3** が選択されています(図 2-10)。
- **Route**：デフォルトでは **Route Option 2** が選択されています(図 2-11)。
- **Dual-Purpose Pin**：SSPI、MSPI、および CPU 関連ピンを多重化します(図 2-12)。

図 2-10 Place オプションの構成

Configuration

Place

Category: All Reset all to default

Label	Value
Place input registers to IOB	False
Place output registers to IOB	False
Place inout registers to IOB	False
Place Option	3
Replicate Resources	False

OK Cancel Apply

図 2-11 Route オプションの構成

Configuration

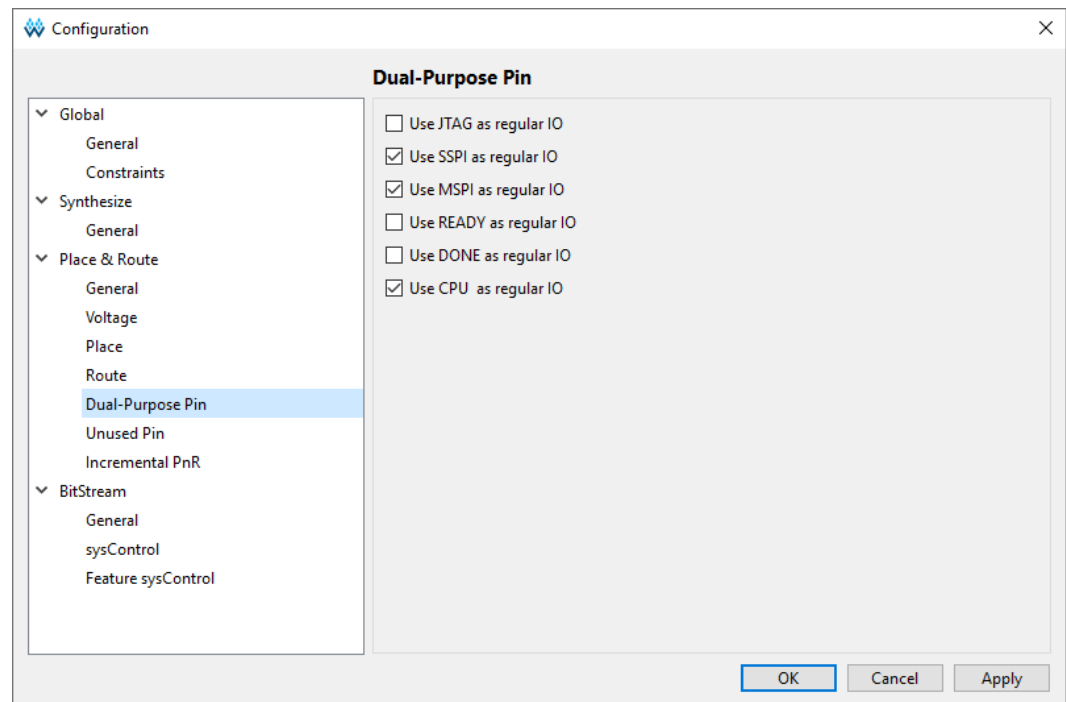
Route

Category: All Reset all to default

Label	Value
Clock Route Order	0
Run Timing Driven	True
Route Option	2
Route Maxfan	23
Correct Hold Violation	True

OK Cancel Apply

図 2-12 Dual-Purpose Pin オプションの構成



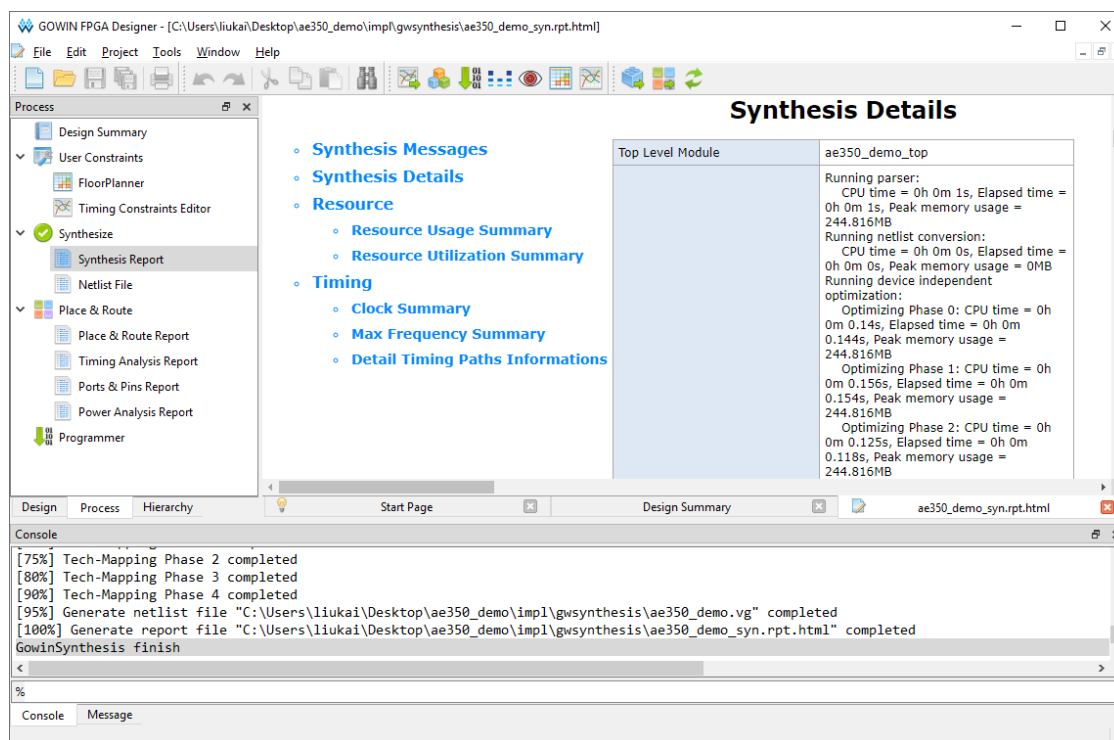
ビットストリームオプション

ビットストリームオプションは、ハードウェア設計の実際のニーズに応じて構成してください。

2.6.6 合成

「Synthesize」を実行することで RiscV_AE350_SOC ハードウェア設計を合成してネットリスト・ファイルを生成します(図 2-13)。

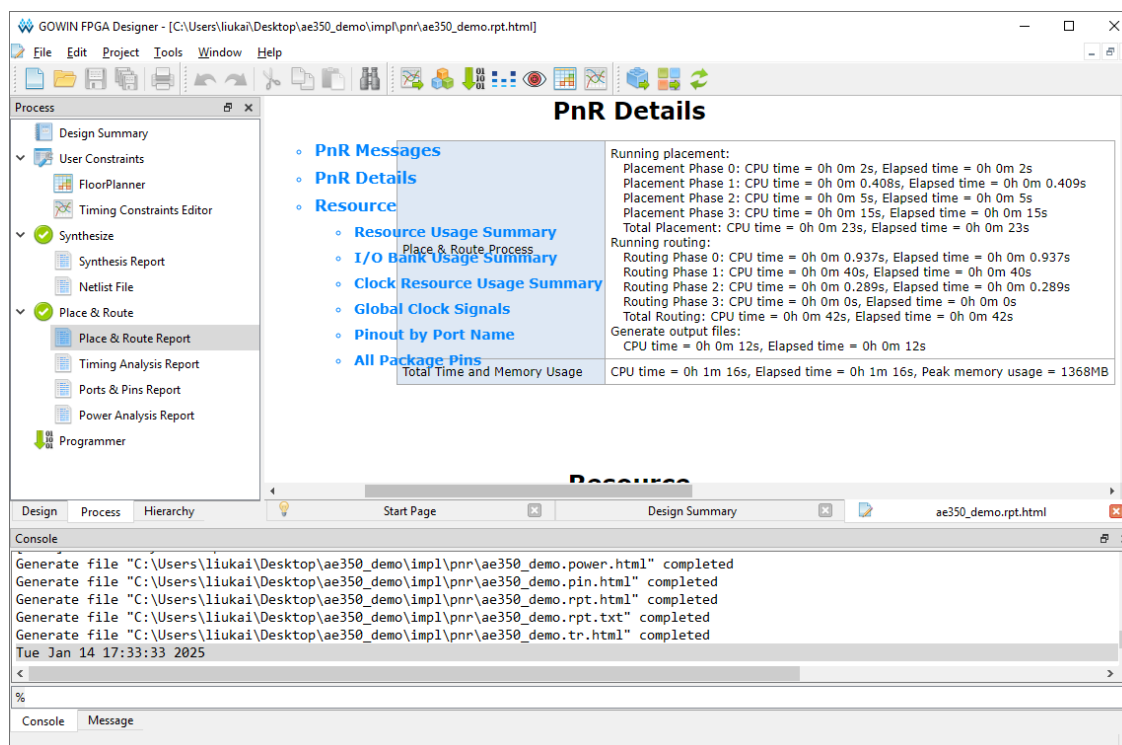
図 2-13 合成



2.6.7 配置配線

「Place & Route」を実行することで配置配線し、ビットストリームファイルを生成します(図 2-14)。

図 2-14 配置配線



2.6.8 ダウンロード

ダウンロードツール「Programmer」を使用してビットストリームファイルをダウンロードします。

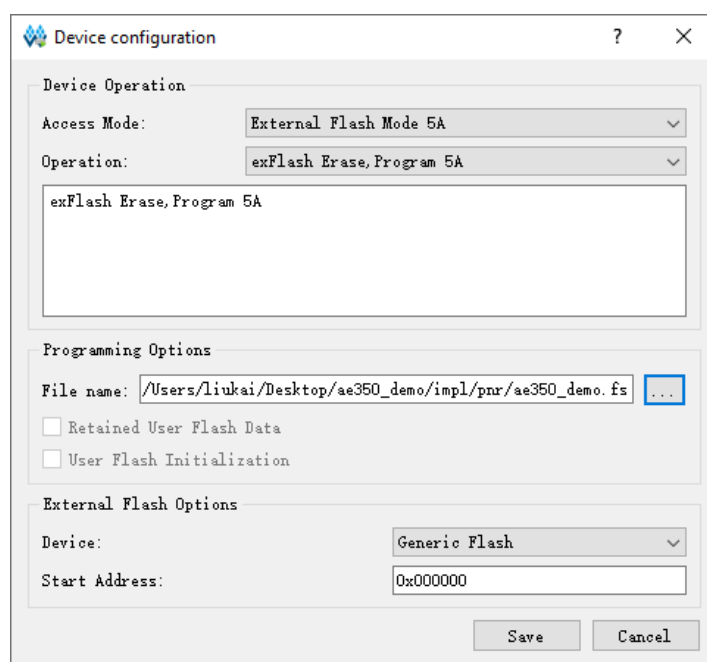
「Process> Programmer」、またはメニューバー上の「Tools > Programmer」、またはツールバー上の「」をクリックして Programmer を開きます。

「Programmer > Edit > Configure Device」、またはツールバー上の「」を選択して、ダウンロード・オプションを構成します(図 2-15)。

例：

- Access Mode : External Flash Mode 5A
- Operation : exFlash Erase, Program 5A
- Programming Options > File name : ae350_demo.fs
- External Flash Options > Device : Generic Flash
- External Flash Options > Start Address : 0x000000

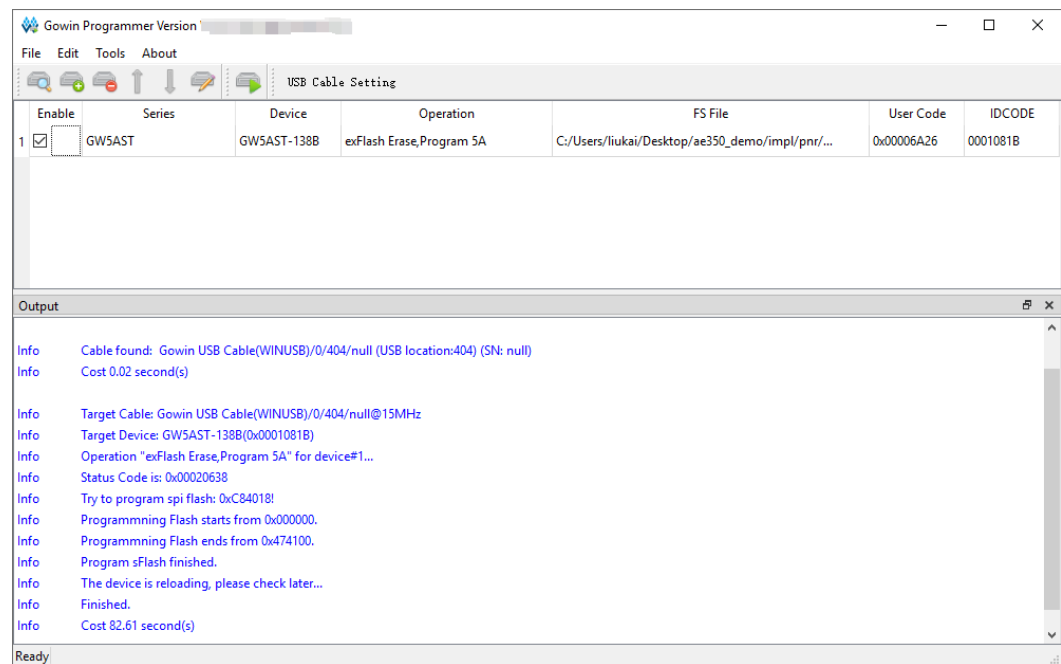
図 2-15 ダウンロードオプションの構成



最後に「Save」をクリックします。

ツールバー上の「」をクリックしてビットストリームファイルをダウンロードします(図 2-16)。

図 2-16 ビットストリームファイルのダウンロード



3 ソフトウェア設計方法

3.1 ソフトウェアのバージョン

テスト済みバージョン : RiscV_AE350_SOC_RDS_v1.3_win

3.2 リファレンス・デザイン

…¥ref_design¥MCU_RefDesign¥ae350_demo

3.3 関連ドキュメント

- Gowin RiscV_AE350_SOC ソフトウェアプログラミング ユーザーガイド([MUG1029](#))
- Gowin RiscV_AE350_SOC RDS ソフトウェア ユーザーガイド([MUG1025](#))
- Gowin Programmer ユーザーガイド([SUG502](#))

3.4 設計方法の詳細

3.4.1 ソフトウェア・プロジェクトの作成

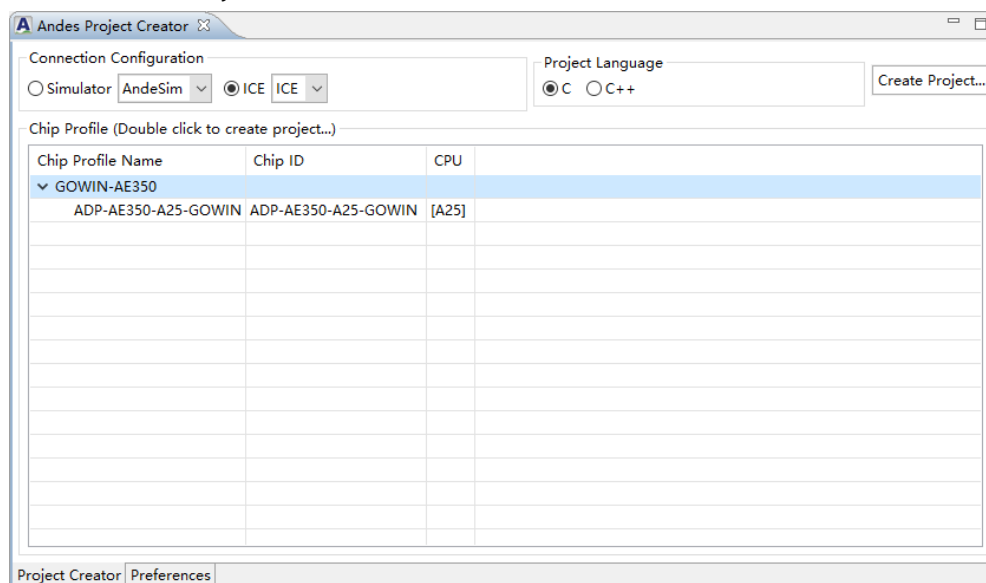
ステップ 1

RDS ソフトウェアを開き、プロジェクト作成ビュー(Andes Project Creator)で次のオプションを設定します。

- 「Connection Configuration」で「ICE」を選択します。
- 「Project Language」で「C」を選択します。
- 「Chip Profile」で「GOWIN-AE350 > ADP-AE350-A25-GOWIN」を選択します。

「Create Project…」をクリックします(図 3-1)。

図 3-1 Create Project…



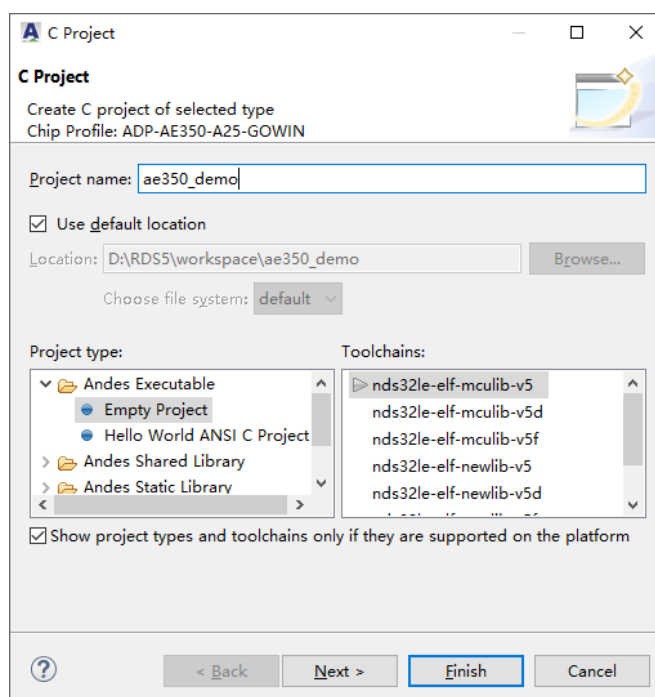
ステップ 2

以下の C Project 情報を設定します。

- 「Project name」
- 「Location」
- 「Project type」 として「Empty Project」を選択します。
- 「Toolchains」で「nds32le-elf-mculib-v5」を選択します。

「Next」をクリックします(図 3-2)。

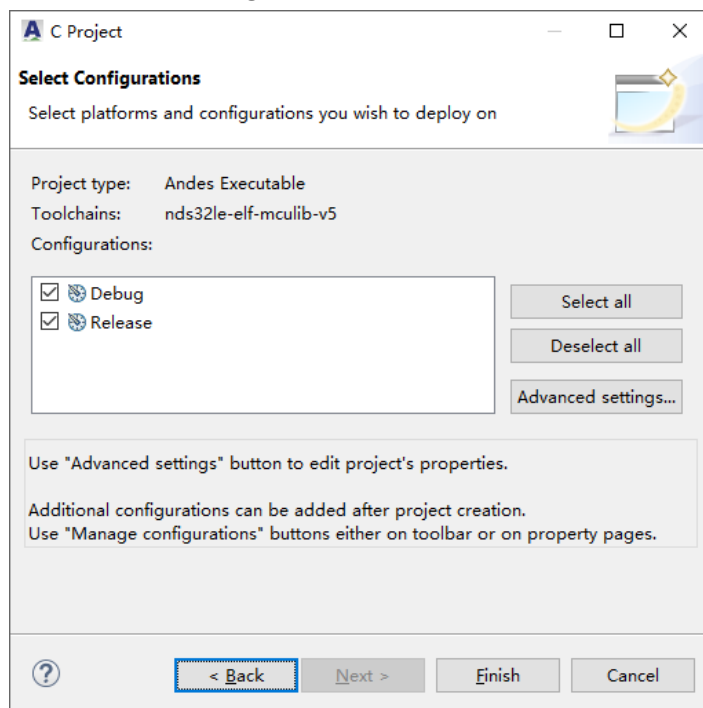
図 3-2 C Project



ステップ 3

「Debug」や「Release」など、プラットフォームとコンフィギュレーションを設定し、「Finish」をクリックします(図 3-3)。

図 3-3 Select Configurations



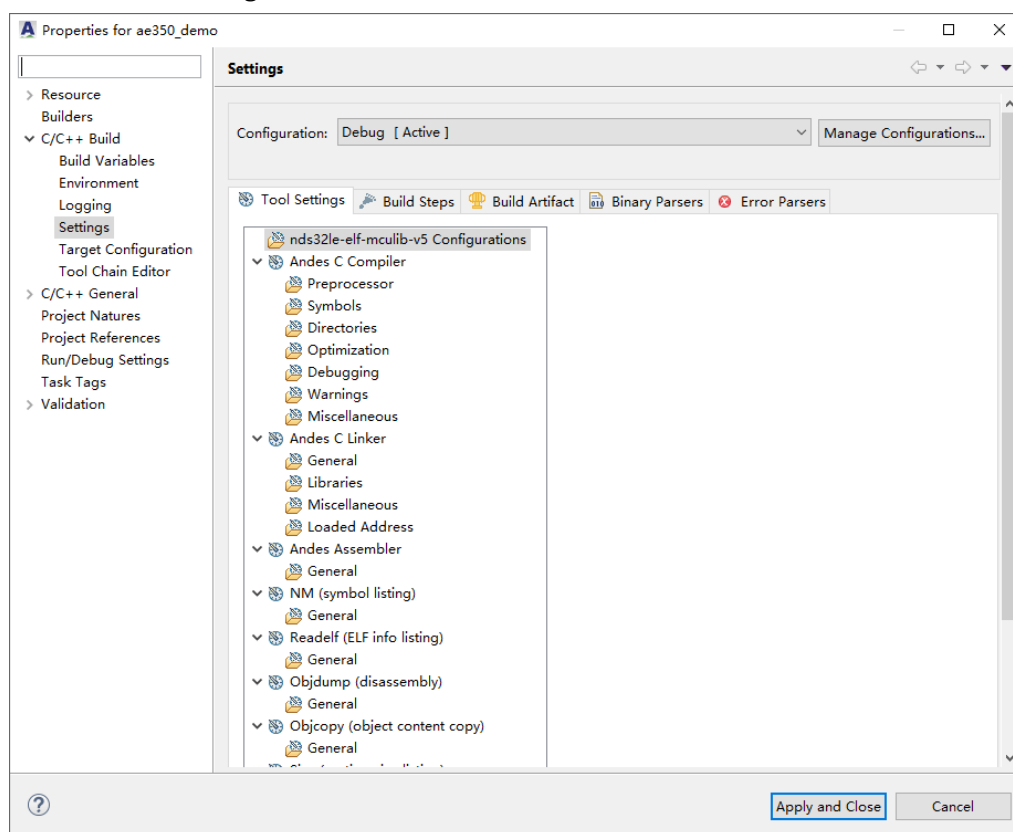
ステップ 4

アプリケーションの要件を参照して、RiscV_AE350_SOC ソフトウェアプログラミング用の関数ライブラリを呼び出してアプリケーション・プログラムを作成します。

3.4.2 ソフトウェア・プロジェクトの構成

「Project Explorer」ビューで、ソフトウェア・プロジェクトを右クリックし、ドロップダウン・リストから「Build Settings」を選択し、アプリケーションの要件に従って「Tool Settings」を設定します(図 3-4)。

図 3-4 Build Settings



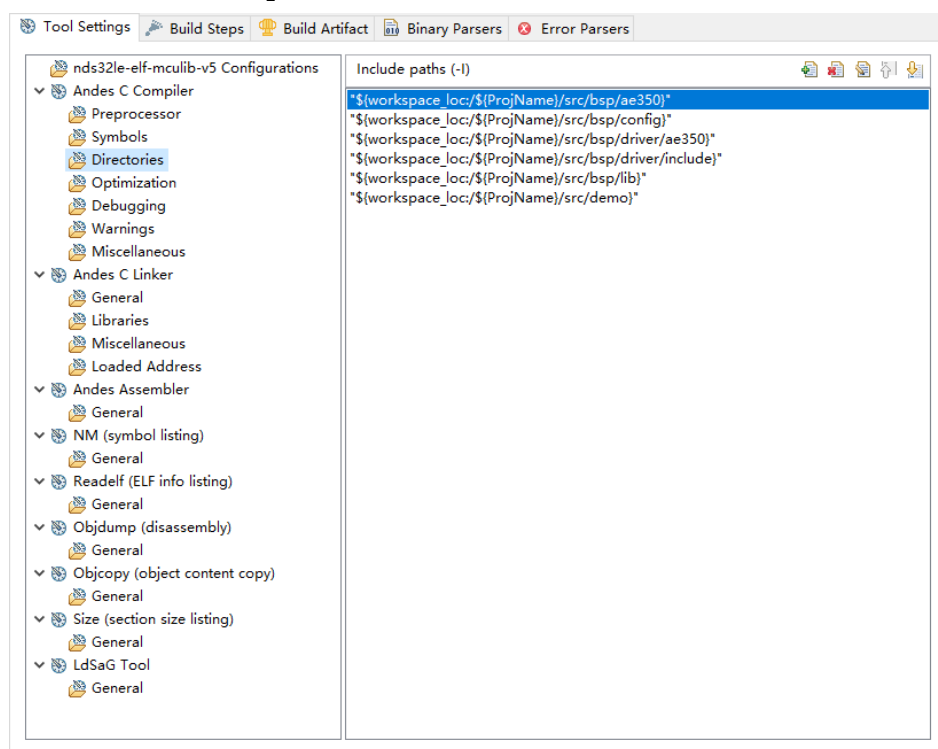
Andes C Compiler > Directories

「Andes C Compiler > Directories > Include paths (-I)」でソフトウェア・プロジェクトのヘッダー・ファイルのパスを指定します(図 3-5)。

例：

- “\${workspace_loc}/\${ProjName}/src/bsp/ae350”
- “\${workspace_loc}/\${ProjName}/src/bsp/config”
- “\${workspace_loc}/\${ProjName}/src/bsp/driver/ae350”
- “\${workspace_loc}/\${ProjName}/src/bsp/driver/include”
- “\${workspace_loc}/\${ProjName}/src/bsp/lib”
- “\${workspace_loc}/\${ProjName}/src/demo”

図 3-5 Andes C Compiler > Directories を選択



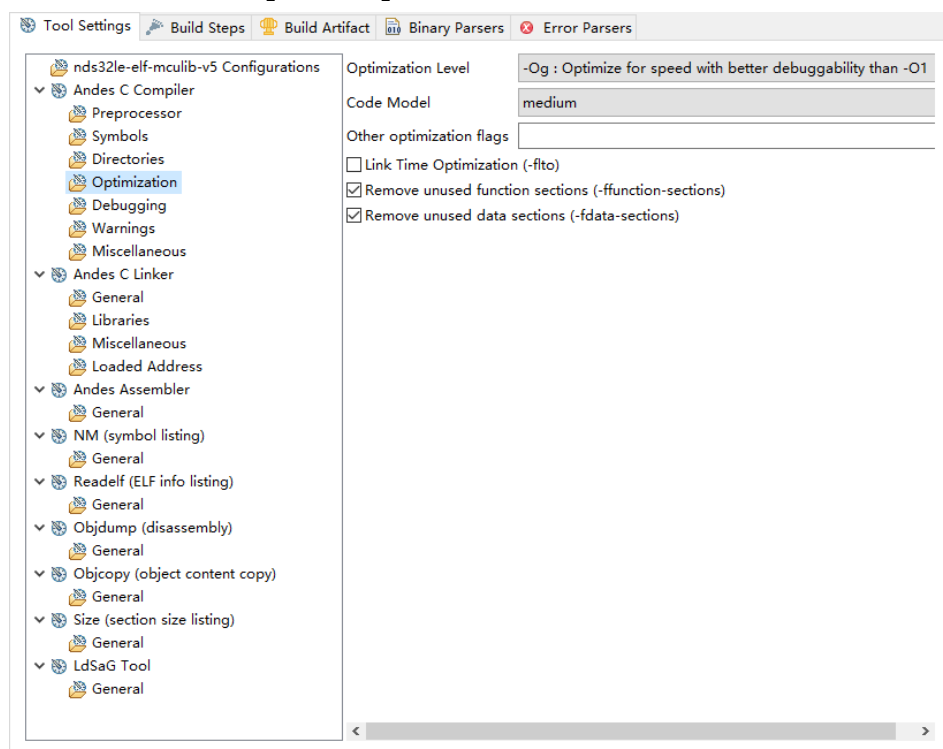
Andes C Compiler > Optimization

「Andes C Compiler > Optimization」でソフトウェア・プロジェクトの最適化レベルとコード・モデルを指定します(図 3-6)。

例：

- Optimization Level : -Og : Optimize for speed with better debug ability than O1
- Code Model : medium
- Remove unused function sections (-ffunction-sections) : オン
- Remove unused data sections (-fdata-sections) : オン

図 3-6 Andes C Compiler > Optimization を選択

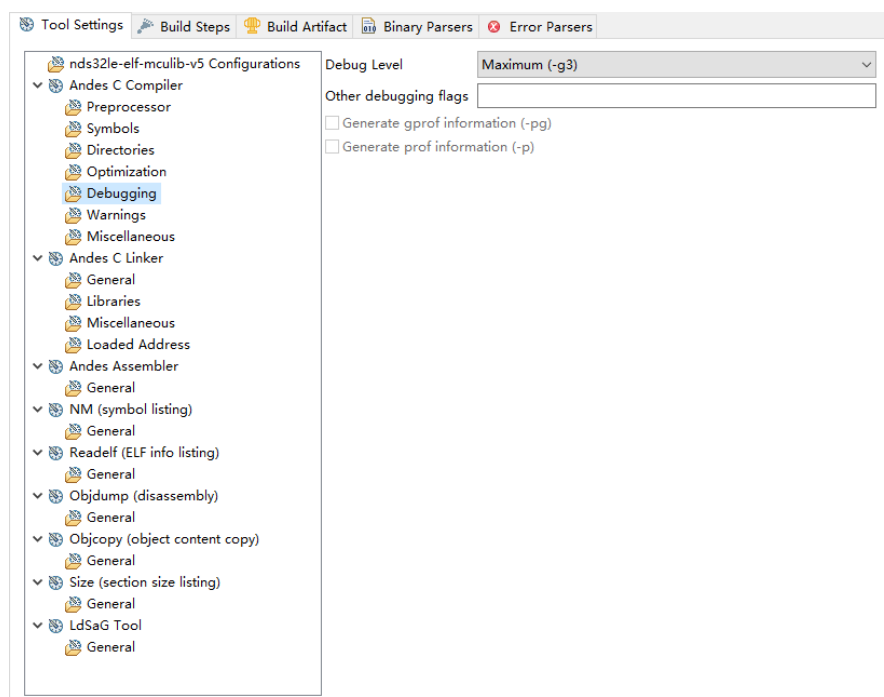


Andes C Compiler > Debugging

「Andes C Compiler > Debugging」でソフトウェア・プロジェクトのデバッグ・レベルを指定します(図 3-7)。

例 : Debug Level : Maximum (-g3)

図 3-7 Andes C Compiler > Debugging を選択



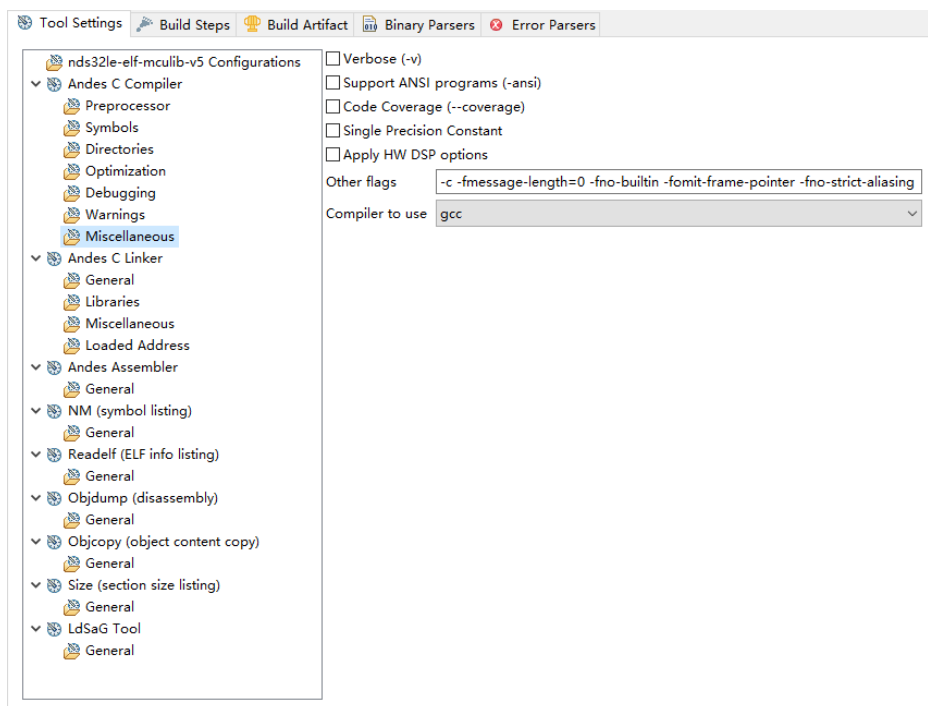
Andes C Compiler > Miscellaneous

「Andes C Compiler > Miscellaneous」でソフトウェア・プロジェクトのその他のさまざまなオプションを指定します(図 3-8)。

例：

- Other flags : -c -fmessage-length=0 -fno-builtin -fomit-frame-pointer -fno-strict-aliasing
- Compiler to use : gcc

図 3-8 Andes C Compiler > Miscellaneous を選択



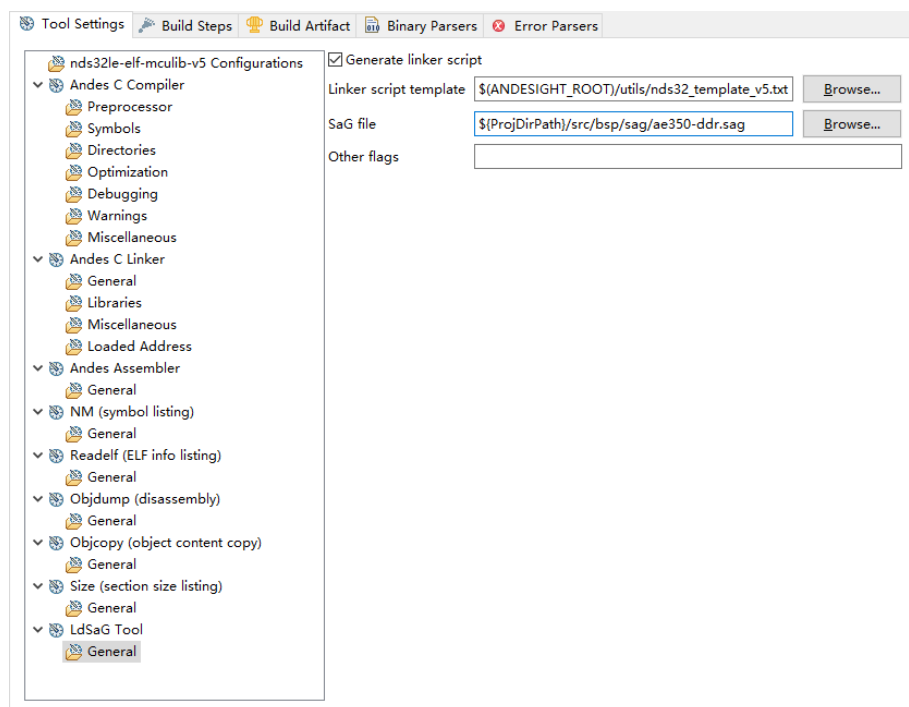
LdSaG Tool > General

「LdSaG Tool > General」で SaG ファイルを指定します(図 3-9)。

例：

- Generate linker script : オン
- Linker script template :
\$(ANDESIGHT_ROOT)/utils/nds32_template_v5.txt
- SaG file : \${ProjDirPath}/src/bsp/sag/ae350-ddr.sag

図 3-9 LdSaG Tool > General を選択



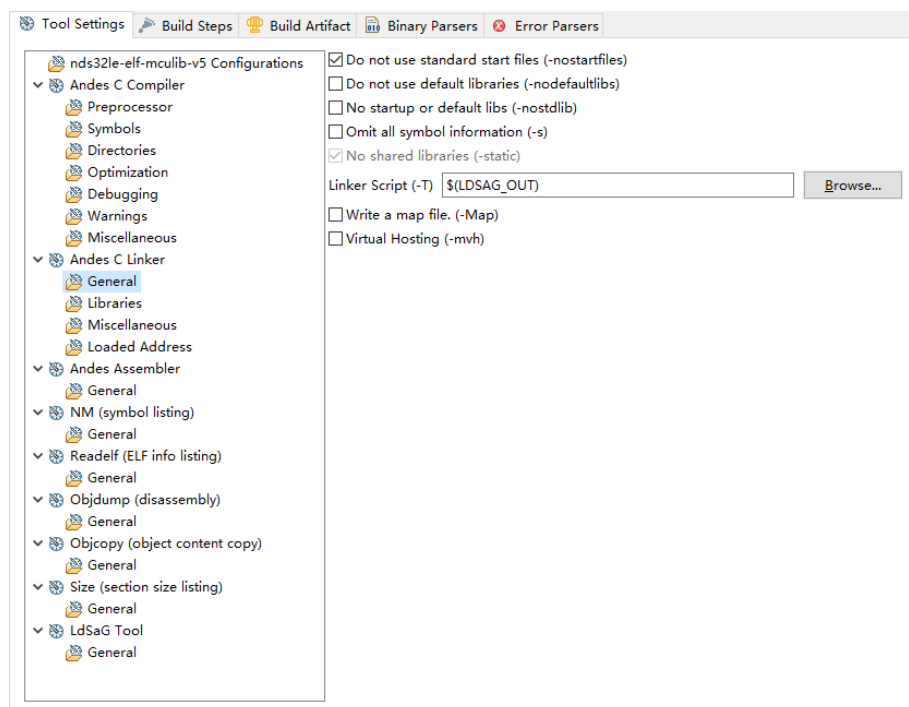
Andes C Linker > General

「Andes C Linker > General」でソフトウェア・プロジェクトのリンカー・スクリプト・ファイルを指定します(図 3-10)。

例：

- Do not use standard start files (-nostartfiles) : オン
- Linker Script (-T) : \$(LDSAG_OUT)

図 3-10 Andes C Linker > General を選択



注記：

このオプションは、「LdSaG Tool > General」オプションに関連付けられています。SaG ファイルが指定されている場合、このリンカー・スクリプト・ファイルは SaG ファイルによって生成され、そうでない場合は、手動で指定する必要があります。

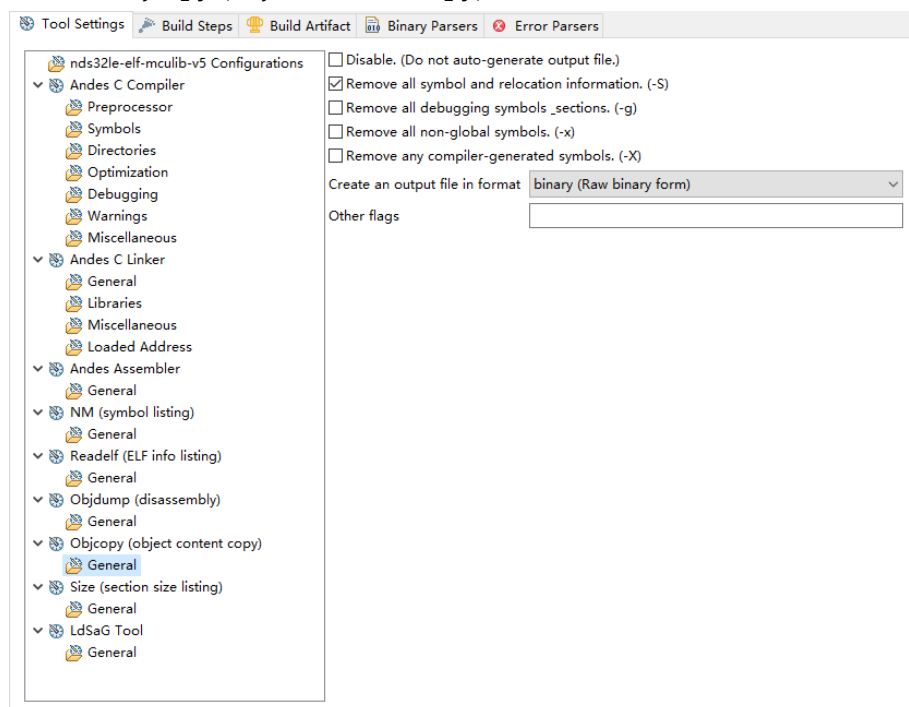
Objcopy (object content copy) > General

「Objcopy (object content copy) > General」で Binary ファイルの生成を指定します(図 3-11)。

例：

- Disable. (Do not auto-generate output file.) : オフ
- Create an output file in format : binary (Raw binary form)

図 3-11 Objcopy (object content copy) > General を選択



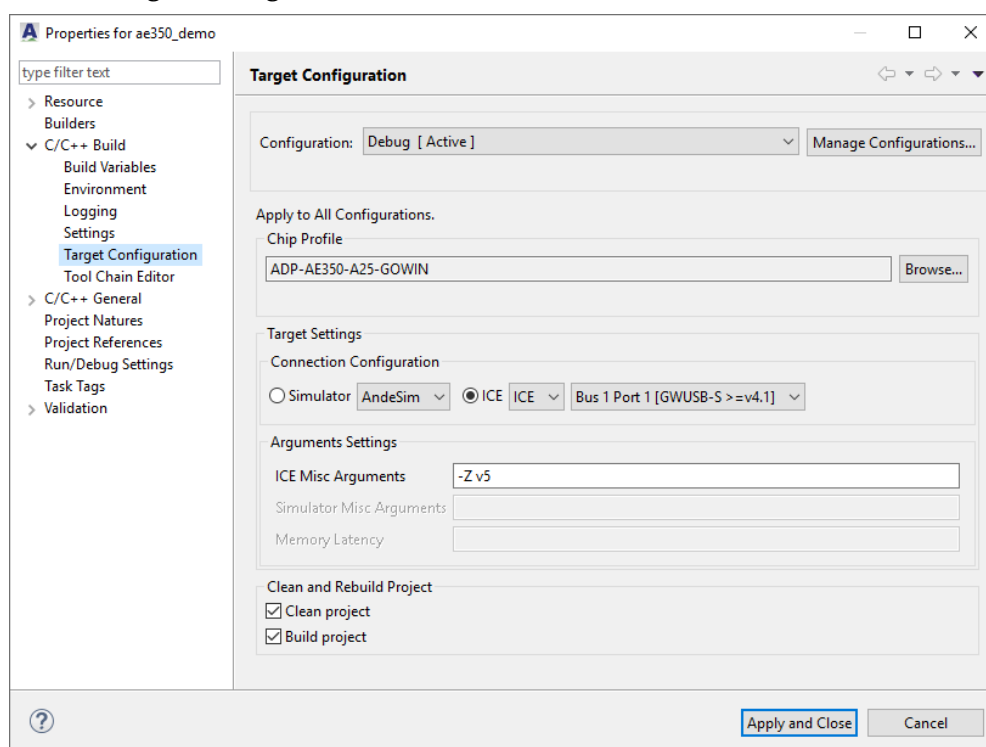
3.4.3 ターゲットの構成

「Project Explorer」ビューでソフトウェア・プロジェクトを右クリックし、ドロップダウン・リストから「Target Configuration」を選択してソフトウェア・プロジェクトの Chip Profile、Connection Configuration、Clean and Rebuild Projectなどを指定します(図 3-12)。

例：

- Chip Profile : ADP-AE350-A25-GOWIN
- Connection Configuration
 - ICE
 - Bus 1 Port 1 [GWUSB-S >=v4.1]
- Clean project : 有効にすることをお勧めします
- Build project : 有効にすることをお勧めします

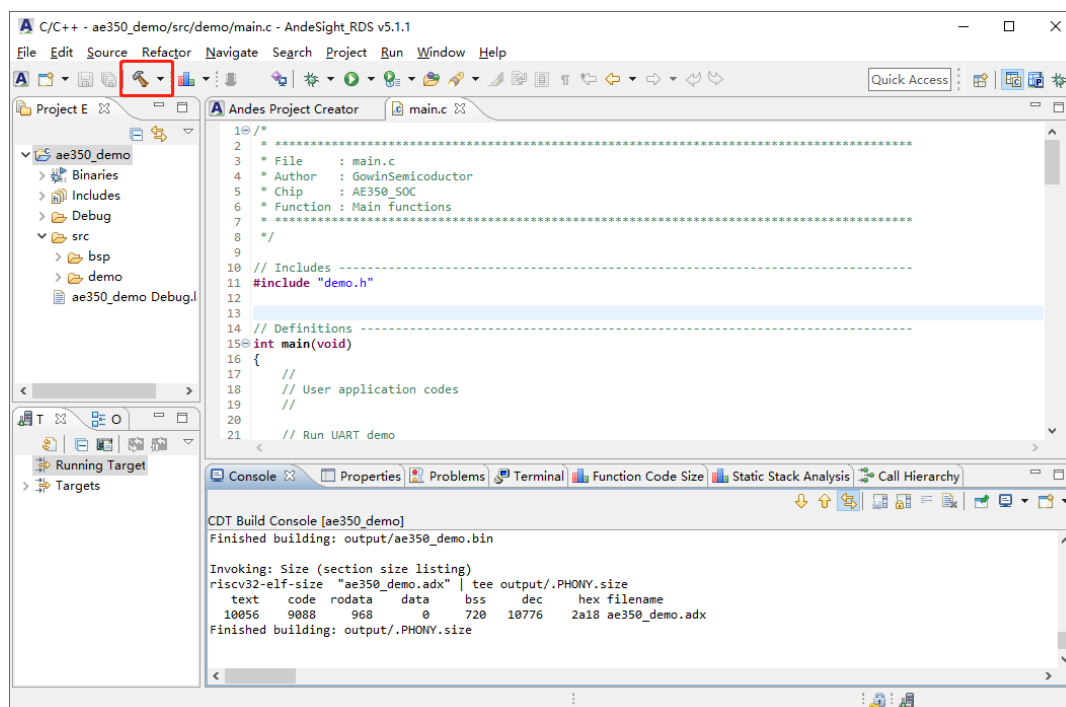
図 3-12 Target Configuration



3.4.4 ソフトウェア・プロジェクトのビルド

RDS ソフトウェアのツールバー上の「」をクリックしてソフトウェア・プロジェクトをビルドし、Binary ファイルを生成します(図 3-13)。

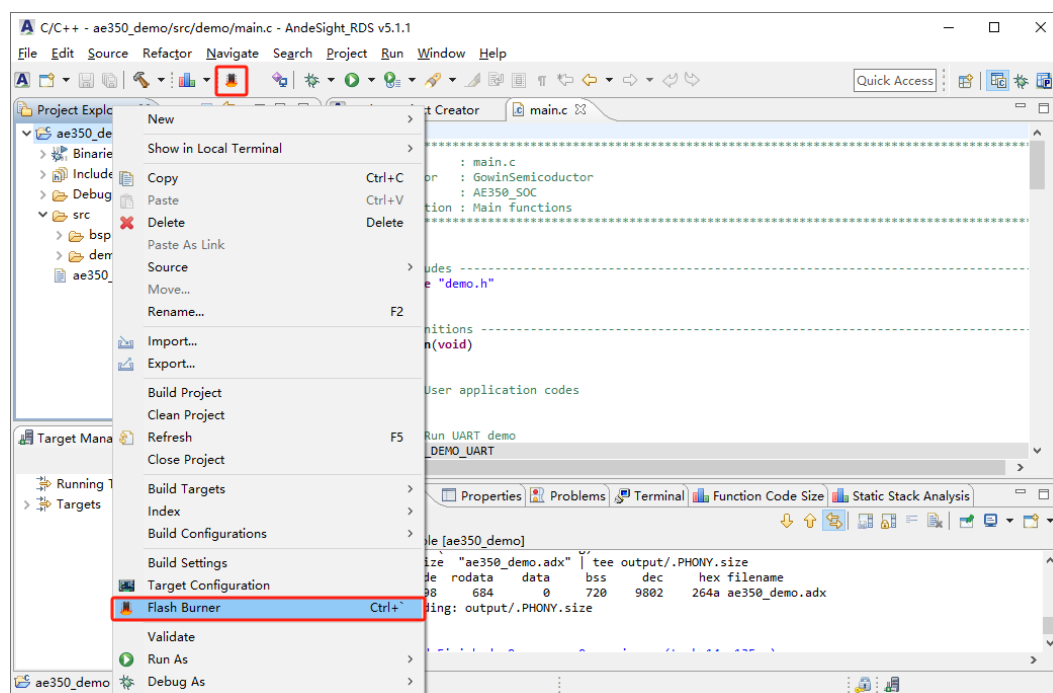
図 3-13 ソフトウェア・プロジェクトのビルド



3.4.5 ソフトウェア・プロジェクトのダウンロード

RDS ソフトウェアのツールバー上の「🔥」 (Flash Burner)をクリックするか、ソフトウェア・プロジェクトを右クリックしてドロップダウン・リストから「Flash Burner」を選択して Gowin Programmer を起動します(図 3-14)。

図 3-14 ダウンロード・オプションの構成



「Gowin Programmer > Edit > Configure Device」、またはツールバー上の「🔧」 (Configure Device)をクリックして、ダウンロード・オプションを構成します(図 3-15)。

例：

- Access Mode : External Flash Mode 5A
- Operation : exFlash C Bin Erase, Program 5A
- External Flash Options > Device : Generic Flash
- External Flash Options > Start Address : 0x600000
- FW/MCU/Binary Input Options > Firmware/Binary File : ae350_demo.bin

図 3-15 ダウンロード・オプションの構成

The 'Device configuration' dialog box is shown with the following settings:

- Device Operation:**
 - Access Mode: External Flash Mode 5A
 - Operation: exFlash C Bin Erase, Program 5A
 - exFlash C Bin Erase, Program 5A
- External Flash Options:**
 - Device: Generic Flash
 - Start Address: 0x600000
- FW/MCU/Binary Input Options:**
 - Firmware/Binary File: E:/desktop/mcu_test/ae350/ae350_demo.bin

Buttons: Save, Cancel

最後に「Save」をクリックします。

ツールバー上の「」をクリックしてソフトウェア設計の Binary ファイルをダウンロードします(図 3-16)。

図 3-16 ソフトウェアの Binary ファイルのダウンロード

The Gowin Programmer interface shows the download process. The main window displays a table with the following data:

Enable	Series	Device	Operation	MCU/FW/(HEX) File	User Code	IDCODE
☒	GW5AST	GW5AST-138B	exFlash C Bin Erase, Program 5A	E:/desktop/mcu_test/ae350/ae350_demo.bin	0x00006A26	0001081B

The Output window shows the following log:

```

Info Target Cable: Gowin USB Cable(WINUSB)/0/404/null@15MHz
Info Target Device: GW5AST-138B(0x0001081B)
Info Operation "exFlash C Bin Erase, Program 5A" for device#1...
Info Status Code is: 0x00020638
Info Try to program spi flash: 0xC84018!
Info Programmning Flash starts from 0x600000.
Info Programmning Flash ends from 0x602900.
Info Program sFlash finished.
Info The device is reloading, please check later...
Info Finished.
Info Cost 4.58 second(s)
  
```

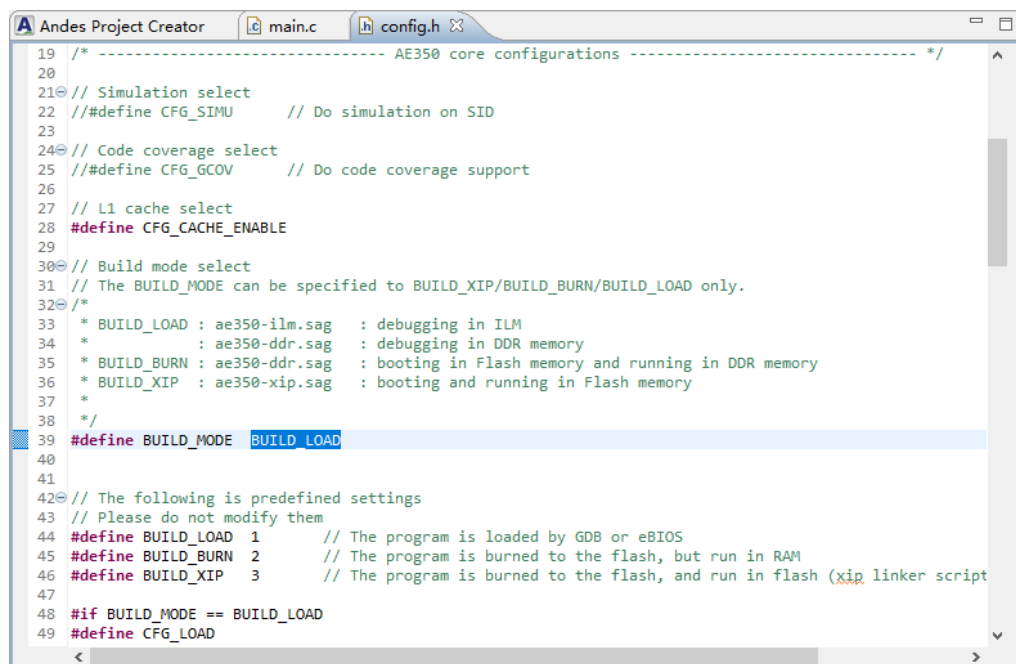
Ready

3.4.6 ソフトウェア・プロジェクトのデバッグ

ビルド・モードの構成

bsp¥config¥config.h を変更して BUILD_MODE を「BUILD_LOAD」に指定し、ソフトウェア・プロジェクトを再ビルドします(図 3-17)。

図 3-17 ビルド・モードの構成



デバッグ構成の作成

「Project Explorer」ビューでソフトウェア・プロジェクトを右クリックし、ドロップダウン・リストから「Debug As > Debug Configurations…」を選択して「MCU Program」モードのデバッグ構成を作成します(図 3-18、図 3-19)。

例：

- Main > Project : ae350_demo
- Main > Program : Debug¥ae350_demo.adx
- Startup > GDB Initialization Commands :
 - Reset and Hold
 - load
- Startup > Runtime Options : Set breakpoint at: main

図 3-18 デバッグ構成の作成

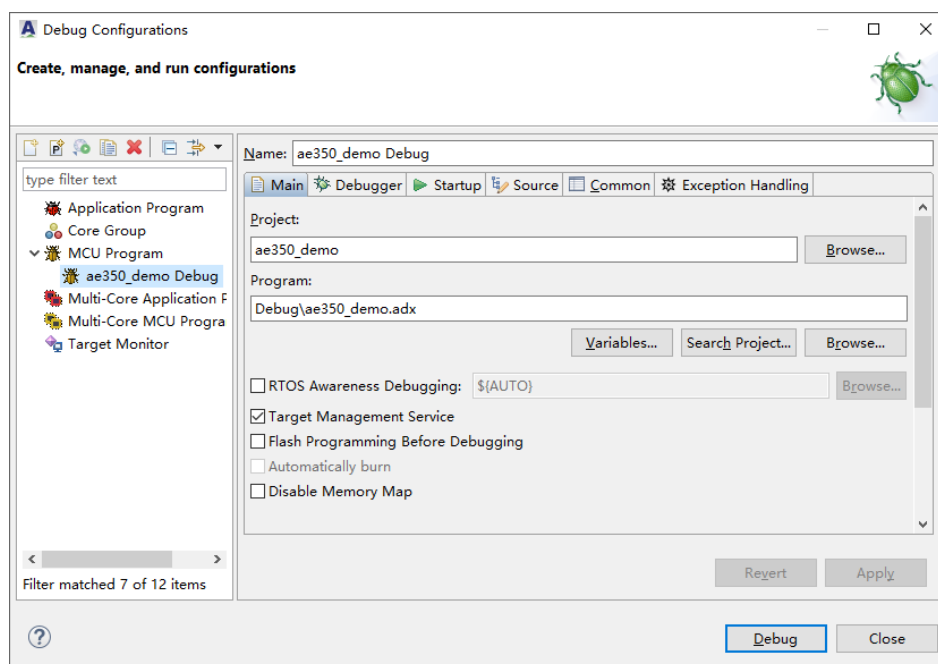
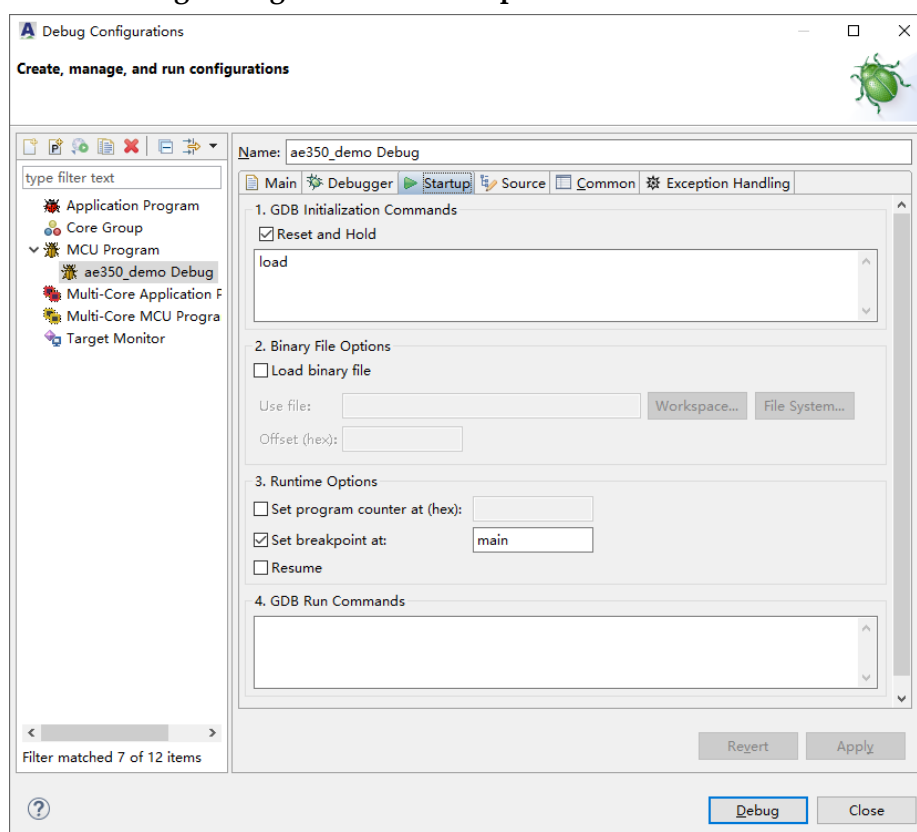


図 3-19 Debug Configurations > Startup を選択



デバッグ・セッションの開始

Windows PC、Gowin FTDI USB プログラマ、DK_START_GW5AST-LV138FPG676A V1.0 開発ボードを物理的に接続し、開発ボードを起動し

ます。

ツールバー上の「」をクリックしてデバッグ・セッションを開始します(図 3-20)。

例：

-  : Terminate and Relaunch
-  : Resume
-  : Step Into
-  : Step Over
-  : Terminate

図 3-20 デバッグ・セッションの開始

