



Gowin EasyCDR IP ユーザーガイド

IPUG1040-1.4J, 2026-04-24

著作権について(2026)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云及び **Gowin** は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale(GOWINSEMI取引条件)に規定されている内容を除き、(明示的か又は黙示的に拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。高云半导体不承诺对这些文档进行适时的更新。

バージョン履歴

日付	バージョン	説明
2023/10/12	1.0J	初版。
2024/02/02	1.1J	8B/10B デコード機能を追加。
2024/03/08	1.2J	● データの転送順を LSB ファーストに変更。 ● 8B/10B デコードのイネーブル方法を変更。
2024/05/09	1.3J	● 最大ラインレートを 2.2Gbps に変更。 ● 「3.4 GPIO」、「3.5 DATA」を追加。 ● リファレンス・デザイン 2 を追加。
2026/04/24	1.4J	● 「表 2-2 各デバイスサポートされる入力データのラインレートの範囲」を追加。 ● 「表 5-1 IP の構成オプション」における Delay Step の説明を更新。 ● 「1.2 関連ドキュメント」を更新。

目次

目次	i
図一覧	iii
表一覧	iv
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	1
1.4 テクニカル・サポートとフィードバック	2
2 概要	3
2.1 概要	3
2.2 特徴	3
2.3 動作周波数	4
2.3.1 周波数オフセットの許容値	4
2.4 リソース使用量	4
3 機能の説明	5
3.1 構造	5
3.2 Clocking	5
3.2.1 Shared logic	6
3.3 Resets	8
3.4 GPIO	9
3.5 DATA	10
3.5.1 Word Alignment	10
3.5.2 8B/10B Decoding	11
4 ポートの説明	12
5 呼び出しと構成	14
5.1 IP の呼び出し	14
5.2 IP の構成	15
6 リファレンス・デザイン	17
6.1 リファレンス・デザイン 1	17

6.1.1	ハードウェア・プラットフォーム	17
6.1.2	動作原理	18
6.1.3	パラメータの構成	18
6.1.4	操作手順	18
6.2	リファレンス・デザイン 2	19
6.2.1	ハードウェア・プラットフォーム	19
6.2.2	動作原理	19
6.2.3	パラメータの構成	20
6.2.4	操作手順	20
7	提供されるファイル	21
7.1	ドキュメント	21
7.2	リファレンス・デザイン	21

図一覧

図 3-1 Gowin EasyCDR IP の構造	5
図 3-2 単一 IP の場合におけるクロック・ロジックと IP の接続関係	7
図 3-3 複数 IP の場合のクロック・ロジックと IP の接続関係	8
図 3-4 IP の 2 つのリセット方法の論理接続.....	8
図 3-5 BANK7(UG324 パッケージ)の 13 ペアの LVDS 対応 GPIO	10
図 3-6 Word Alignment と 8B/10B Decoding が有効にされていない場合のデータ出力	10
図 3-7 Word Alignment が有効にされた場合のデータ出力.....	11
図 3-8 8B/10B Decoding が有効にされた場合のデータ出力	11
図 4-1 EasyCDR IP のポート図	12
図 5-1 IP Core Generator の画面	14
図 5-2 EasyCDR の構成画面.....	15
図 6-1 リファレンス・デザイン 1 の構造	17
図 6-2 リファレンス・デザイン 2 の構造	19

表一覧

表 1-1 用語、略語.....	1
表 2-1 Gowin EasyCDR IP の概要.....	3
表 2-2 各デバイスサポートされる入力データのラインレートの範囲.....	4
表 2-3 リソース使用量.....	4
表 3-1 GW5A(R)-25 シリーズ FPGA 製品における各 HCLK グループに対応する BANK および PLL 6	
表 3-2 8B/10B Decoding が有効にされた場合の dout_o のデータフォーマット.....	11
表 4-1 EasyCDR の信号の定義.....	12
表 5-1 IP の構成オプション.....	15
表 7-1 ファイル一覧.....	21
表 7-2 ファイル一覧.....	21

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、ユーザーが Gowin EasyCDR IP を使いこなせるよう、その特徴、ポート、GUI での構成、およびリファレンス・デザインなどについて説明します。本マニュアルに記載のソフトウェア GUI のスクリーンショットは、Gowin ソフトウェア 1.9.9.03 バージョンの場合のもので、ソフトウェアのアップデートにより、一部の内容が変更される場合があります。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- Gowin ソフトウェア ユーザーガイド([SUG100](#))
- GW5A シリーズ FPGA 製品データシート([DS1103](#))
- GW5AR シリーズ FPGA 製品データシート([DS1108](#))
- GW5AT シリーズ FPGA 製品データシート([DS981](#))
- GW5AST シリーズ FPGA 製品データシート([DS1239](#))
- GW5AS シリーズ FPGA 製品データシート([DS1105](#))
- GW5ART シリーズ FPGA 製品データシート([DS1118](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
ALU	Arithmetic Logic Unit	算術論理演算装置
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ

用語、略語	正式名称	意味
GPIO	Gowin Programmable Input/Output	Gowin プログラマブル汎 用IO
HCLK	High-speed Clock	高速クロック
IP	Intellectual Property	設計資産
LUT	Look-up Table	ルックアップテーブル
PLL	Phase-locked Loop	位相同期回路
PRBS	Pseudo-Random Binary Sequence	擬似ランダム・バイナリ・ シーケンス
REG	Register	レジスタ

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ: www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

2.1 概要

Gowin EasyCDR IP は、GPIO に基づいて高速シリアル・データを低速パラレル・データに変換する機能を提供します。ユーザーはこの IP を使用して、クロックを必要とせずにシリアル・データ・ストリームを抽出できます。

表 2-1 Gowin EasyCDR IP の概要

Gowin EasyCDR IP	
ロジックリソース	表2-3参照
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンス・デザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis
統合開発環境	Gowin Software (V1.9.9 Beta-5以降)

注記：

デバイスのサポート情報は、Gowin セミコンダクターの[ホームページ](#)で確認できます。

2.2 特徴

- シリアル・データをパラレル・データに変換
- データを受信するために外部リファレンス・クロックは不要
- 出力データ幅は 10/16/20/32 ビット
- 入力データのラインレートは 0.1 Gbps~2.2 Gbps^[1]
- 8B/10B エンコードされたシリアル・データを識別または解析可能

注記：

^[1]サポートされる入力データのラインレートの範囲はデバイスによって異なります。表 2-2 を参照してください。

表 2-2 各デバイスサポートされる入力データのラインレートの範囲

デバイス	ラインレート
GW5A-25	0.1 Gbps~2.2 Gbps
GW5AR-25	
GW5AS-25	
GW5ART-15	0.1 Gbps~1.0 Gbps
GW5AT-15	
GW5A-60	
GW5AT-60	
GW5A-138	
GW5AS-138	
GW5AT-138	
GW5AST-138	

2.3 動作周波数

入力データストリームのラインレートが **1Gbps** 以下の場合、Gowin EasyCDR IP の動作周波数は入力データストリームのラインレートの **8** 分の **1** です。

入力データストリームのラインレートが **1Gbps** より高い場合、Gowin EasyCDR IP の動作周波数は入力データストリームのラインレートの **16** 分の **1** です。

2.3.1 周波数オフセットの許容値

IP は、**1Gbps** のレートで **±5000ppm** の周波数オフセットを許容できます。周波数オフセットの許容値はレートによって変化し、レートと負の相関関係があります。

2.4 リソース使用量

Gowin EasyCDR IP は、Verilog で実装され、そのパフォーマンスとリソース使用量は、使用されているデバイスの密度、スピードグレードなどにより異なる場合があります。例えば、GW5A(R)-25 の場合、デフォルトの構成でのリソース使用量は表 2-3 に示すようになります。他のデバイスでのリソース使用量については、その最新情報を参照してください。

表 2-3 リソース使用量

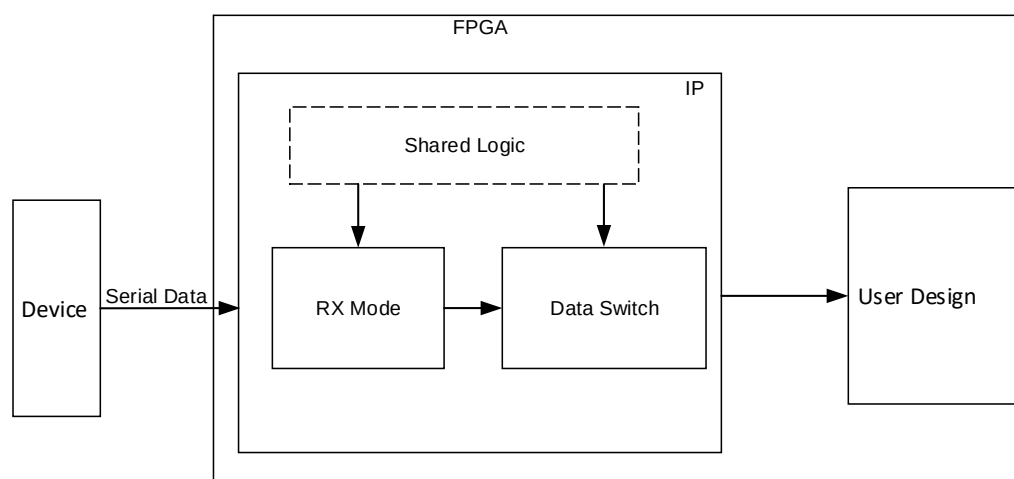
デバイス	プログラミング言語	LUTs	Registers
GW5A(R)-25	Verilog HDL	458	294

3 機能の説明

3.1 構造

Gowin EasyCDR IP は、主に RX Mode、Data switch、および Shared logic の 3 つの部分で構成されます(図 3-1)。

図 3-1 Gowin EasyCDR IP の構造



- **RX Mode** : シリアル・データ・ストリームを受信して処理します。
- **Data switch** : 処理されたデータを解析してパラレル・データに変換します。
- **Shared logic** : クロック制御モジュール。3.2 Clocking および 3.3 Resets を参照してください。

3.2 Clocking

FPGA には、GPIO リソースを駆動する高速クロック信号(HCLK)リソースが含まれています。HCLK 信号はグループ化されています (1 つのグループには 4 つの HCLK 信号がある)。各 HCLK グループは固定の GPIO リソースを駆動し、また対応する PLL リソースによって駆動されます。各 HCLK グループの周波数は入力データストリームのラインレートにより決定され、位相はそれぞれ 0° 、 90° 、 180° 、 270° です。入力デー

タストリームラインレートが 1Gbps 以下の場合、HCLK の周波数はラインレートの 2 分の 1 です。入力データストリームのラインレートが 1Gbps より高い場合、HCLK の周波数はラインレートの 4 分の 1 です。HCLK、PLL、GPIO の対応関係については、[1.2 関連ドキュメント](#)における FPGA 製品データシートを参照してください。

例えば、GW5A(R)-25 シリーズ FPGA 製品には、4 つの HCLK グループに分割される、16 個の HCLK リソースが含まれています。各 HCLK グループは 2 つの BANK の GPIO を駆動でき、また、各 HCLK グループは 2 つの対応する PLL により駆動されます。GW5A(R)-25 シリーズ FPGA 製品における各 HCLK グループに対応する BANK および PLL を表 3-1 に示します。

表 3-1 GW5A(R)-25 シリーズ FPGA 製品における各 HCLK グループに対応する BANK および PLL

PLL	BANK
PLL_T/PLL_R[0]	BANK0/BANK1
PLL_R[1]/PLL_B	BANK2/BANK3
PLL_B/PLL_L[1]	BANK4/BANK5
PLL_L[0]/PLL_T	BANK6/BANK7

各 HCLK グループには対応する GPIO と PLL があるため、IP をインスタンス化するには以下の要件に従う必要があります：

- 1 つの IP をインスタンス化する場合、IP の受信差動信号 (rxp_i/rxn_i) を同じ HCLK グループの GPIO に割り当てる必要があります。
- 複数の IP をインスタンス化する場合、HCLK リソースと PLL リソースを節約するために、すべての IP の差動信号をできるだけ同じ HCLK グループの GPIO に割り当てることを推奨します。
- PLL を、IP の差動信号が割り当てられた BANK に手動で制約する必要があります。例えば、IP の差動信号が BANK0 に割り当てられた場合、PLL を PLL_T に制約する必要があります。また、PLL をプロジェクトのトップレベルでインスタンス化する必要があります。インスタンス名が u_pll_hclk の場合、制約文「INS_LOC "u_pll_hclk/PLLA_inst" PLL_T」を cst ファイルに書き込みます。

3.2.1 Shared logic

IP では、クロック・ネットワークを構築するには 4 つの HCLK リソースを使用する必要があります。複数の IP が同じ HCLK グループ内でインスタンス化されている場合、すべての IP がこのクロック・ネットワークを共有する必要があります。

Shared Logic は 4 つの HCLK によって構築されたクロック・ネットワークです。ユーザーは必要に応じて IP に Shared Logic を含めるかどうか

かを選択できます。

IP の出力データとクロックの関係は次のとおりです。

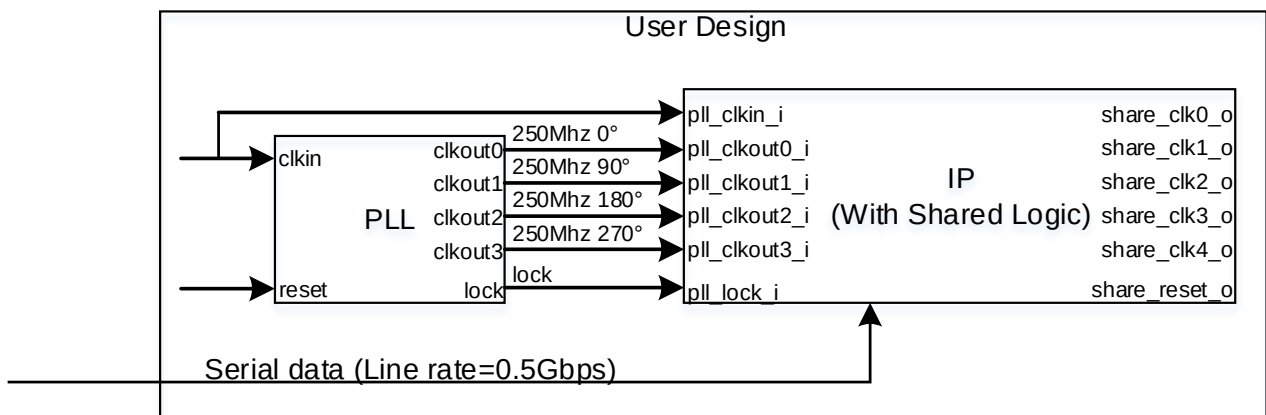
- **Shared Logic** オプションで **Inside** を選択すると、IP が出力するパラレル・データは、IP が出力する `share_clk4_o` と同期します。
- **Shared Logic** オプションで **Outside** を選択すると、IP が出力するパラレル・データは、IP に入力する `share_clk4_i` と同期します。

ユーザーデザインでは、PLL 出力クロックの周波数は入力データストリームのラインレートによって決まります。入力データストリームのラインレートが **1Gbps** 以下の場合、PLL 出力クロックの周波数はラインレートの **2 分の 1** で、入力データストリームのラインレートが **1Gbps** より高い場合、PLL 出力クロックの周波数はラインレートの **4 分の 1** です。下図に示すように、例えば、ラインレートが **0.5Gbps** の場合、PLL 出力クロックの周波数は **250MHz** になります。

単一の IP

HCLK グループ内で単一の IP のみがインスタンス化されている場合、その IP にはクロック・ネットワークの構築に使用される **Shared Logic** を含める必要があります。単一 IP の場合におけるクロック・ロジックと IP の接続関係を図 3-2 に示しています。

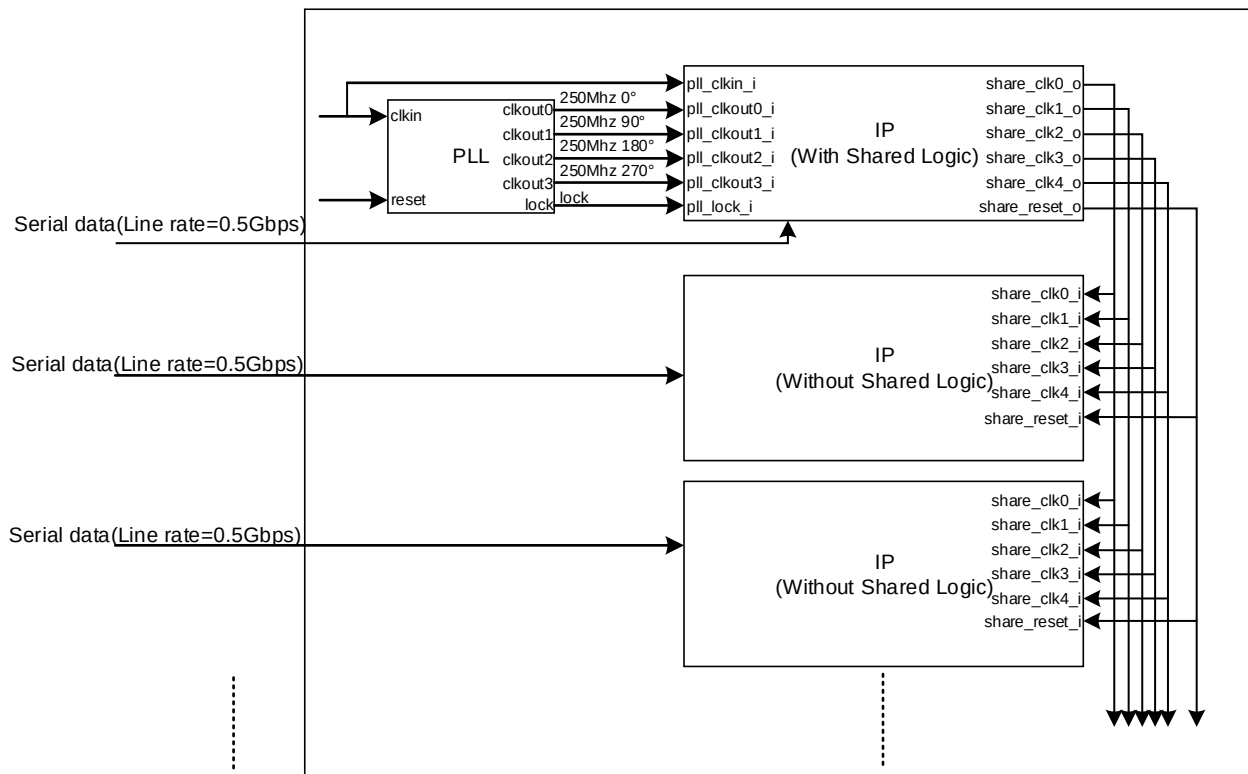
図 3-2 単一 IP の場合におけるクロック・ロジックと IP の接続関係



複数の IP

HCLK グループ内で 2 つ以上の IP がインスタンス化されている場合、クロック・ネットワークの共有を実現するには、**1 つの IP のみに Shared Logic** を含めるようにする必要があります。複数 IP の場合におけるクロック・ロジックと IP の接続関係を図 3-3 に示しています。

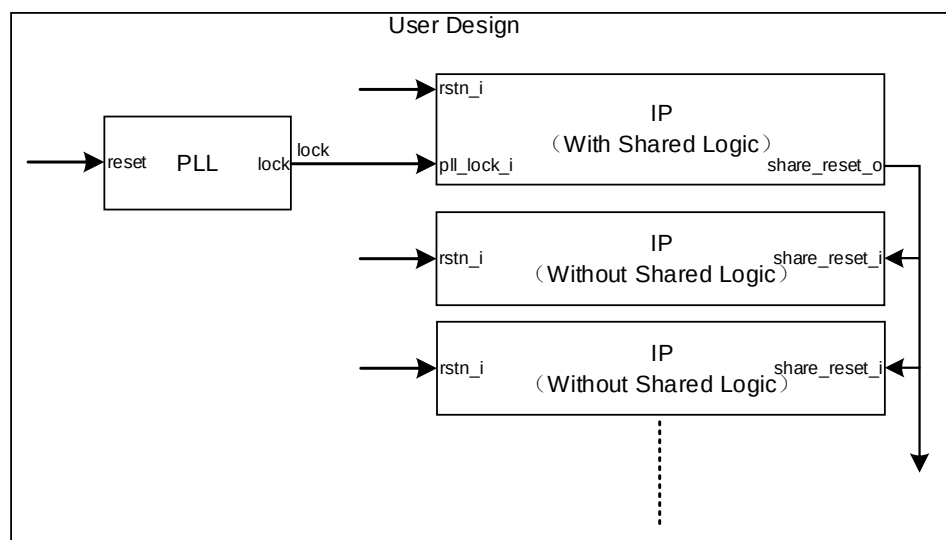
図 3-3 複数 IP の場合のクロック・ロジックと IP の接続関係



3.3 Resets

IP は 2 つのリセット方法をサポートしています。1 つのリセット方法は、HCLK グループ内のすべての IP をリセットするために使用されます。つまり、PLL をリセットして Shared logic を制御し、HCLK グループ内のすべての IP をリセットします。もう 1 つのリセット方法は、IP を個別にリセットするために使用されます。この 2 つのリセット方法の論理接続を図 3-4 に示します。

図 3-4 IP の 2 つのリセット方法の論理接続



3.4 GPIO

IP の差動信号 rxp_i および rxn_i は、LVDS をサポートする GPIO に割り当てする必要があります。LVDS をサポートする GPIO の情報については、『GW5A-25 デバイス Pinout(UG985)』を参照してください。

入力データストリームのラインレートが 1Gbps 以下の場合、IP はデータ処理用に、割り当てられた GPIO の IODELAY のみを占有します。入力データストリームのラインレートが 1Gbps より高い場合、IP はデータ処理用にさらに、隣接する GPIO の IODELAY を借用し、このとき、この隣接する GPIO にはピンを割り当てることができなくなります。借用のルールは次のとおりです。

- 割り当てられた GPIO と借用された GPIO は、同じ IOT/IOR/IOB/IOL に属します。
- 割り当てられた GPIO に隣接する、ピン名の番号が比較的小さい GPIO を借用します。
- 借用された GPIO も、LVDS をサポートする GPIO である必要があります。
- ボンディングされていないピンを借用することもできます。

注記：

GPIO の隣に借用できる IODELAY がない場合、この GPIO に IP を割り当てることができません。

例えば、GW5A(R)-25 FPGA の場合、BANK7(UG324 パッケージ)には LVDS をサポートする GPIO が 13 ペアあります。入力データストリームのラインレートが 1Gbps 以下の場合、IP の差動信号 rxp_i および rxn_i を 13 ペアのうちのいずれかの GPIO ペアに割り当てることができます。入力データストリームのラインレートが 1Gbps より高い場合、IP の差動信号 rxp_i と rxn_i を、H4(IOT1A)と H3(IOT1B)を除く 12 ペアのうちのいずれかの GPIO ペアに割り当てることができます。

例えば、IP の差動信号 rxp_i と rxn_i が L7(IOT21A)と K6(IOT21B)に割り当てられている場合、IP は D2(IOT19A)と D1(IOT19B)に対応する IODELAY をさらに借用し、このとき、D2 と D1 にはピンを割り当てることができなくなります。IP の差動信号 rxp_i と rxn_i が G3(IOT7A)と G1(IOT7B)に割り当てられている場合、IP は IOT5A と IOT5B に対応する IODELAY をさらに借用します(IOT5A と IOT5B は UG324 パッケージにおいてボンディングされていません)。H4(IOT1A)と H3(IOT1B)には借用可能な GPIO がないため、IP の差動信号 rxp_i と rxn_i をここに割り当てることができません。

下図に、BANK7(UG324 パッケージ)の 13 ペアの LVDS 対応 GPIO を示します。

図 3-5 BANK7(UG324 パッケージ)の 13 ペアの LVDS 対応 GPIO

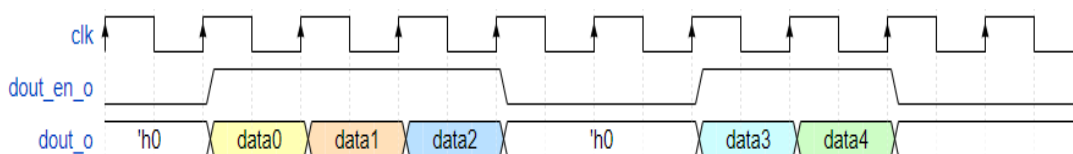
Pin Name	Function	BANK	ADC_INPUT	DQS	Configuration Function	Differential Pair	LVDS	UG324
BANK7 True LVDS Pair								
IOT11A	I/O	7	bus0	none		True_of_IOT11B	True	F2
IOT11B	I/O	7	bus0	none		Comp_of_IOT11A	True	F1
IOT13A	I/O	7	bus0	none		True_of_IOT13B	True	J7
IOT13B	I/O	7	bus0	none		Comp_of_IOT13A	True	J6
IOT15A	I/O	7	bus0	none		True_of_IOT15B	True	E3
IOT15B	I/O	7	bus0	none		Comp_of_IOT15A	True	E1
IOT17A	I/O	7	bus0	none		True_of_IOT17B	True	F4
IOT17B	I/O	7	bus0	none		Comp_of_IOT17A	True	F3
IOT19A	I/O	7	bus0	none		True_of_IOT19B	True	D2
IOT19B	I/O	7	bus0	none		Comp_of_IOT19A	True	D1
IOT1A/GCLKT_15/LPLL0_T_IN0	I/O	7	bus0	none	GCLKT_15/LPLL0_T_IN0	True_of_IOT1B	True	H4
IOT1B/GCLKC_15/LPLL0_C_IN0	I/O	7	bus0	none	GCLKC_15/LPLL0_C_IN0	Comp_of_IOT1A	True	H3
IOT21A	I/O	7	bus0	none		True_of_IOT21B	True	L7
IOT21B	I/O	7	bus0	none		Comp_of_IOT21A	True	K6
IOT23A	I/O	7	bus0	none		True_of_IOT23B	True	E4
IOT23B	I/O	7	bus0	none		Comp_of_IOT23A	True	D3
IOT25A	I/O	7	bus0	none		True_of_IOT25B	True	F6
IOT25B	I/O	7	bus0	none		Comp_of_IOT25A	True	F5
IOT27A	I/O	7	bus0	none		True_of_IOT27B	True	C2
IOT27B	I/O	7	bus0	none		Comp_of_IOT27A	True	C1
IOT3A/GCLKT_16	I/O	7		none	GCLKT_16	True_of_IOT3B	True	L5
IOT3B/GCLKC_16	I/O	7		none	GCLKC_16	Comp_of_IOT3A	True	K5
IOT7A	I/O	7	bus0	none		True_of_IOT7B	True	G3
IOT7B	I/O	7	bus0	none		Comp_of_IOT7A	True	G1
IOT9A	I/O	7	bus0	none		True_of_IOT9B	True	H7
IOT9B	I/O	7	bus0	none		Comp_of_IOT9A	True	G6

3.5 DATA

IP はシリアル信号をパラレル・データに変換して出力すると同時に、その後のデータ処理のためにクロック周波数を下げます。

IP の Word Alignment と 8B/10B Decoding が有効にされていない場合、IP は受信データを dout_en_o と dout_o を介して出力します。dout_en_o が 1 の時、受信データは、dout_o 経由で出力されます(LSB ファースト)。Word Alignment と 8B/10B Decoding が有効にされていない場合のデータ出力を下図に示します。

図 3-6 Word Alignment と 8B/10B Decoding が有効にされていない場合のデータ出力

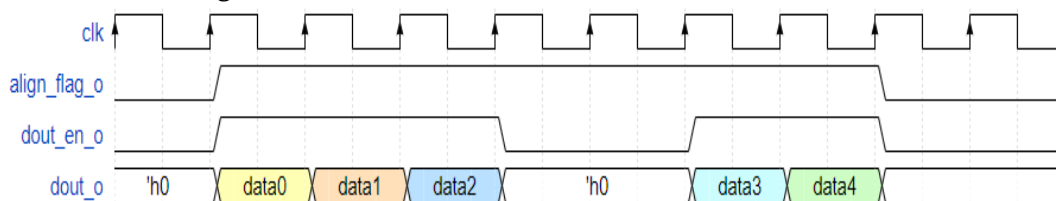


3.5.1 Word Alignment

Word Alignment では、IP は設定された K キャラクタに従って受信データをアライメントして出力します。Word Alignment は、入力データストリームのラインレートが 1Gbps 以下で、dout_o の幅が 10 ビットの場合にのみ選択できます。

1 である align_flag_o は、受信データのアライメントが成功したことを示し、dout_en_o も同時に 1 である場合、dout_o はアライメントされたデータを出力します(LSB ファースト)。0 である align_flag_o は、受信データのアライメントが失敗したことを示し、この場合、IP はデータを出力しません。Word Alignment が有効にされた場合のデータ出力を下図に示します。

図 3-7 Word Alignment が有効にされた場合のデータ出力

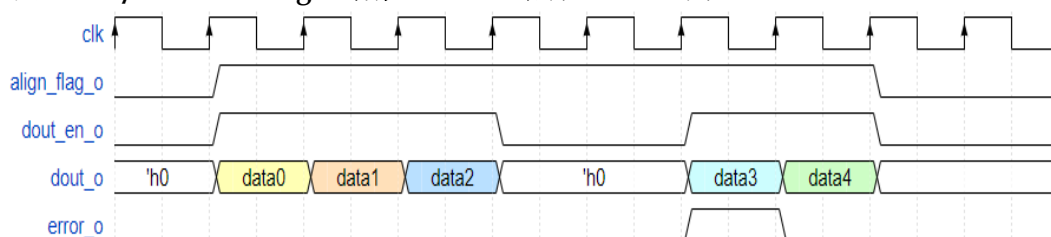


3.5.2 8B/10B Decoding

8B/10B Decoding では、IP は受信データに対して 8B/10B デコードを実行し、エンコード前のデータに復元します。8B/10B Decoding は、入力データストリームのラインレートが 1Gbps 以下、dout_o の幅が 10 ビット、Word Alignment が有効にされた場合にのみ選択できます。

1 である align_flag_o は、受信データのアライメントが成功したことを示し、dout_en_o も同時に 1 である場合、dout_o は 8B/10B デコードされたデータを出力します。0 である align_flag_o は、受信データのアライメントが失敗したことを示し、この場合、IP はデータを出力しません。dout_en_o が 1 の場合、0 である error_o は、dout_o のデコード中にエラーがなかったことを示し、1 である error_o は、dout_o のデコード中に不一致エラーまたはデータエラーが発生したことを示します。8B/10B Decoding が有効にされていない場合のデータ出力を下図に示します。

図 3-8 8B/10B Decoding が有効にされた場合のデータ出力



デコードされたデータ dout_o は、K キャラクタ識別子とデータの 2 つの部分で構成されます。1 である K キャラクタ識別子は、データが K キャラクタであることを示し、0 である K キャラクタ識別子は、データが D キャラクタであることを示します。dout_o は、上位ビットから下位ビットの順に 1 ビットの 0、1 ビットの K キャラクタ識別子、および 8 ビットのデータからなります。8B/10B Decoding が有効にされた場合の dout_o のデータフォーマットを下図に示します。

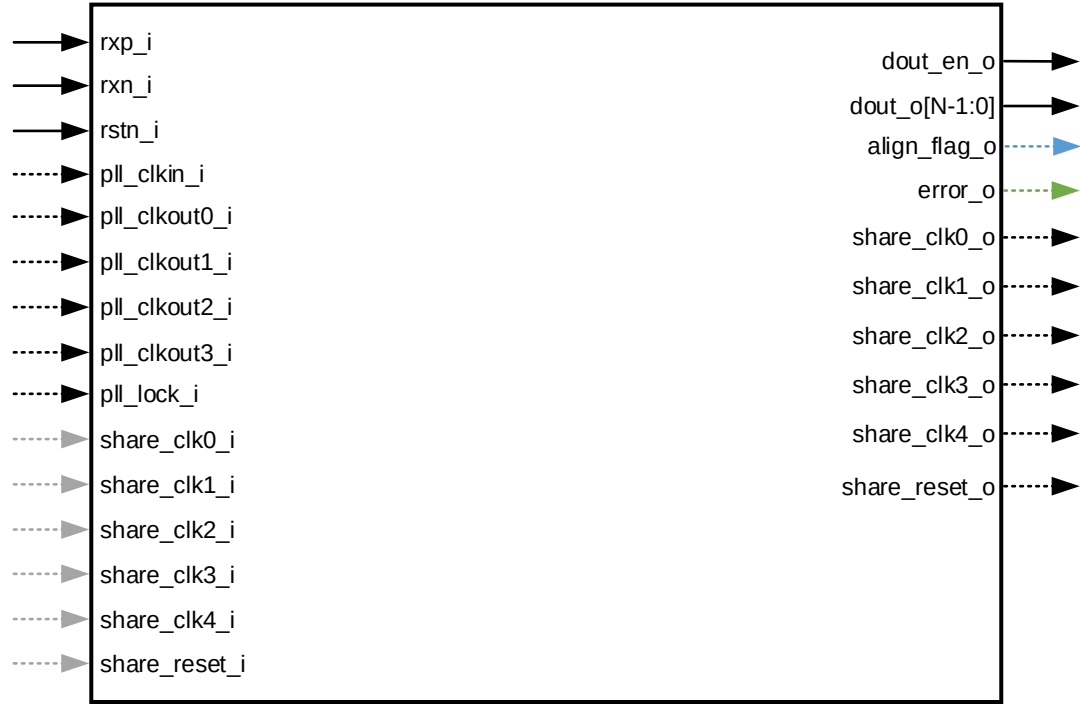
表 3-2 8B/10B Decoding が有効にされた場合の dout_o のデータフォーマット

Bit	9	8	7:0
意味	常に0	Kキャラクタ識別子	データ

4ポートの説明

Gowin EasyCDR IP のポート図を図 4-1 に示します。

図 4-1 EasyCDR IP のポート図



- 注記：
- -----▶ は、Shared logic オプションで Inside を選択した場合に存在するポートを示します。
 - -----▶ は、Shared logic オプションで Outside を選択した場合に存在するポートを示します。
 -▶ は、Word Alignment を選択した場合に存在するポートを示します。
 -▶ は、Word Alignment と Enable 8B/10B Decoding を選択した場合に存在するポートを示します。

信号の定義

表 4-1 EasyCDR の信号の定義

番号	信号名	タイプ	幅(ビット)	説明
1	rxp_i	入力	1	受信差動信号、P側

番号	信号名	タイプ	幅(ビット)	説明
2	rxn_i	入力	1	受信差動信号、N側
3	rstn_i	入力	1	リセット信号、アクティブLow
4	pll_clkln_i	入力	1	PLLのリファレンス・クロック
5	pll_clkout0_i	入力	1	PLLのチャネル0のクロック信号。その位相は0°
6	pll_clkout1_i	入力	1	PLLのチャネル1のクロック信号。その位相は90°
7	pll_clkout2_i	入力	1	PLLのチャネル2のクロック信号。その位相は180°
8	pll_clkout3_i	入力	1	PLLのチャネル3のクロック信号。その位相は270°
9	pll_lock_i	入力	1	PLLロック信号、アクティブHigh
10	share_clk0_o	出力	1	共有クロック出力1。その位相は0°
11	share_clk1_o	出力	1	共有クロック出力2。その位相は90°
12	share_clk2_o	出力	1	共有クロック出力3。その位相は180°
13	share_clk3_o	出力	1	共有クロック出力4。その位相は270°
14	share_clk4_o	出力	1	共有クロック出力5
15	share_reset_o	出力	1	共有リセット出力、アクティブHigh
16	share_clk0_i	入力	1	共有クロック入力1。その位相オフセットは0°
17	share_clk1_i	入力	1	共有クロック入力2。その位相オフセットは90°
18	share_clk2_i	入力	1	共有クロック入力3。その位相オフセットは180°
19	share_clk3_i	入力	1	共有クロック入力4。その位相オフセットは270°
20	share_clk4_i	入力	1	共有クロック入力5
21	share_reset_i	入力	1	共有リセット入力、アクティブHigh
22	dout_en_o	出力	1	パラレル・データのイネーブル、アクティブHigh
23	dout_o	出力	32/20/16/10	パラレル・データ出力、LSBファースト
24	align_flag_o	出力	1	データ・アライメントの指示、アクティブHigh
25	error_o	出力	1	出力エラーの指示、アクティブHigh

Shared LogicオプションでInsideを選択すると、share_clk4_oと同期します。

Shared LogicオプションでOutsideを選択すると、share_clk4_iと同期します。

5 呼び出しと構成

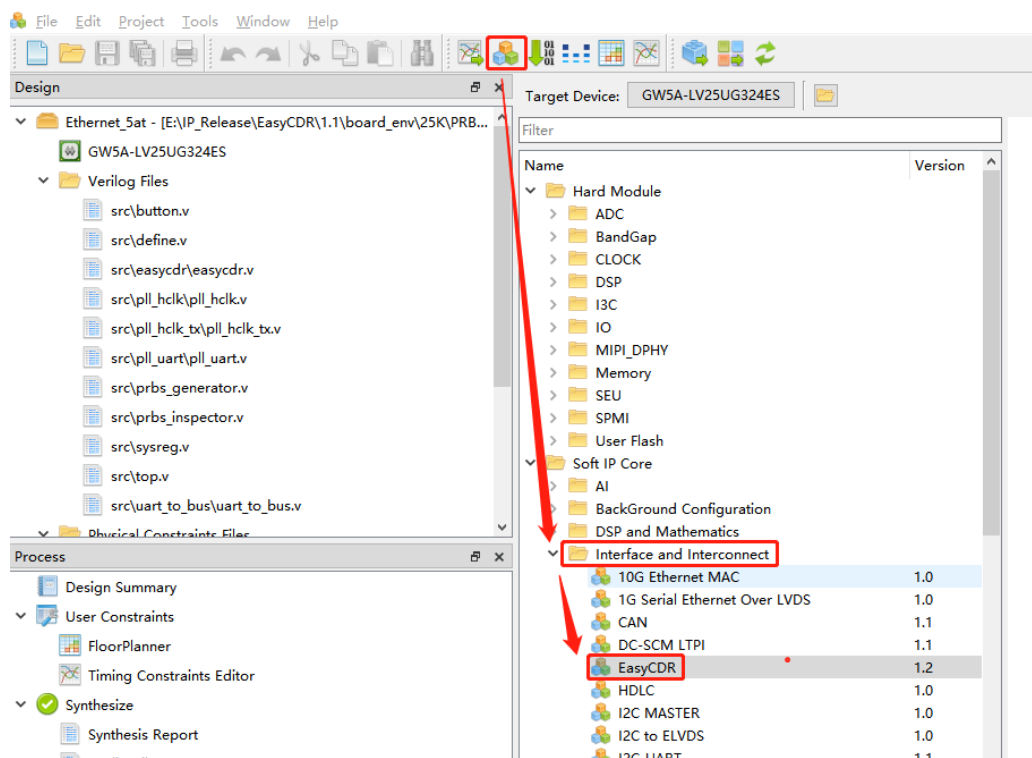
5.1 IP の呼び出し

Gowin ソフトウェア GUI の「」、または「メニューバー > Tools > IP Core Generator」をクリックして、IP を呼び出し・構成することができます。

1. IP Core Generator を開く

プロジェクトが作成された後、「IP Core Generator」オプションをクリックして Gowin の IP コア生成ツールを開きます(図 5-1)。

図 5-1 IP Core Generator の画面

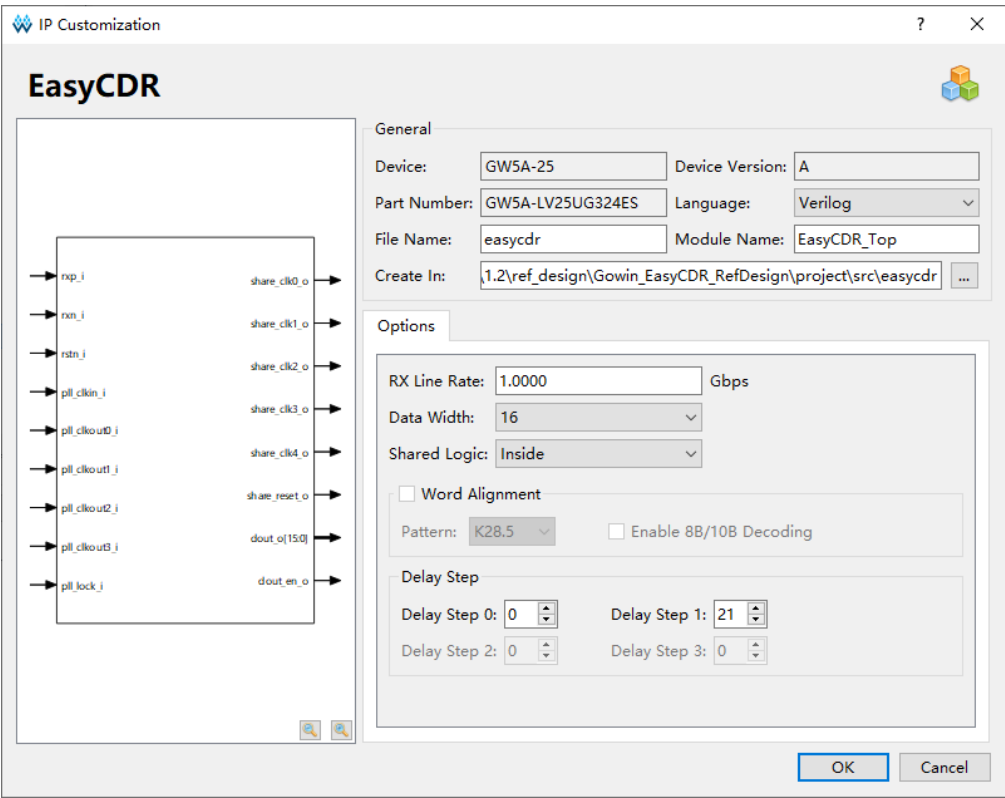


2. IP を開く

「Soft IP Core > Interface and Interconnect > EasyCDR」をダブルクリック

リックして EasyCDR IP の構成画面を開きます(図 5-2)。

図 5-2 EasyCDR の構成画面



- 「File Name」 フィールドでファイルの名前を構成できます。
- 「Module Name」 フィールドでトップ・モジュールの名前を構成できます。
- 「Options」 タブでその他のオプションを構成できます。

5.2 IP の構成

表 5-1 IP の構成オプション

オプション	説明
RX Line Rate	受信信号のラインレート。範囲は0.1～2.2Gbps
Data Width	出力パラレル・データの幅： ● RX Line Rateが1Gbps以下の場合、10と16を選択可能です。 ● RX Line Rateが1Gbpsより高い場合、20と32を選択可能です。
Shared logic	共有クロック・ロジック。実際の状況に応じて選択してください。 ● Insideを選択すると、その他のインスタンス化されたIPのために共有クロックを出力します。 ● Outsideを選択すると、共有クロックを受信します(出力しない)。

オプション	説明
Word Alignment	ワード・アライメント機能。チェックした場合、1である align_flag_o は、アライメントが成功したことを示します。RX Line Rateが1Gbps以下で、 dout_o の幅が10ビットの場合にのみ選択できます。
Pattern	ワード・アライメント用の pattern を選択します(12種類あり)。Word Alignmentオプションがチェックされた場合に選択できます。
Enable 8B/10B Decoding	8B/10B Decoding機能。Word Alignmentオプションがチェックされた場合に選択できます。
Delay Step 0	IODELAYの遅延値0。この値はソフトウェアによって自動的に生成されるものであり、変更することはできません。
Delay Step 1	IODELAYの遅延値1。この値はソフトウェアによって自動的に生成されるものであり、変更することはできません。
Delay Step 2	IODELAYの遅延値2。この値はソフトウェアによって自動的に生成されるものであり、変更することはできません。
Delay Step 3	IODELAYの遅延値3。この値はソフトウェアによって自動的に生成されるものであり、変更することはできません。

6 リファレンス・デザイン

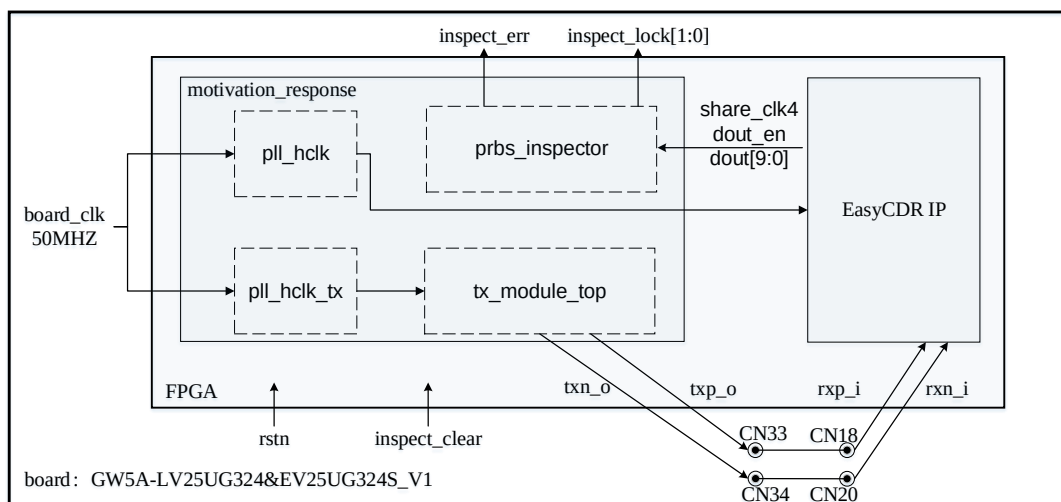
詳細については、GOWIN のホームページにおける EasyCDR IP [リファレンス・デザイン](#)を参照してください。

6.1 リファレンス・デザイン 1

6.1.1 ハードウェア・プラットフォーム

このセクションでは、GW5A(R)-LV25UG324&EV25UG324S_V1 開発ボードで IP を実装する方法(Gowin EasyCDR RefDesign)を紹介します。その構造は図 6-1 に示すとおりです。

図 6-1 リファレンス・デザイン 1 の構造



1. FPGA 内のすべてのクロックは、50MHz のオンボードの水晶発振器により生成されます。
2. キーSW2(rstn)は、FPGA の内部モジュールをリセットするために使用されます。アクティブ Low。
3. キーSW3(inspect_clear)は、データ検出結果をクリアするために使用されます。アクティブ Low。
4. LED D8(inspect_lock[0])は、現在のデータ受信の安定状態を示し、

High レベルは安定したデータ受信を示します。

5. LED D9(inspect_lock[1])は、データ受信の安定状態を示し、High レベルはデータ受信に不安定な状態が発生したことを示します。
6. LED D11(inspect_err)は、データ受信のエラーを示し、High レベルはデータ受信中にエラーが発生したことを示します。
7. SMA インターフェースの CN33 および CN34 は、送信側の差動ペアであり、ライン レートは 1Gbps です。
8. SMA インターフェースの CN18 および CN20 は、受信側の差動ペアです。

6.1.2 動作原理

このテストシステムのクロックは、オンボードの水晶発振器により提供されています。

1. pll_hclk と pll_hclk_tx、システムに必要なクロックを生成します。
2. tx_module_top は、擬似ランダム差動シリアル・データ・ストリームを生成してオンボード SMA インターフェース CN33 および CN34 に出力します。
3. CN33 と CN34 は無線周波数ケーブルを介してそれぞれ CN18 と CN20 に接続され、データ・ストリームはこれらを介して IP に送信されます。
4. IP は入力データ・ストリームを解析し、解析されたデータを検出のために prbs_inspector に送信します。検出結果は、inspect_err および inspect_lock に出力されます。また、Gowin アナライザオシロスコープ()を通じて確認することもできます。

6.1.3 パラメータの構成

ユーザーは、オンボード水晶発振器からの入力クロック(50MHz)に基づいて、必要に応じて PLL を利用して必要な周波数のクロックを取得できます (現在のハードウェア・プラットフォームは、デフォルトで 0.1～1Gbps のシリアル・ラインレートをサポートしています)。

6.1.4 操作手順

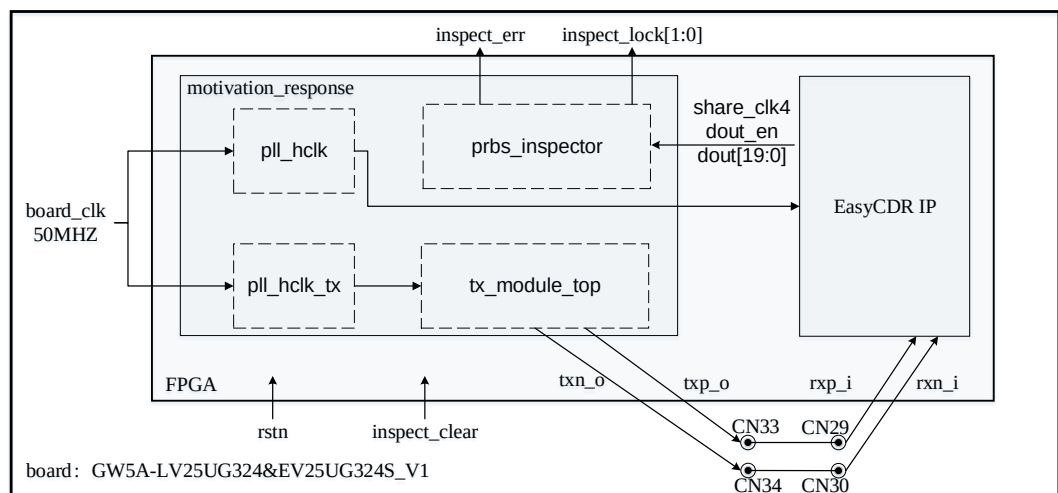
1. Gowin ソフトウェア (Gowin_V1.9.9.03 以降) を開きます > リファレンス・デザインのプロジェクトを開いてトップレベル・ファイルを設定します > ルーチンをコンパイルします > 生成されたビットストリームファイル (ao.fs)をボードにダウンロードします。
2. ツールバー > Gowin Analyzer Oscilloscope () > を実行して、その結果を観察します。

6.2 リファレンス・デザイン 2

6.2.1 ハードウェア・プラットフォーム

このセクションでは、GW5A(R)-LV25UG324&EV25UG324S_V1 開発ボードで IP を実装する方法(Gowin EasyCDR RefDesign Exceed 1Gbps)を紹介します。その構造は図 6-2 に示すとおりです。

図 6-2 リファレンス・デザイン 2 の構造



1. FPGA 内のすべてのクロックは、50MHz のオンボードの水晶発振器により生成されます。
2. キーSW2(rstn)は、FPGA の内部モジュールをリセットするために使用されます。アクティブ Low。
3. キーSW3(inspect_clear)は、データ検出結果をクリアするために使用されます。アクティブ Low。
4. LED D8(inspect_lock[0])は、現在のデータ受信の安定状態を示し、High レベルは安定したデータ受信を示します。
5. LED D9(inspect_lock[1])は、データ受信の安定状態を示し、High レベルはデータ受信に不安定な状態が発生したことを示します。
6. LED D11(inspect_err)は、データ受信のエラーを示し、High レベルはデータ受信中にエラーが発生したことを示します。
7. SMA インターフェースの CN33 および CN34 は、送信側の差動ペアであり、ライン レートは 1.2Gbps です。
8. SMA インターフェースの CN29 および CN30 は、受信側の差動ペアです。

6.2.2 動作原理

このテストシステムのクロックは、オンボードの水晶発振器により提供されています。

1. `pll_hclk` と `pll_hclk_tx`、システムに必要なクロックを生成します。
2. `tx_module_top` は、擬似ランダム差動シリアル・データ・ストリームを生成してオンボード SMA インターフェース **CN33** および **CN34** に出力します。
3. **CN33** と **CN34** は無線周波数ケーブルを介してそれぞれ **CN29** と **CN30** に接続され、データ・ストリームはこれらを介して **IP** に送信されます。
4. **IP** は入力データ・ストリームを解析し、解析されたデータを検出のために `prbs_inspector` に送信します。検出結果は、`inspect_err` および `inspect_lock` に出力されます。また、Gowin アナライザオシロスコープ()を通じて確認することもできます。

6.2.3 パラメータの構成

ユーザーは、オンボード水晶発振器からの入力クロック(50MHz)に基づいて、必要に応じて **PLL** を利用して必要な周波数のクロックを取得できます (現在のハードウェア・プラットフォームは、デフォルトで 1.0001~2.2Gbps のシリアル・ラインレートをサポートしています)。

6.2.4 操作手順

1. Gowin ソフトウェア (Gowin_V1.9.9.03 以降) を開きます > リファレンス・デザインのプロジェクトを開いてトップレベル・ファイルを設定します > ルーチンをコンパイルします > 生成されたビットストリームファイル (`ao.fs`)をボードにダウンロードします。
2. ツールバー > Gowin Analyzer Oscilloscope () > を実行して、その結果を観察します。

7 提供されるファイル

提供されるファイルには主に、ドキュメントおよびリファレンス・デザインが含まれています。

7.1 ドキュメント

フォルダにはユーザーガイド(PDF ファイル)があります。

表 7-1 ファイル一覧

名称	説明
Gowin EasyCDR IPユーザーガイド (IPUG1040)	つまり、本マニュアル

7.2 リファレンス・デザイン

表 7-2 ファイル一覧

ファイル名	説明
top.v	トップレベル・ファイル(暗号化されていない)。インターフェース情報を提供します。
easycdr	EasyCDR IP関連ファイルが含まれるEasyCDR IPフォルダ(暗号化)
pll_hclk	PLLフォルダ(暗号化されていない)。オンボード50MHzクロックをリファレンス・クロックとして、EasyCDR IPに必要なクロックを生成します
pll_hclk_tx	PLLフォルダ(暗号化されていない)。オンボード50MHzクロックをリファレンス・クロックとして、tx_module_topに必要なクロックを生成します
motivation_response.v	ステイミュラス・検出ファイル(暗号化されていない)
fpga_project.cst	物理制約ファイル(暗号化されていない)。カスタマイズ可能。
fpga_project.sdc	タイミング制約ファイル(暗号化されていない)。カスタマイズ可能。
fpga_project.rao	gaoファイル(暗号化されていない)。カスタマイズ可能。

