



DK_UAC2_GW1N-LV9LQ144C7I6_V2.1 開発ボード

ユーザーガイド

DBUG419-1.0.3J, 2026-01-16

著作権について(2026)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

 **GOWIN高云**、Gowin、及びLittleBeeは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI取引条件)に規定されている内容を除き、(明示的か又は黙示的に拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2023/09/12	1.0J	初版。
2025/03/21	1.0.1J	● 「RAC」を「RCA」に更新。 ● 「IIC マイク」を「PDM マイク」に更新。
2025/04/11	1.0.2J	● 「図 2-1 DK_UAC2_GW1N-LV9LQ144C7I6_V2.1 開発ボード」を更新。 ● 「図 2-2 開発ボードキット」を更新。 ● 「図 2-3 PCB のコンポーネント」を更新。 ● 「図 3-4 マイクの接続図」を更新。 ● 「2.5 特徴」におけるダウンロードと起動の説明を更新。 ● 「3.2.1 概要」における JTAG ダウンロードの説明を更新。
2026/01/16	1.0.3J	「2.1 概要」における説明を最適化。

目次

目次	i
図一覧	iii
表一覧	iv
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 サポートされるデバイス	1
1.3 関連ドキュメント	1
1.4 用語、略語	2
1.5 テクニカル・サポートとフィードバック	2
2 開発ボードの紹介	3
2.1 概要	3
2.2 開発ボードキット	4
2.3 PCB のコンポーネント	5
2.4 ブロック図	6
2.5 特徴	6
3 開発ボードの回路	8
3.1 FPGA モジュール	8
3.2 ダウンロードモジュール	8
3.2.1 概要	8
3.2.2 ピンの割り当て	9
3.3 電源	9
3.3.1 概要	9
3.4 クロックとリセット	10
3.4.1 概要	10

3.4.2 ピンの割り当て	10
3.5 USB 2.0	11
3.5.1 概要	11
3.5.2 ピンの割り当て	11
3.6 マイク入力	13
3.6.1 概要	13
3.6.2 ピンの割り当て	13
3.7 SPDIF インターフェース	14
3.7.1 概要	14
3.7.2 ピンの割り当て	14
3.8 ホーン・インターフェース	16
3.8.1 概要	16
3.8.2 ピンの割り当て	16
3.9 RCA インターフェース	17
3.9.1 概要	17
3.9.2 ピンの割り当て	17
3.10 GPIO	18
3.10.1 概要	18
3.10.2 ピンの割り当て	18
3.11 LED とキー	18
3.11.1 概要	18
3.11.2 ピンの割り当て	19
4 Gowin ソフトウェア	20

図一覧

図 2-1 DK_UAC2_GW1N-LV9LQ144C7I6_V2.1 開発ボード	3
図 2-2 開発ボードキット	4
図 2-3 PCB のコンポーネント	5
図 2-4 ブロック図	6
図 3-1 JTAG ダウンロードの接続図	9
図 3-2 クロックとリセットの接続図	10
図 3-3 USB インターフェースの接続図	11
図 3-4 マイクの接続図	13
図 3-5 SPDIF インターフェースの接続図	14
図 3-6 ホーン・インターフェースの接続図	16
図 3-7 RCA インターフェースの接続図	17
図 3-8 GPIO の接続図	18
図 3-9 LED とキーの接続図	19

表一覧

表 1-1 用語、略語	2
表 3-1 FPGA のダウンロードおよびコンフィギュレーション・ピンの割り当て	9
表 3-2 クロックおよびリセットピンの割り当て	10
表 3-3 USB 2.0 のピンの割り当て	11
表 3-4 マイクのピンの割り当て	13
表 3-5 SPDIF 入力インターフェースのピンの割り当て	14
表 3-6 SPDIF 出力インターフェースのピンの割り当て	15
表 3-7 ホーン・インターフェースのピンの割り当て	16
表 3-8 RCA インターフェースのピンの割り当て	17
表 3-9 GPIO のピンの割り当て	18
表 3-10 LED とキーのピンの割り当て	19

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、3つの部分で構成されています。

- 開発ボードの機能の概要。
- 開発ボードの構造およびそのハードウェアリソースの説明。
- 開発ボード上のハードウェア回路の機能およびピンの割り当ての説明。

1.2 サポートされるデバイス

本マニュアルで説明される情報は、以下の GOWIN セミコンダクター FPGA 製品に適用されます : GW1N-LV9LQ144。

1.3 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます :

- GW1N シリーズ FPGA 製品データシート([DS100](#))
- GW1N-9 デバイス Pinout([UG114](#))
- GW1N シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG103](#))
- Gowin FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド([UG290](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))

1.4 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
BSRAM	Block Static Random Access Memory	ブロック SRAM
DDR	Double Data Rate	ダブル・データ・レート
DSP	Digital Signal Processing	デジタル信号処理
Flash	Flash Memory	フラッシュメモリ
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
GPIO	Gowin Programmable I/O	Gowin プログラマブル汎用 IO
LDO	Low Dropout Regulator	低ドロップアウト・レギュレータ
LUT4	4-input Look-up Table	4 入力ルックアップテーブル
LVDS	Low-Voltage Differential Signaling	低電圧差動信号
RCA	Radio Corporation of America	ラジオ・コーポレーション・オブ・アメリカ
SPDIF	Sony/Philips Digital Interface Format	デジタル・オーディオ・インターフェース
SSRAM	Shadow Static Random Access Memory	分散 SRAM

1.5 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

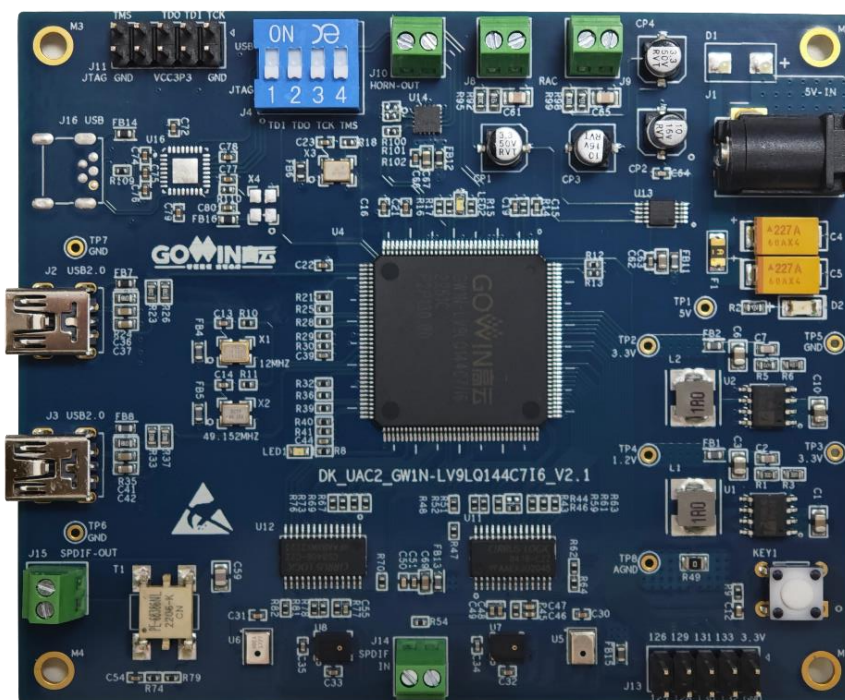
ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 開発ボードの紹介

2.1 概要

図 2-1 DK_UAC2_GW1N-LV9LQ144C7I6_V2.1 開発ボード



DK_UAC2_GW1N-LV9LQ144C7I6_V2.1 開発ボードは、Gowin の GW1N-LV9LQ144 デバイスを搭載しており、USB 2.0、マイク、SPDIF などのインターフェースの評価やソフトウェアの学習・デバッグなど様々なアプリケーションに適しています。

開発ボードに搭載されている GW1N FPGA 製品は、豊富なロジックリソースを備え、さまざまな I/O 規格をサポートする LittleBee ファミリーの 1 シリーズ製品です。GW1N FPGA 製品は、BSRAM、DSP ブロック、PLL リソース、および Flash リソースを内蔵すると同時に、低消費電力、インスタントオン、低コスト、高安全性、省スペース、豊富なパッケージタイプ、および使い易さ等の特徴を備えています。

この開発ボードには以下の特徴があります。

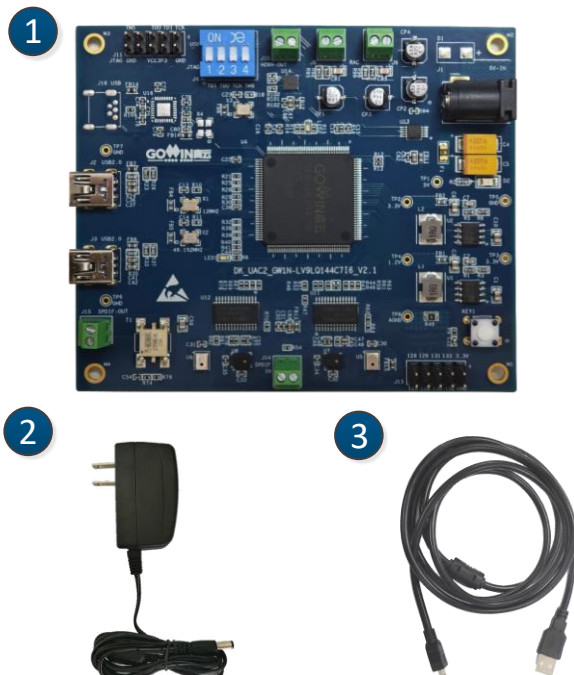
- USB 2.0 通信をサポートする 2 つの USB 2.0 インターフェースを提供。
- PDM と IIS の 2 種類のマイク入力をサポートする 4 つのマイクチップを搭載。
- SPDIF 規格のデジタル・オーディオ通信をサポートする CS8416-CZZR チップと CS8406-CZZR チップを搭載。
- ステレオ・デジタル・オーディオ信号をアナログ・オーディオ信号に変換することをサポートする CS4344-CZZR チップを搭載。
- 3.2W Output Power into 4 Ω at 5V のホーンに接続してオーディオ信号を出力することができる MAX98357AETE+T チップを搭載。
- JTAG ダウンロードをサポート。
- テスト用の GPIO インターフェース、LED、およびキーパッドを予約。

2.2 開発ボードキット

開発ボードキットには次のものが含まれます。

1. DK_UAC2_GW1N-LV9LQ144C7I6_V2.1 開発ボード
2. 5V 電源(入力：100-240V~50/60Hz 0.5A、出力：DC 5V 2A)
3. USB Mini B ケーブル

図 2-2 開発ボードキット



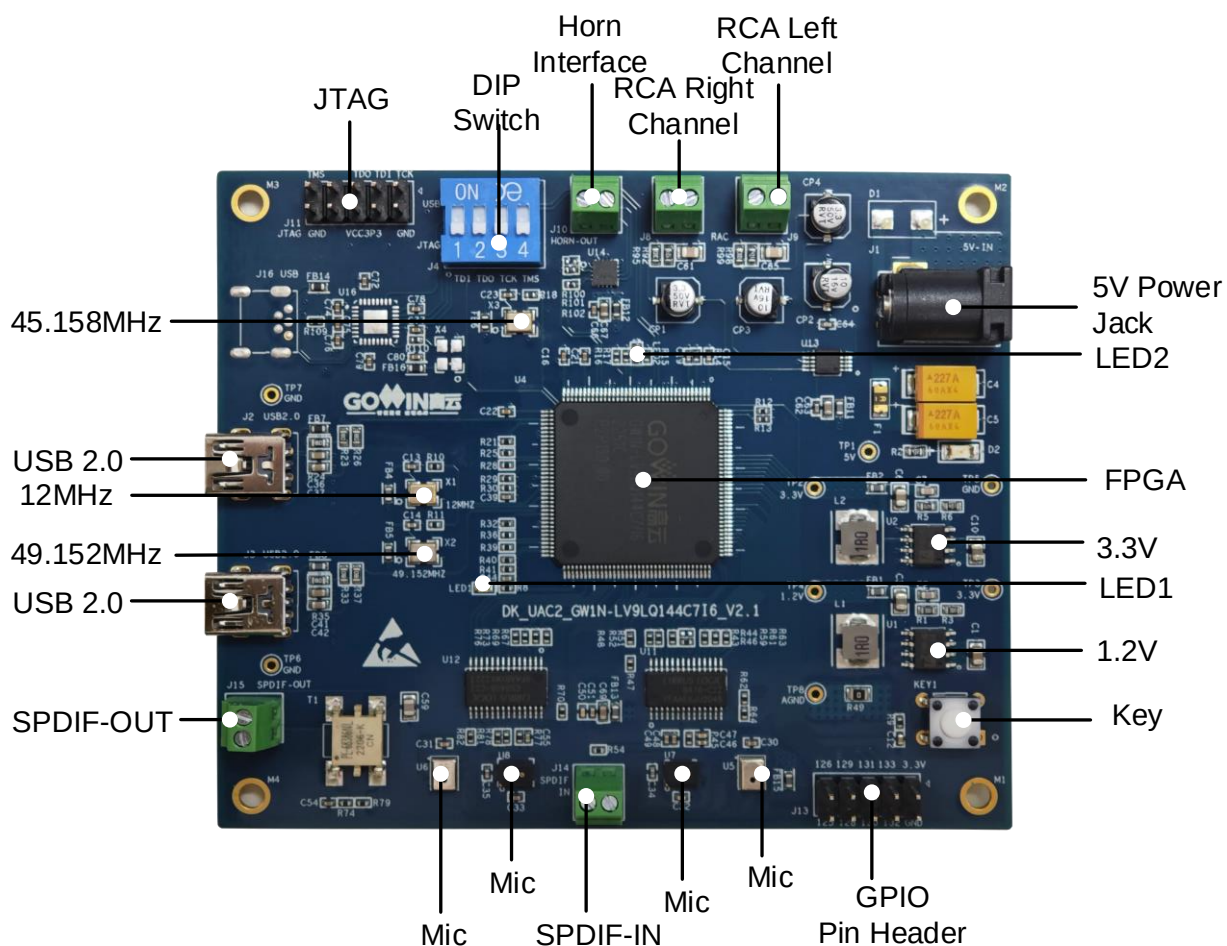
① DK_UAC2_GW1N-

LV9LQ144C7I6_V2.1開発ボード

- ② 5V電源
- ③ USB Mini Bケーブル

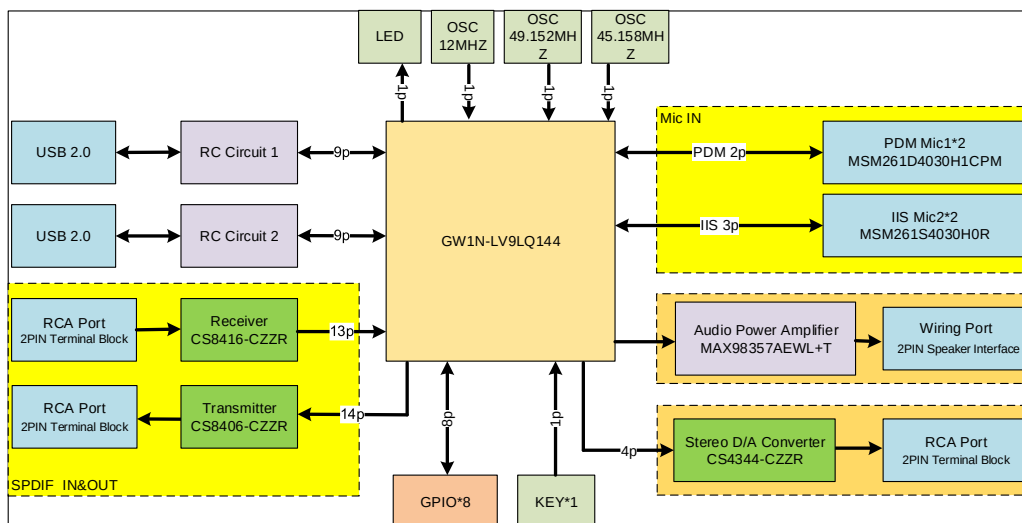
2.3 PCB のコンポーネント

図 2-3 PCB のコンポーネント



2.4 ブロック図

図 2-4 ブロック図



2.5 特徴

開発ボードの主な特徴は次のとおりです。

1. **FPGA デバイス**
 - **GW1N-LV9LQ144 FPGA**
 - 最大ユーザーI/O : 120 本
2. **ダウンロードと起動**
 - ボード上の統合 **JTAG** ダウンロードモジュール : **PL-USB -Cable** ケーブル経由でプログラムをダウンロード可能。
 - プログラミングやコンフィギュレーションが完了すると、緑色の **DONE (LED2)** が点灯
3. **電源供給モード**
 - 外部の **DC 5V 2A** 電源
 - 電源投入後、**LED** が点灯
 - 開発ボードが **5.0V**、**3.3V**、**1.2V** の電源を提供
4. **クロックシステム**
 - **12MHz** のオシレータ : **GW1N-LV9LQ144** に **12MHz** のクロック信号を提供
 - **49.152MHz** のオシレータ : **GW1N-LV9LQ144** に **49.152MHz** のオーディオ・クロック信号を提供
 - **45.158MHz** のオシレータ : **GW1N-LV9LQ144** に **45.158MHz** のオーディオ・クロック信号を提供
5. **USB 2.0 インターフェース**

- 2つの USB 2.0 インターフェースが GW1N-LV9LQ144 と通信
6. マイク・インターフェース
 - 2つの IIS マイクアレイ入力 : MSM261S4030H0R チップを使用して左右チャンネルのマイク入力を実現
 - 2つの PDM マイクアレイ入力 : MSM261D4030H1CPM チップを使用して左右チャンネルのマイク入力を実現
 7. SPDIF インターフェース
 - 1つの SPDIF 規格のデジタル・オーディオ入力インターフェース : 受信されたステレオ・デジタル・オーディオ・データを CS8416-CZZR チップによりデコードして GW1N-LV9LQ144 チップに転送
 - 1つの SPDIF 規格のデジタル・オーディオ出力インターフェース : GW1N-LV9LQ144 チップから送信されたデジタル・オーディオ・データを CS8406-CZZR チップによりエンコードして転送
 8. ホーン・インターフェース
 - 1つのデジタル・オーディオ・アンプ出力インターフェース : MAX98357AETE+T チップにより GW1N-LV9LQ144 チップから送信された PCM 信号を D 級アンプして出力
 9. RCA インターフェース
 - 1つのアナログ・オーディオ出力インターフェース : CS4344-CZZR チップにより GW1N-LV9LQ144 チップから送信されたデジタル・オーディオ信号をアナログ信号に変換して出力
 10. GPIO インターフェース
 - 外部装置と通信可能。
 11. デバッグモジュール
 - 1つのキー
 - 1つの LED (LED2)

3 開発ボードの回路

3.1 FPGA モジュール

概要

GW1N-LV9LQ144 FPGA 製品の詳細については、『GW1N シリーズ FPGA 製品データシート([DS100](#))』を参照してください。

I/O BANK の説明

詳しくは、『GW1N シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG103](#))』を参照してください。

3.2 ダウンロードモジュール

3.2.1 概要

開発ボードは JTAG ダウンロードインターフェースを備えています。ダウンロードには、PL-USB-Cable ダウンロードケーブルを JTAG インターフェース (J11) に接続する必要があります。ダウンロード前に、DIP スイッチ (J4) を JTAG ダウンロードモードに切り替える必要があります。

MODE 値の設定により、プログラム(コンフィギュレーションデータ)をオンチップ SRAM またはオンチップ Flash にダウンロードするかを選択することができます。SRAM にダウンロードする場合、パワーオフするとデータストリーム・ファイルが失われます。Flash にダウンロードする場合、パワーオフしてもデータストリーム・ファイルが失われることはありません。

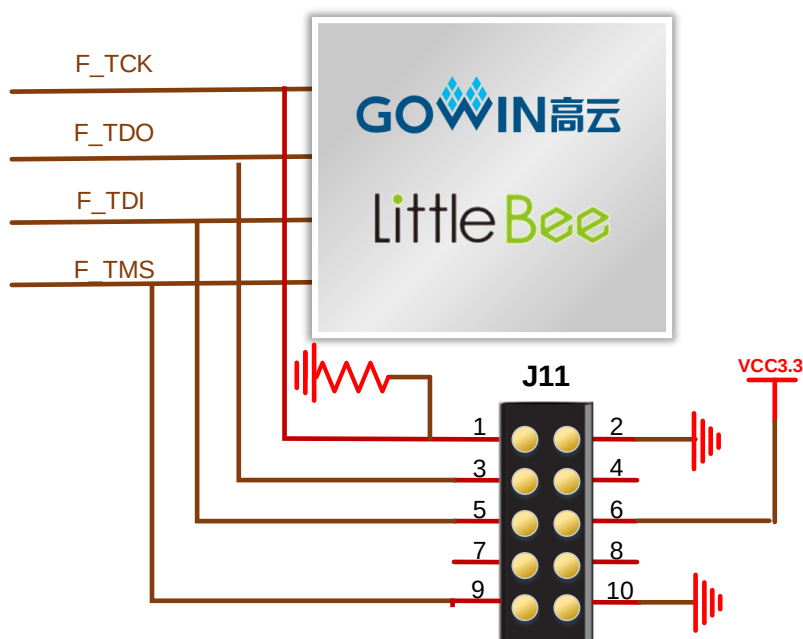
MODE の設定ルールは次のとおりです。

1. どのモードでも、プログラムをオンチップ SRAM にダウンロードしてすぐに動作させることができます。
2. MODE 値を「000」に設定し、コンフィギュレーションデータをオン

チップ Flash にダウンロードします。再度電源を投入すると、FPGA はオンチップ Flash から FPGA のコンフィギュレーションデータを自動的にロードします。

プログラムのダウンロードが完了すると、DONE に接続されている LED2 が点灯します。

図 3-1 JTAG ダウンロードの接続図



3.2.2 ピンの割り当て

表 3-1 FPGA のダウンロードおよびコンフィギュレーション・ピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
F_TCK	14	3	3.3V	JTAG 信号
F_TDO	18	3	3.3V	JTAG 信号
F_TDI	16	3	3.3V	JTAG 信号
F_TMS	13	3	3.3V	JTAG 信号

3.3 電源

3.3.1 概要

電源アダプターによる電源で、入力：100-240V $\sim$ 50/60MHz 0.5A、出力：DC +5V 2A。

入力される 5V は、開発ボード上の電源チップにより、3.3V と 1.0V 電圧に変換されます。

DC+5V は、FP6165ADXR-G1 チップとその周辺回路 DC-DC により +3.3V に変換され、その最大出力電流は 3A です。

DC+3.3V は、FP6165ADXR-G1 チップとその周辺回路 DC-DC により +1.2V に変換され、その最大出力電流は 3A です。

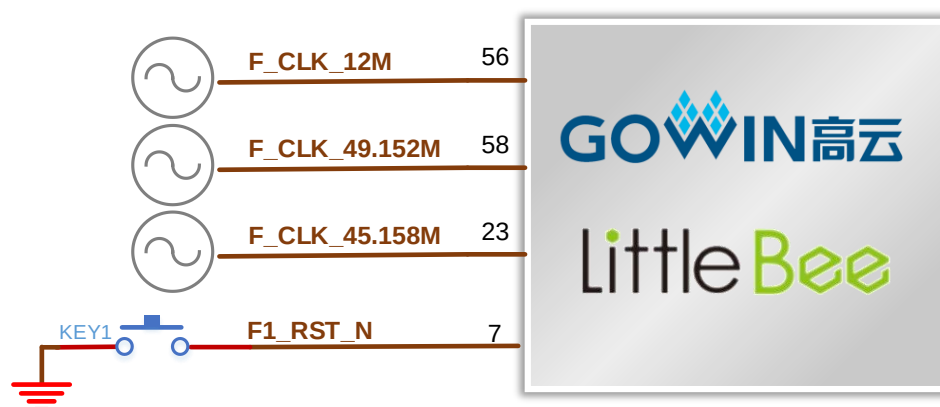
3.4 クロックとリセット

3.4.1 概要

開発ボードは、FPGA にグローバル・クロック・ピンに接続される 12MHz のオシレータを提供しています。また、開発ボードは、オーディオ・クロック信号を生成するための 49.152MHz と 45.158MHz のオシレータも提供しています。

リセットキーによる手動リセットが可能です（電源投入後、自動的にリセットされます）。

図 3-2 クロックとリセットの接続図



3.4.2 ピンの割り当て

表 3-2 クロックおよびリセットピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
F_CLK_12M	56	2	3.3V	12MHz クロック入力
F_CLK_49.152M	58	2	3.3V	F_CLK_49.152MHz クロック入力
F_CLK_45.158M	23	3	3.3V	F_CLK_45.158MHz クロック入力
F1_RST_N	7	3	3.3V	リセット信号、アクティブ Low。

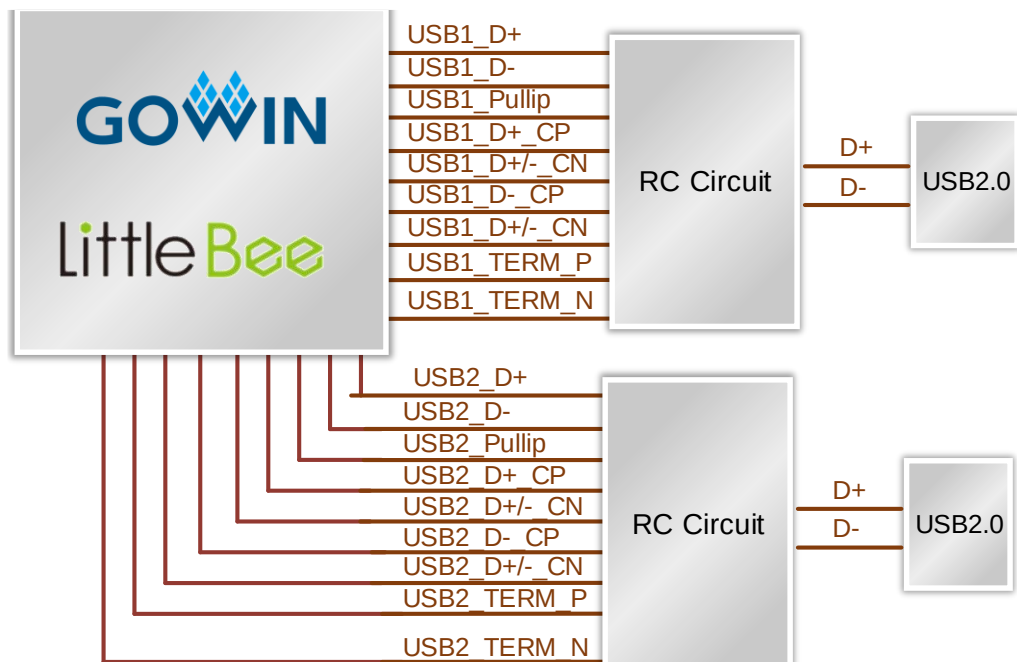
3.5 USB 2.0

3.5.1 概要

開発ボードには、FPGA と USB 2.0 インターフェースの通信に使用される 2 つの USB 2.0 インターフェースがあります。

USB 2.0 インターフェースは RC 回路を介して FPGA に接続されます。

図 3-3 USB インターフェースの接続図



3.5.2 ピンの割り当て

表 3-3 USB 2.0 のピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
USB1_Pullip	40	2	3.3V	USB のリセットに使用される VBUS 断線検出
USB1_D+_CP	42	2	3.3V	USB+信号
USB1_D+/-_CN	43	2	3.3V	USB+側のリファレンス信号
USB1_D-_CP	50	2	3.3V	USB-信号
USB1_D+/-_CN	51	2	3.3V	USB-側のリファレンス信号
USB1_Term_p	46	2	3.3V	高速モードの場合は終端

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
				抵抗の制御に使用されます。フルスピードモードと低速モードの場合は USB データピン として機能します。
USB1_Term_n	47	2	3.3V	高速モードの場合は終端抵抗の制御に使用されます。フルスピードモードと低速モードの場合は USB データピン として機能します。
USB1_D+	48	2	3.3V	USB データピン (高速モードの場合)
USB1_D-	49	2	3.3V	USB データピン (高速モードの場合)
USB2_Pullip	62	2	3.3V	USB のリセットに使用される VBUS 断線検出。
USB2_D+_CP	64	2	3.3V	USB+ 信号
USB2_D+/-_CN	65	2	3.3V	USB+ 側のリファレンス信号
USB2_D-_CP	70	2	3.3V	USB- 信号
USB_D+/-_CN	71	2	3.3V	USB- 側のリファレンス信号
USB2_Term_p	66	2	3.3V	高速モードの場合は終端抵抗の制御に使用されます。フルスピードモードと低速モードの場合は USB データピン として機能します。
USB2_Term_n	67	2	3.3V	高速モードの場合は終端抵抗の制御に使用されます。フルスピードモードと低速モードの場合は USB データピン として機能します。
USB2_D+	68	2	3.3V	USB データピン (高速モードの場合)

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
USB2_D-	69	2	3.3V	USB データピン(高速モードの場合)

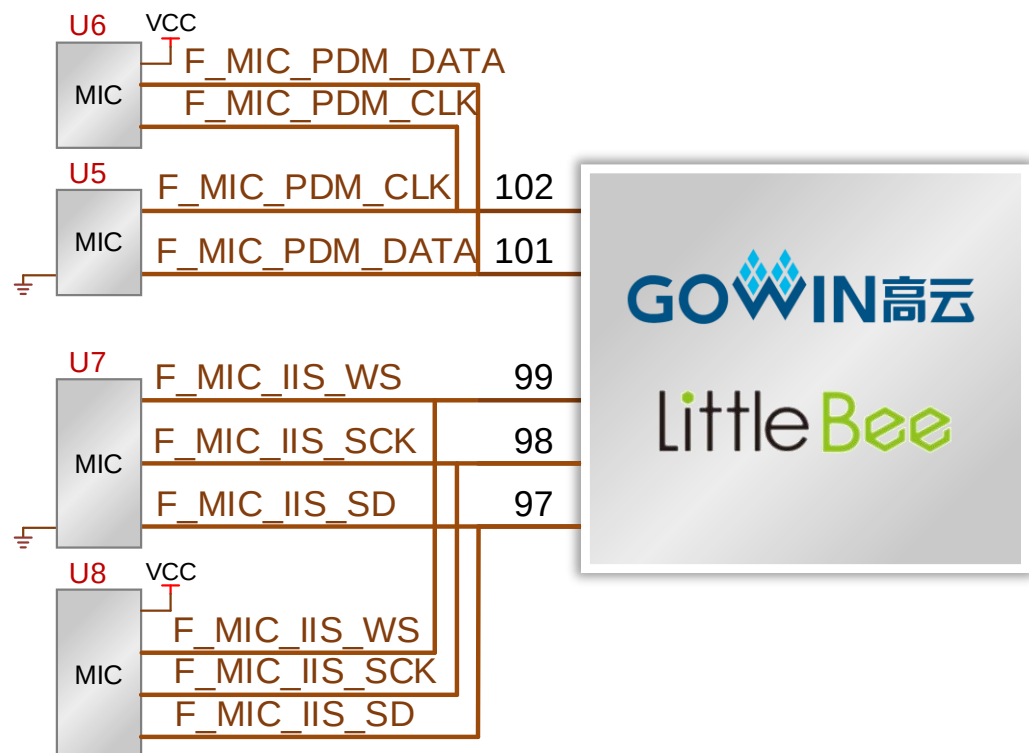
3.6 マイク入力

3.6.1 概要

開発ボードには、IIS 入力の MSM261S4030H0R マイクが 2 個、PDM 入力の MSM261D4030H1CPM マイクが 2 個、合計 4 個のマイクが搭載されています。

192KHz のデジタル・オーディオ伝送がサポートされます。

図 3-4 マイクの接続図



3.6.2 ピンの割り当て

表 3-4 マイクのピンの割り当て

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
F_MIC_PDM_CLK	102	1	3.3V	PDM オーディオ・クロック信号

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
F_MIC_PDM_DATA	101	1	3.3V	PDM オーディオ・データ信号
F_MIC_IIS_WS	99	1	3.3V	IIS オーディオのチップセレクト信号
F_MIC_IIS_SCK	98	1	3.3V	IIS オーディオ・クロック信号
F_MIC_IIS_SD	97	1	3.3V	IIS オーディオ・データ信号

3.7 SPDIF インターフェース

3.7.1 概要

開発ボードには、2 つの SPDIF デジタル・オーディオ・インターフェース(1 つは SPDIF 入力用、もう 1 つは SPDIF 出力用)が搭載されています。

SPDIF インターフェースで受信したデジタル・オーディオ・データは、CS8416-CZZR によりデコードされて転送されます。

GW1N-LV9LQ144 チップから送信されたデジタル・オーディオ・データは、CS8406-CZZR によりエンコードされて SPDIF 出力インターフェースに転送されます。

図 3-5 SPDIF インターフェースの接続図



3.7.2 ピンの割り当て

表 3-5 SPDIF 入力インターフェースのピンの割り当て

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
SPDIFI_RST_N	124	0	3.3V	リセット信号、アクティブ Low
SPDIFI_OLRCK	123	0	3.3V	SDOUT ピンのオーディオ

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
				オ・データのワード・レート・クロック信号。
SPDIFI_OSCLK	122	0	3.3V	SDOUT ピンのオーディオ・データのシリアル・ビット・クロック信号。
SPDIFI_AD0	121	0	3.3V	アドレス信号
SPDIFI_AD1	120	0	3.3V	アドレス信号
SPDIFI_SCL	119	0	3.3V	シリアル制御クロック信号
SPDIFI_SDA	118	0	3.3V	シリアル制御データ信号
PDIFI_GPO2	117	0	3.3V	汎用出力信号
PDIFI_GPO1	116	1	3.3V	汎用出力信号
PDIFI_GPO0	115	1	3.3V	汎用出力信号
SPDIFI_RMCK	114	1	3.3V	PLL から回復されたマスタークロック出力
SPDIFI_OMCK	113	1	3.3V	システムクロック入力信号
PDIFI_SDOUT	112	1	3.3V	シリアル・オーディオ・データ出力

表 3-6 SPDIF 出力インターフェースのピンの割り当て

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
SPDIFO_TCBL	96	1	3.3V	送信チャネル状態ブロック開始
SPDIFO_INT	95	1	3.3V	割り込み
SPDIFO_OMCK	94	1	3.3V	プライマリクロック
SPDIFO_AD1	93	1	3.3V	アドレス信号
SPDIFO_SCL	92	1	3.3V	シリアル制御クロック信号
SPDIFO_SDA	90	1	3.3V	シリアル制御データ信号
SPDIFO_AD0	88	1	3.3V	アドレス信号
SPDIFO_AD2	87	1	3.3V	アドレス信号

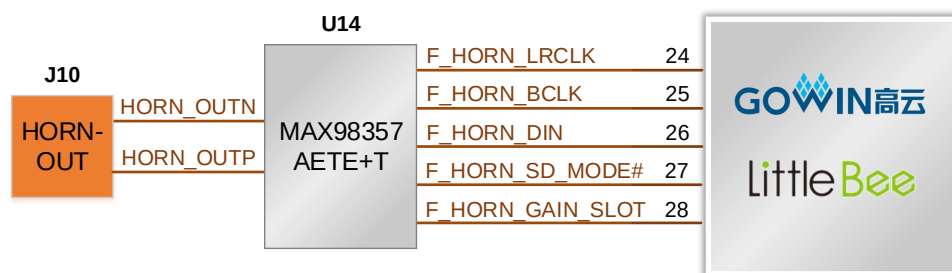
信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
SPDIFO_RXP	86	1	3.3V	付加の AES3 受信信号
SPDIFO_RST_N	85	1	3.3V	リセット信号、アクティブ Low
SPDIFO_ILRCK	84	1	3.3V	シリアル・オーディオ入力左/右クロック
SPDIFO_ISCLK	83	1	3.3V	シリアル・オーディオ・クロック信号
SPDIFO_U	81	1	3.3V	ユーザーデータ
SPDIFO_SDIN	78	2	3.3V	シリアル・オーディオ・データ信号

3.8 ホーン・インターフェース

3.8.1 概要

開発ボードには、1つのデジタル・オーディオ・アンプ出力インターフェースが搭載されています。GW1N-LV9LQ144 で処理された PCM オーディオ信号は、MAX98357AETE+T 経由で D 級アンプされてホーン・インターフェースに出力されます。

図 3-6 ホーン・インターフェースの接続図



3.8.2 ピンの割り当て

表 3-7 ホーン・インターフェースのピンの割り当て

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
F_HORN_LRCLK	24	3	3.3V	フレーム・クロック 信号
F_HORN_BCLK	25	3	3.3V	ビット・クロック入

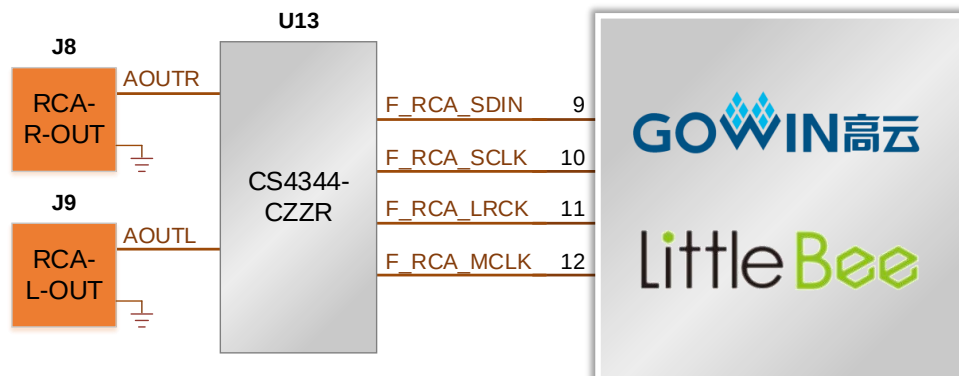
信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
				力信号
F_HORN_DIN	26	3	3.3V	デジタル入力信号
F_HORN_SD_MODE#	27	3	3.3V	チップセレクト信号
F_HORN_GAIN_SLOT	28	3	3.3V	ゲインとチャンネル選 択信号

3.9 RCA インターフェース

3.9.1 概要

開発ボードにはアナログ・オーディオ出力インターフェースが搭載されています。GW1N-LV9LQ144 で処理されたデジタル・オーディオ信号は、CS4344-CZZR によりデジタル/アナログ変換されます。

図 3-7 RCA インターフェースの接続図



3.9.2 ピンの割り当て

表 3-8 RCA インターフェースのピンの割り当て

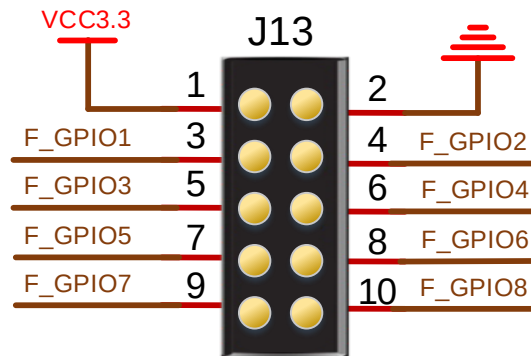
信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
F_RCA_SDIN	9	3	3.3V	シリアル・オーディオ・ データ入力
F_RCA_SCLK	10	3	3.3V	シリアル・クロック入力 信号
F_RCA_LRCK	11	3	3.3V	左/右チャンネルクロック入 力信号
F_RCA_MCLK	12	3	3.3V	マスタークロック入力信 号

3.10 GPIO

3.10.1 概要

テストのために、開発ボードには、1つの2.54mmピッチの2列ピンヘッダーJ13が予約されており、合計8本のGPIOがあります。

図 3-8 GPIO の接続図



3.10.2 ピンの割り当て

表 3-9 GPIO のピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
GPIO1	133	0	3.3V	通常の IO
GPIO2	132	0	3.3V	通常の IO
GPIO3	131	0	3.3V	通常の IO
GPIO4	130	0	3.3V	通常の IO
GPIO5	129	0	3.3V	通常の IO
GPIO6	128	0	3.3V	通常の IO
GPIO7	126	0	3.3V	通常の IO
GPIO8	125	0	3.3V	通常の IO

3.11 LED とキー

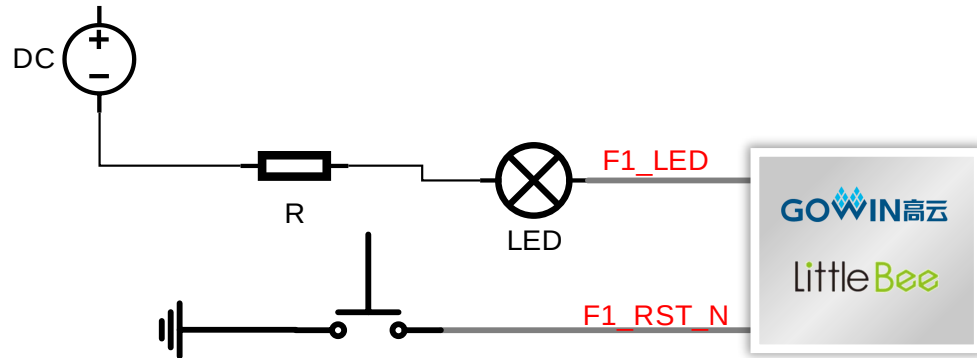
3.11.1 概要

開発ボードには、FPGA に接続された LED が 1 つあります。FPGA

がロジック Low を出力すると LED が点灯し、ロジック High を出力すると LED が消灯します。

開発ボードには、FPGA に接続されたスイッチ（ハードウェア・デバウンス）があります。

図 3-9 LED とキーの接続図



3.11.2 ピンの割り当て

表 3-10 LED とキーのピンの割り当て

信号名	FPGA のピン の番号	BANK	I/O 電圧レ ベル	説明
F1_RST_N	7	3	3.3V	キーIO
F1_LED	75	2	3.3V	LED_IO

4 Gowin ソフトウェア

詳細については、『Gowin ソフトウェア ユーザーガイド([SUG100](#))』
を参照してください。

