



Gowin FIFO HS IP

ユーザーガイド

IPUG760-1.2J, 2021-07-01

著作権について（2021）

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN、Gowin、及びGOWINSEMIは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale（GOWINSEMI取引条件）に規定されている内容を除き、（明示的か又は黙示的に拘わらず）いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。本文書における全ての情報は、予備的情報として取り扱われなければなりません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ（不具合情報）については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2021/01/15	1.0J	初版。
2021/02/04	1.1J	4 タイミングの説明を更新。
2021/07/01	1.2J	● FIFO SC HS IP 信号のタイミング図を更新。 ● FIFO HS IP の構成 GUI を追加。

目次

目次.....	i
図一覧.....	iii
表一覧.....	v
1 本マニュアルについて	1
1.1 マニュアル内容	1
1.2 関連ドキュメント.....	1
1.3 用語、略語.....	1
1.4 テクニカル・サポートとフィードバック.....	3
2 概要.....	4
2.1 FIFO の概要.....	4
2.2 FIFO HS/FIFO SC HS IP の概要.....	5
2.3 FIFO HS/FIFO SC HS IP の機能.....	6
2.3.1 FIFO HS IP の機能.....	6
2.3.2 FIFO SC HS IP の機能.....	7
2.4 FIFO HS IP の最大周波数とリソース使用率.....	8
2.5 FIFO SC HS IP の最大周波数とリソース使用率.....	10
3 ポートの説明.....	12
3.1 FIFO HS IP のポート	12
3.2 FIFO SC HS IP のポート	13
4 タイミングの説明.....	15
4.1 FIFO HS IP 信号のタイミング.....	15
4.2 FIFO SC HS IP 信号のタイミング.....	22
5 FIFO HS/FIFO SC HS IP の構成.....	29
5.1 FIFO HS IP の構成	29
5.2 FIFO SC HS IP の構成	33

6 リファレンスデザイン	38
---------------------------	-----------

図一覧

図 2-1 FIFO HS IP の構造	5
図 2-2 FIFO SC HS IP の構造	5
図 4-1 FIFO HS の構成	15
図 4-2 FIFO HS IP のタイミング	16
図 4-3 FIFO HS の構成	17
図 4-4 FIFO HS IP のタイミング	17
図 4-5 FIFO HS の構成	18
図 4-6 FIFO HS IP のタイミング	19
図 4-7 FIFO HS の構成	19
図 4-8 FIFO HS IP のタイミング	20
図 4-9 FIFO HS の構成	20
図 4-10 FIFO HS IP のタイミング	21
図 4-11 FIFO HS の構成	21
図 4-12 FIFO HS IP のタイミング	22
図 4-13 FIFO SC HS の構成	22
図 4-14 FIFO SC HS IP のタイミング	23
図 4-15 FIFO SC HS の構成	24
図 4-16 FIFO SC HS IP のタイミング	24
図 4-17 FIFO SC HS の構成	25
図 4-18 FIFO SC HS IP のタイミング	25
図 4-19 FIFO SC HS の構成	26
図 4-20 FIFO SC HS IP のタイミング	26
図 4-21 FIFO SC HS の構成	27
図 4-22 FIFO SC HS IP のタイミング	27
図 4-23 FIFO SC HS の構成	28
図 4-24 FIFO SC HS IP のタイミング	28

図 5-1 FIFO SC HS IP の構成 GUI.....	34
----------------------------------	----

表一覧

表 1-1 用語、略語.....	1
表 2-1 FIFO HS/ FIFO SC HS IP の概要.....	6
表 2-2 オプション特性なしの FIFO HS IP.....	9
表 2-3 オプション特性構成済みの FIFO HS IP.....	9
表 2-4 オプション特性なしの FIFO SC HS IP	10
表 2-5 オプション特性構成済みの FIFO SC HS IP	11
表 3-1 FIFO HS IP の IO ポート一覧.....	12
表 3-2 FIFO SC HS IP の IO ポート.....	13
表 5-1 FIFO HS IP の構成 GUI のパラメータ	29
表 5-2 FIFO SC HS IP の構成 GUI のパラメータ	34

1 本マニュアルについて

1.1 マニュアル内容

本マニュアルは、主に FIFO HS IP の機能、ポート、タイミング、構成、およびリファレンスデザインについて説明します。

1.2 関連ドキュメント

GOWIN セミコンダクターの Web サイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW1N シリーズ FPGA 製品データシート([DS100](#))
- GW1NR シリーズ FPGA 製品データシート([DS117](#))
- GW1NS シリーズ FPGA 製品データシート([DS821](#))
- GW1NSR シリーズ FPGA 製品データシート([DS861](#))
- GW1NZ シリーズ FPGA 製品データシート([DS841](#))
- GW2A シリーズ FPGA 製品データシート ([DS102](#))
- GW2AR シリーズ FPGA 製品データシート([DS226](#))

1.3 用語、略語

表 1-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
FIFO	First In First Out	先入れ先出し
IP	Intellectual Property	設計資産
RAM	Random Access Memory	ランダム・アクセス・メモリ
BSRAM	Block Static Random Access Memory	ブロック・スタティック RAM
SSRAM	Shadow Static Random Access	分散スタティック RAM

用語、略語	正式名称	意味
	Memory	
LUT	Look-up Tables	ルックアップテーブル
GSR	Global System Reset	グローバル・システム・リセット
ECC	Error Correcting Code	誤り検出訂正

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

Web サイト : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

2.1 FIFO の概要

FIFO は **First In First Out** の頭字語で、先入れ先出しのキューです。**FIFO** は周辺制御ロジックにより読み出し/書き込みされます。また、周辺制御ロジックと相互作用する多くのハンドシェイク信号も提供されます。

FIFO がフルでなく、かつ書き込みイネーブル信号がアクティブな場合、クロックの立ち上がりエッジでデータが **FIFO** メモリキューに書き込まれます。**full** フラグは、**FIFO** がフルで書き込みが実行されないことを示します。

FIFO が空でなく、かつ読み出しイネーブルがアクティブな場合、クロックの立ち上がりエッジでデータが **FIFO** メモリキューから読み出されます。**empty** フラグは、**FIFO** が空であり、これ以上読み取り操作が実行されないことを示します。

不正なリクエストが **FIFO** 自身に影響を及ぼすことはありません。**FIFO** が空の時読み出しリクエストを開始するか、または **FIFO** がフルの時に書き込みリクエストを開始しても、この操作が **FIFO** 内のデータに影響を及ぼすことはありませんが、対応する操作は無視され、**overflow** 及び **underflow** フラグがセットされます。この 2 つの信号をモニタリングすることで、ユーザーは不正な操作かどうかを判断できます。水位信号は、**FIFO** にある有効なデータの量を直接示します。ユーザーは、異なるしきい値を設定して、**empty** または **full** フラグをカスタマイズすることもできます。

FIFO HS には、同期 **FIFO** (**FIFO SC HS IP**) と非同期 **FIFO** (**FIFO HS IP**) があります。これらの構造をそれぞれ図 2-1 および図 2-2 に示します。

図 2-1 FIFO HS IP の構造

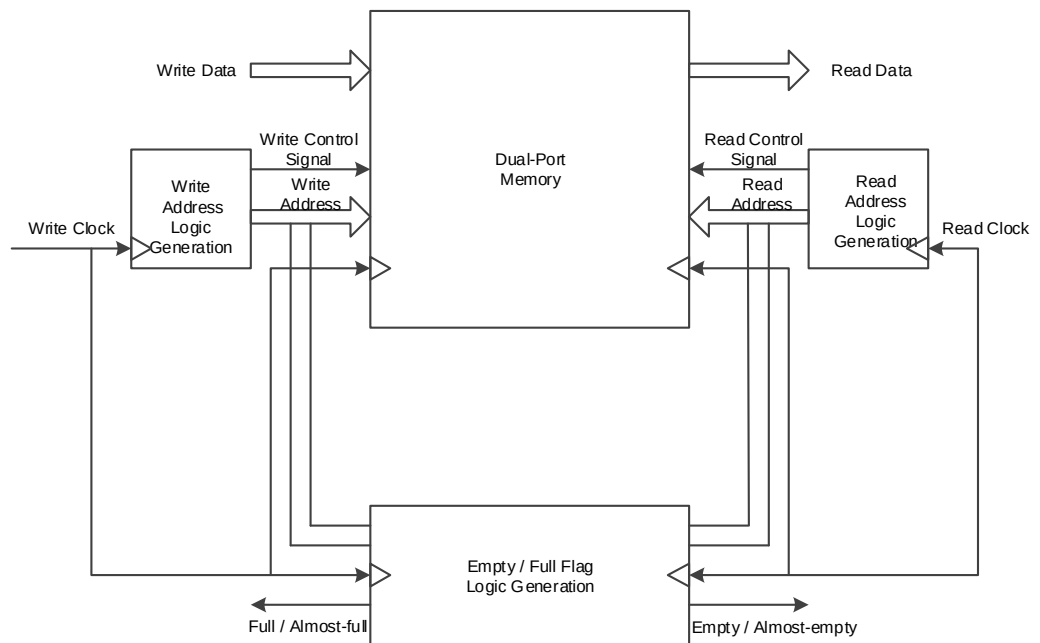
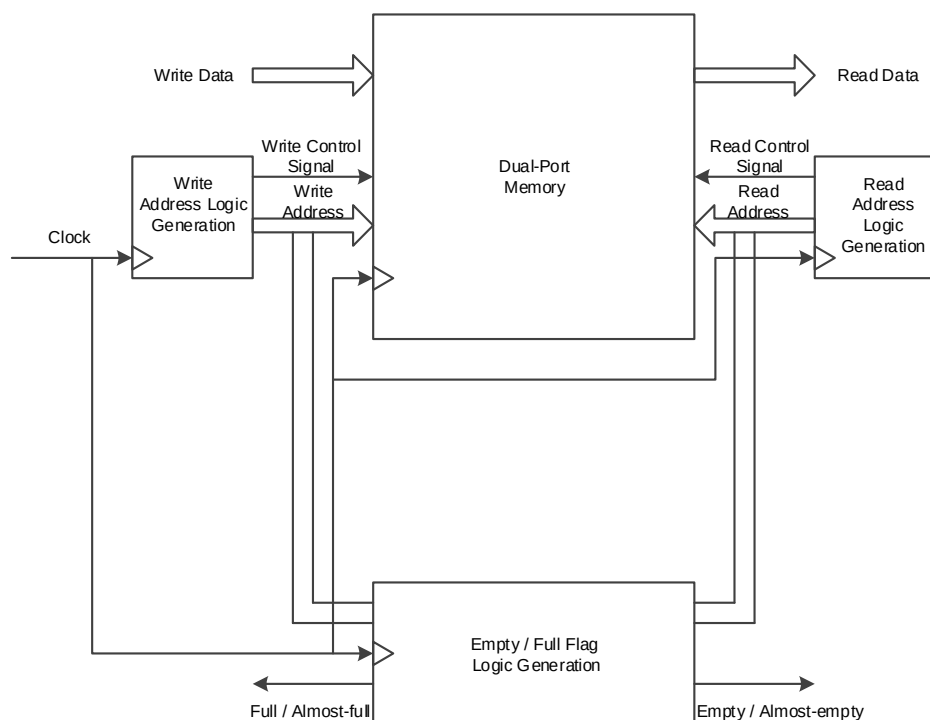


図 2-2 FIFO SC HS IP の構造



2.2 FIFO HS/FIFO SC HS IP の概要

Gowin FIFO IP には同期 FIFO (FIFO SC HS) IP と非同期 FIFO(FIFO HS)IP があります。

- 同期 FIFO の読み出しポート及び書き込みポートの信号は 1 つのクロ

ックドメインによって制御されます。

- 非同期 FIFO の読み出し書き込みポートの信号は、2 つの独立したクロックドメインによって制御されます。

Gowin IP Core Generator を使用して、構成可能なポートを備えた、シングルサイクルの読み出し/書き込みの FIFO IP を生成できます。ポート構成により、ユーザーは必要に応じて異なるデータ幅及びデータ深さの FIFO IP を生成することができます。

表 2-1 FIFO HS/ FIFO SC HS IP の概要

FIFO HS IP および FIFO SC HS IP	
IP コアの適用	
ロジックリソース	リソースは、構成、データ幅、およびデータ深さにより異なります。
提供されるファイル	
設計ファイル	Verilog (暗号化)
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis®
統合開発環境	Gowin ソフトウェア (V1.9.8Beta)

2.3 FIFO HS/FIFO SC HS IP の機能

2.3.1 FIFO HS IP の機能

Gowin FIFO HS IP は、非同期クロックドメインで異なるビット幅のデータを転送およびバッファリングし、ユーザーのニーズに応じて異なる出力制御信号とデータ構造を構成できます。

主な機能は以下に示す通りです：

- FIFO HS IP 内部のメモリは BSRAM、SSRAM、LUT などを実装可能です。
- 書き込みデータの深さは構成可能で、深さは 2^n で、最大値は 65536 です。
- 書き込みデータのビット幅は構成可能（1～256 ビット）です。
- 読み出しデータの深さは構成可能で、深さは 2^n で、最大値は 65536 です。
- 読み出しデータのビット幅=書き込みデータの深さ x 書き込みデータのビット幅/読み出しデータの深さ、構成不可です。

注記：

上記の式に適用される数値は、割り切れる必要があります。これにより、最大読み出しデータの深さが制限されます。

- 読み出し/書き込みデータの数の出力は構成可能です。ユーザーは、読み出し/書き込みデータの数を出力するかどうかを選択できます。
- リセット機能は構成可能です。ユーザーは、リセット（GSR によるリセット）を使用しないか、1つのリセットを使用するか、読み出しと書き込みをそれぞれリセットするかを選択できます。
- フラグ信号出力はオプションです。ユーザーは、**almost-empty** フラグ、**almost-full** フラグを出力することを選択できます。出力される **almost-empty** フラグと **almost-full** フラグ信号は、元の FIFO IP より 1 サイクル遅れています。
- ユーザーが **almost-empty** フラグ、**almost-full** フラグを出力することを選択した場合、**almost-empty** フラグ、**almost-full** フラグのしきい値を構成できます。これらのしきい値は、静的単一定数しきい値、静的二重定数しきい値、動的単一入力しきい値、動的二重入力しきい値として構成できます。
- ECC チェック機能はオプションです。非同期 FIFO HS IP 内部のメモリが BSRAM によって実装され、読み出し/書き込みデータのビット幅が等しくかつ 64 ビット以下である場合にのみ ECC チェック機能を選択できます。
- 出力レジスタの機能は構成可能です。ユーザーが出力レジスタの機能を選択した場合、読み出しイネーブル (RdEn) 制御はオプションです。ユーザーが読み出しイネーブル制御を選択した場合、出力レジスタは RdEn によって制御され、最後のデータは出力できません。ユーザーが読み出しイネーブル制御の代わりに出力レジスタ機能を選択した場合、読み出しデータの出力は 1 サイクル遅延し、最後のデータは出力されます。
- First-Word Fall-Through 機能をサポートします（タイミングパフォーマンスが低下する）。

2.3.2 FIFO SC HS IP の機能

GOWIN 同期 FIFO SC HS IP は、同じクロックドメインで同じビット幅と深さのデータを転送およびバッファリングできるほか、ユーザーのニーズに応じてさまざまな制御信号を構成して出力できます。

主な機能は以下に示す通りです：

- FIFO SC HS IP 内部のメモリは BSRAM、SSRAM、LUT などで実装可能です。
- 書き込みデータの深さは構成可能で、深さは 2^n で、最大値は 65536 です。

- 書き込みデータのビット幅は構成可能（1～256 ビット）です。
- 読み出しデータのビット幅と深さは、書き込みデータのビット幅と深さと同じです。
- 書き込みデータの数の出力は構成可能です。ユーザーは、書き込みデータの数を出力するかどうかを選択できます。
- フラグ信号出力はオプションです。ユーザーは、**almost-empty** フラグ、**almost-full** フラグを出力することを選択できます。
- ユーザーが **almost-empty** フラグ、**almost-full** フラグを出力することを選択した場合、**almost-empty** フラグ、**almost-full** フラグのしきい値を構成できます。これらのしきい値は、静的単一定数しきい値、静的二重定数しきい値、動的単一入力しきい値、動的二重入力しきい値として構成できます。
- ECC チェック機能はオプションです。FIFO SC HS 内部のメモリが BSRAM によって実装され、読み出し/書き込みデータのビット幅が等しくかつ 64 ビット以下である場合にのみ ECC チェック機能を選択できます。
- 出力レジスタの機能は構成可能です。ユーザーが出力レジスタの機能を選択した場合、読み出しイネーブル (RdEn) 制御はオプションです。ユーザーが読み出しイネーブル制御を選択した場合、出力レジスタは RdEn によって制御され、最後のデータは出力できません。ユーザーが読み出しイネーブル制御の代わりに出力レジスタ機能を選択した場合、読み出しデータの出力は 1 サイクル遅延し、最後のデータは出力されます。
- First-Word Fall-Through 機能をサポートします。

2.4 FIFO HS IP の最大周波数とリソース使用率

Gowin 非同期 FIFO は Verilog によって実装されています。FIFO HS IP の最大周波数は、データの深さ、ビット幅、およびデバイスのスピードグレードにより異なります。パフォーマンスとリソース使用率は、デバイス、集積度、スピードグレードなどにより異なる場合があります。

FIFO HS IP のリソース使用率とパフォーマンスを表 2-2 と表 2-3 に示します。BSRAM の FIFO タイプを例に説明します。

表 2-2 オプション特性なしの FIFO HS IP

FIFO タイプ	Depth x Width	FPGA シリーズ	パフォーマンス (MHz)	リソース使用率				
				Reg	LUT	ALU	Logics	BSRAM
BSRAM	4096 x 16	GW2A-55-484	WrClk=124.243 RdClk=122.991	54	35	39	74	4
	512 x 16		WrClk=195.025 RdClk=186.386	42	27	30	57	1
	64 x 16		WrClk=117.189 RdClk=117.054	30	19	21	40	1
	4096 x 16	GW2A-18-484	WrClk=164.473 RdClk=147.242	54	35	39	74	4
	512 x 16		WrClk=201.602 RdClk=208.362	42	27	30	57	1
	64 x 16		WrClk=149.176 RdClk=171.152	30	19	21	40	1
	4096 x 16	GW1N-4-144	WrClk=144.579 RdClk=115.026	54	35	39	74	4
	512 x 16		WrClk=141.036 RdClk=143.781	42	27	30	57	1
	64 x 16		WrClk=134.581 RdClk=127.163	30	19	21	40	1

表 2-3 オプション特性構成済みの FIFO HS IP

FIFO タイプ	Depth x Width	FPGA シリーズ	パフォーマンス (MHz)	リソース使用率					構成項目		
				Reg	LUT	ALU	Logics	BSRAM	Data NUM	Flag con	ECC
BSRAM	4096 x 16	GW2A-55-484	WrClk=158.200 RdClk=201.117	162	141	82	223	4	Yes	Yes	Yes
	512 x 16		WrClk=249.642 RdClk=168.863	126	122	64	186	1	Yes	Yes	Yes
	64 x 16		WrClk=250.041 RdClk=176.390	90	110	46	156	1	Yes	Yes	Yes
	4096 x 16	GW2A-18-484	WrClk=202.941 RdClk=162.838	162	141	82	223	4	Yes	Yes	Yes
	512 x 16		WrClk=263.991 RdClk=170.131	126	122	64	186	1	Yes	Yes	Yes
	64 x 16		WrClk=253.679	90	110	46	156	1	Yes	Yes	Yes

FIFO タイプ	Depth x Width	FPGA シリーズ	パフォーマンス (MHz)	リソース使用率					構成項目		
				Reg	LUT	ALU	Logics	BSRAM	Data NUM	Flag con	ECC
			RdClk=178.594								
	4096 x 16	GW1N-4-144	WrClk=116.434 RdClk=83.14	162	141	82	223	4	Yes	Yes	Yes
	512 x 16		WrClk=124.109 RdClk=86.073	126	122	64	186	1	Yes	Yes	Yes
	64 x 16		WrClk=119.766 RdClk=82.506	90	110	46	156	1	Yes	Yes	Yes

注記：

他の GOWIN FPGA 上の FIFO のアプリケーション検証はこれから開始されます。

2.5 FIFO SC HS IP の最大周波数とリソース使用率

Gowin 同期 FIFO は Verilog によって実装されています。FIFO SC HS の最大周波数は、データの深さ、ビット幅、およびデバイスのスピードグレードにより異なります。パフォーマンスとリソース使用率は、デバイス、集積度、スピードグレードなどにより異なる場合があります。

FIFO SC HS IP のリソース使用率とパフォーマンスを表 2-4 と表 2-5 に示します。BSRAM の FIFO タイプを例に説明します。

表 2-4 オプション特性なしの FIFO SC HS IP

FIFO タイプ	Depth x Width	FPGA シリーズ	パフォーマンス (MHz)	リソース使用率				
				Reg	LUT	ALU	Logics	BSRAM
BSRAM	4096 x 16	GW2A-55-484	184.072	54	13	65	78	4
	512 x 16		187.569	42	11	50	61	1
	64 x 16		211.382	30	9	35	44	1
	4096 x 16	GW2A-18-484	193.129	54	13	65	78	4
	512 x 16		201.438	42	11	50	61	1
	64 x 16		236.317	30	9	35	44	1
	4096 x 16	GW1N-4-144	101.041	54	13	65	78	4
	512 x 16		115.146	42	11	50	61	1
	64 x 16		120.803	30	9	35	44	1

表 2-5 オプション特性構成済みの FIFO SC HS IP

FIFO タイプ	Depth x Width	FPGA シリーズ	パフォーマンス (MHz)	リソース使用率					構成項目		
				Reg	LUT	ALU	Logics	BSRAM	Data NUM	Flag con	ECC
BSRAM	4096 x 16	GW2A-55-484	136.188	71	110	83	193	4	Yes	Yes	Yes
	512 x 16		166.123	56	105	65	170	1	Yes	Yes	Yes
	64 x 16		144.873	41	102	47	149	1	Yes	Yes	Yes
	4096 x 16	GW2A-18-484	158.949	71	110	83	193	4	Yes	Yes	Yes
	512 x 16		172.282	56	105	65	170	1	Yes	Yes	Yes
	64 x 16		161.652	41	102	47	149	1	Yes	Yes	Yes
	4096 x 16	GW1N-4-144	104.066	69	19	78	97	4	Yes	Yes	Yes
	512 x 16		114.538	54	16	60	76	1	Yes	Yes	Yes
	64 x 16		105.768	39	12	42	54	1	Yes	Yes	Yes

注記：

他の GOWIN FPGA 上の FIFO SC HS IP のアプリケーション検証はこれから開始されます。

3 ポートの説明

3.1 FIFO HS IP のポート

FIFO HS IP の IO ポートの説明は表 3-1 に示す通りです。

表 3-1 FIFO HS IP の IO ポート一覧

信号名	ビット幅	方向	初期状態	オプションか	説明
Data	[WDSIZE-1:0]	入力	-	No	書き込みデータ
WrClk	1	入力	-	No	書き込みクロック
RdClk	1	入力	-	No	読み出しクロック
WrEn	1	入力	-	No	書き込みイネーブル
RdEn	1	入力	-	No	読み出しイネーブル
Reset	1	入力	-	Yes	リセット、アクティブ High
WrReset	1	入力	-	Yes	書き込みリセット、アクティブ High
RdReset	1	入力	-	Yes	読み出しリセット、アクティブ High
AlmostEmptySetTh	[RASIZE-1:0]	入力	-	Yes	almost-empty フラグ、しきい値をセットします
AlmostEmptyClrTh	[RASIZE-1:0]	入力	-	Yes	almost-empty フラグ、しきい値をクリアします
AlmostEmptyTh	[RASIZE-1:0]	入力	-	Yes	almost-empty フラグ、しきい値をセットします
AlmostFullSetTh	[ASIZE-1:0]	入力	-	Yes	almost-full フラグ、

信号名	ビット幅	方向	初期状態	オプションか	説明
					しきい値をセットします
AlmostFullClrTh	[ASIZE-1:0]	入力	-	Yes	almost-full フラグ、しきい値をクリアします
AlmostFullTh	[ASIZE-1:0]	入力	-	Yes	almost-full フラグ、しきい値をセットします
Q	[RDSIZE-1:0]	出力	-	No	読み出しデータ
Empty	1	出力	1	No	empty フラグ
Full	1	出力	0	No	full フラグ
Wnum	[ASIZE: 0]	出力	0	Yes	書き込みデータの数
Rnum	[RASIZE: 0]	出力	0	Yes	読み出し可能データ数
Almost_Empty	1	出力	1	Yes	almost-empty フラグ
Almost_Full	1	出力	0	Yes	almost-full フラグ
ERROR	2	出力	0	Yes	ECC チェック出力

3.2 FIFO SC HS IP のポート

FIFO SC HS IP の IO ポートの説明は表 3-2 に示す通りです。

表 3-2 FIFO SC HS IP の IO ポート

信号名	ビット幅	方向	初期状態	オプションか	説明
Data	[DSIZE-1:0]	入力	-	No	書き込みデータ
Clk	1	入力	-	No	書き込みクロック
WrEn	1	入力	-	No	書き込みイネーブル
RdEn	1	入力	-	No	読み出しイネーブル
Reset	1	入力	-	Yes	リセット、アクティブ High
AlmostEmptySetTh	[ASIZE-1:0]	入力	-	Yes	almost-empty フラグ、しきい値をセットします
AlmostEmptyClrTh	[ASIZE-1:0]	入力	-	Yes	almost-empty フラ

信号名	ビット幅	方向	初期状態	オプション か	説明
					グ、しきい値をクリアします
AlmostEmptyTh	[ASIZE-1:0]	入力	-	Yes	almost-empty フラグ、しきい値をセットします
AlmostFullSetTh	[ASIZE-1:0]	入力	-	Yes	almost-full フラグ、しきい値をセットします
AlmostFullClrTh	[ASIZE-1:0]	入力	-	Yes	almost-full フラグ、しきい値をクリアします
AlmostFullTh	[ASIZE-1:0]	入力	-	Yes	almost-full フラグ、しきい値をセットします
Q	[DSIZE-1:0]	出力	-	No	読み出しデータ
Empty	1	出力	1	No	empty フラグ
Full	1	出力	0	No	full フラグ
Wnum	[ASIZE: 0]	出力	0	Yes	書き込みデータの数
Almost_Empty	1	出力	1	Yes	almost-empty フラグ
Almost_Full	1	出力	0	Yes	almost-full フラグ
ERROR	2	出力	0	Yes	ECC チェック出力

4 タイミングの説明

この章では、FIFO HS IP と FIFO SC HS IP の読み出しおよび書き込みタイミングについて解説します。

実際のアプリケーションでは、ユーザーは自分のニーズに応じて異なる出力制御信号を構成できます。読み出し/書き込み制御のタイミングは異なります。この章では、最も一般的で重要な信号(入力、出力、empty&full、almost-empty、almost-full) を例に説明します。

4.1 FIFO HS IP 信号のタイミング

図 4-2 に図 4-1 の構成の場合の FIFO HS のタイミングを示します。

図 4-1 FIFO HS の構成

The image shows a configuration window for the FIFO HS IP. It includes several sections with checkboxes and dropdown menus. The 'Write Depth' and 'Read Depth' are both set to 8. The 'FIFO Implementation' is set to BSRAM. The 'Read Mode' is set to Standard FIFO. The 'Data Number' section has checkboxes for Read Data Num, Write Data Num, En_Reset, and Reset_Synchronization, all of which are checked. The 'Flag Control' section has checkboxes for Almost Full Flag and Almost Empty Flag, both checked. The 'Almost Full Flag' has a 'Set' value of 1 and a 'Clear' value of 1. The 'Almost Empty Flag' has a 'Set' value of 1 and a 'Clear' value of 1. The 'ECC Selected' checkbox is unchecked. The 'Generation Config' section is partially visible at the bottom.

☐ Output Registers Selected ☐ Controlled by RdEn

Write Depth: 8 Write Data Width: 8 (1-256)

Read Depth: 8 Read Data Width: 8 (1-256)

FIFO Implementation

☒ BSRAM ☐ SSRAM ☐ REG

Read Mode

☒ Standard FIFO ☐ First-Word Fall-Through

Data Number

☒ Read Data Num (Synchronized with Read Clk)

☒ Write Data Num (Synchronized with Write Clk)

☒ En_Reset ☒ Reset_Synchronization

Flag Control

☒ Almost Full Flag Full-Single Threshold Constant Parameter

Set: 1 (1 - 7) Clear: 1 (1 - 7)

☒ Almost Empty Flag Empty-Single Threshold Constant Parameter

Set: 1 (1 - 7) Clear: 1 (1 - 7)

☐ ECC Selected (Supported for Data Width in 1-64 bit)

Generation Config

図 4-2 に示すように、FIFO がフルでない場合、書き込みイネーブルが High になり、データが FIFO に書き込まれます。8 つのデータが書き込まれた後、FIFO がフルになり、書き込みイネーブルがマスクされ、Full 信号が High になります。この場合、データを書き込むことができません。FIFO が空でない場合、読み出しイネーブルが High になり、FIFO に書き込まれたデータが順次 Q に読み出されます。8 番目のデータが読み出された後、読み出しイネーブルがマスクされ、Empty 信号が High にプルアップされます。この場合、データを読み出すことができません。

図 4-2 FIFO HS IP のタイミング

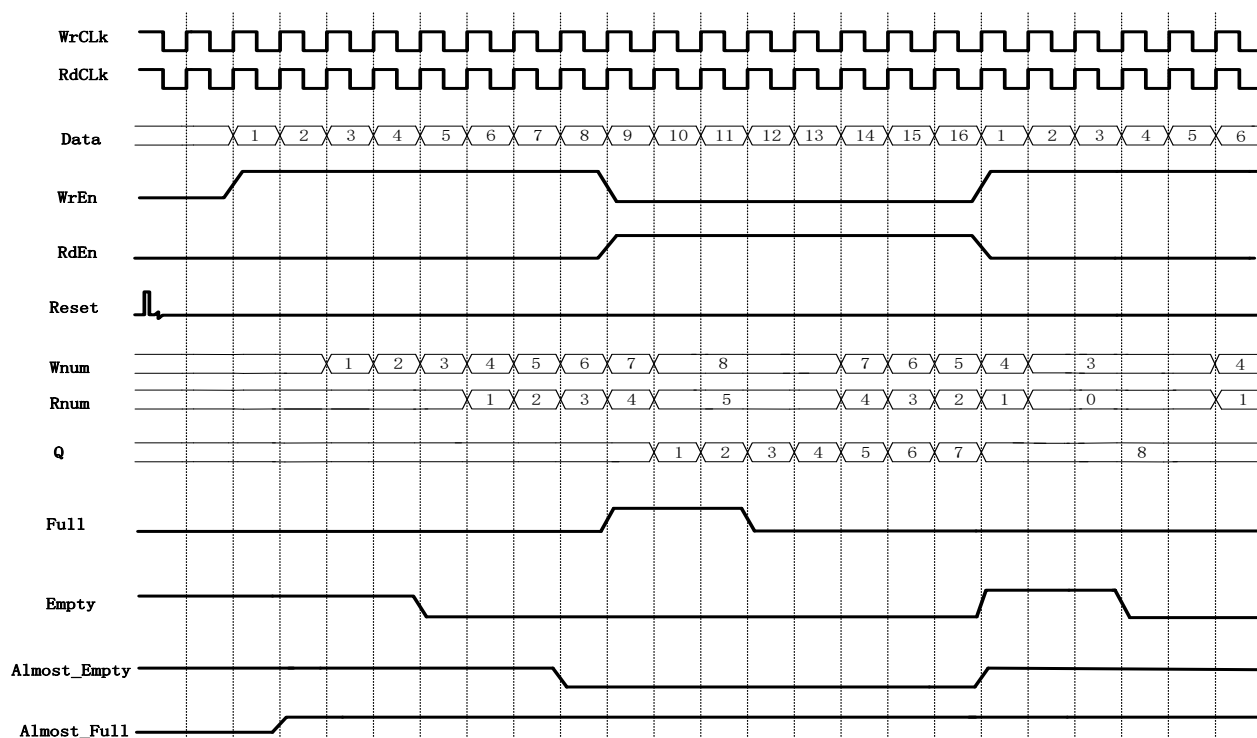


図 4-4 に図 4-3 の構成の場合の FIFO HS のタイミングを示します。

図 4-3 FIFO HS の構成

Options

☒ Output Registers Selected ☐ Controlled by RdEn

Write Depth: 8 Write Data Width: 8 (1-256)

Read Depth: 8 Read Data Width: 8 (1-256)

FIFO Implementation

☒ BSRAM ☐ SSRAM ☐ REG

Read Mode

☒ Standard FIFO ☐ First-Word Fall-Through

Data Number

☒ Read Data Num (Synchronized with Read Clk)

☒ Write Data Num (Synchronized with Write Clk)

☒ En_Reset ☒ Reset_Synchronization

Flag Control

☒ Almost Full Flag Full-Single Threshold Constant Parameter

Set: 1 (1 - 7) Clear: 1 (1 - 7)

☒ Almost Empty Flag Empty-Single Threshold Constant Parameter

Set: 1 (1 - 7) Clear: 1 (1 - 7)

☐ ECC Selected (Supported for Data Width in 1-64 bit)

Generation Config

☒ Disable I/O Insertion ☒ Read Write check on RAM

図 4-4 に示すように、図 4-3 の構成では、出力レジスタ機能が選択されています。これにより、読み出しデータは出力レジスタを使用しない場合により 1 サイクル遅れており、最後のデータが出力されます。

図 4-4 FIFO HS IP のタイミング

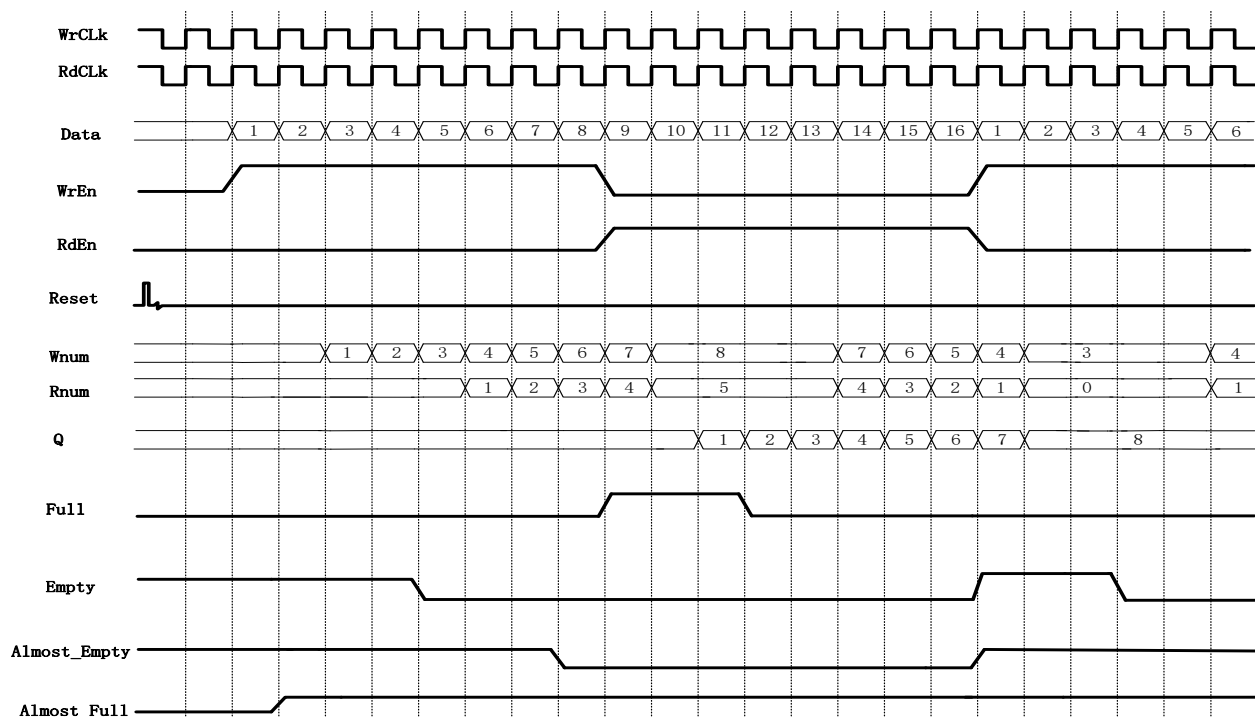


図 4-6 に図 4-5 の構成の場合の FIFO HS のタイミングを示します。

図 4-5 FIFO HS の構成

図 4-6 に示すように、図 4-5 の構成では、出力レジスタ機能が選択され、読み出しイネーブル制御が選択されています。つまり、出力レジスタは **RdEn** によって制御されます。これにより、読み出しデータは出力レジスタを使用しない場合により 1 サイクル遅れており、最後のデータは次の読み出しイネーブルの最初のデータ出力になります。

図 4-6 FIFO HS IP のタイミング

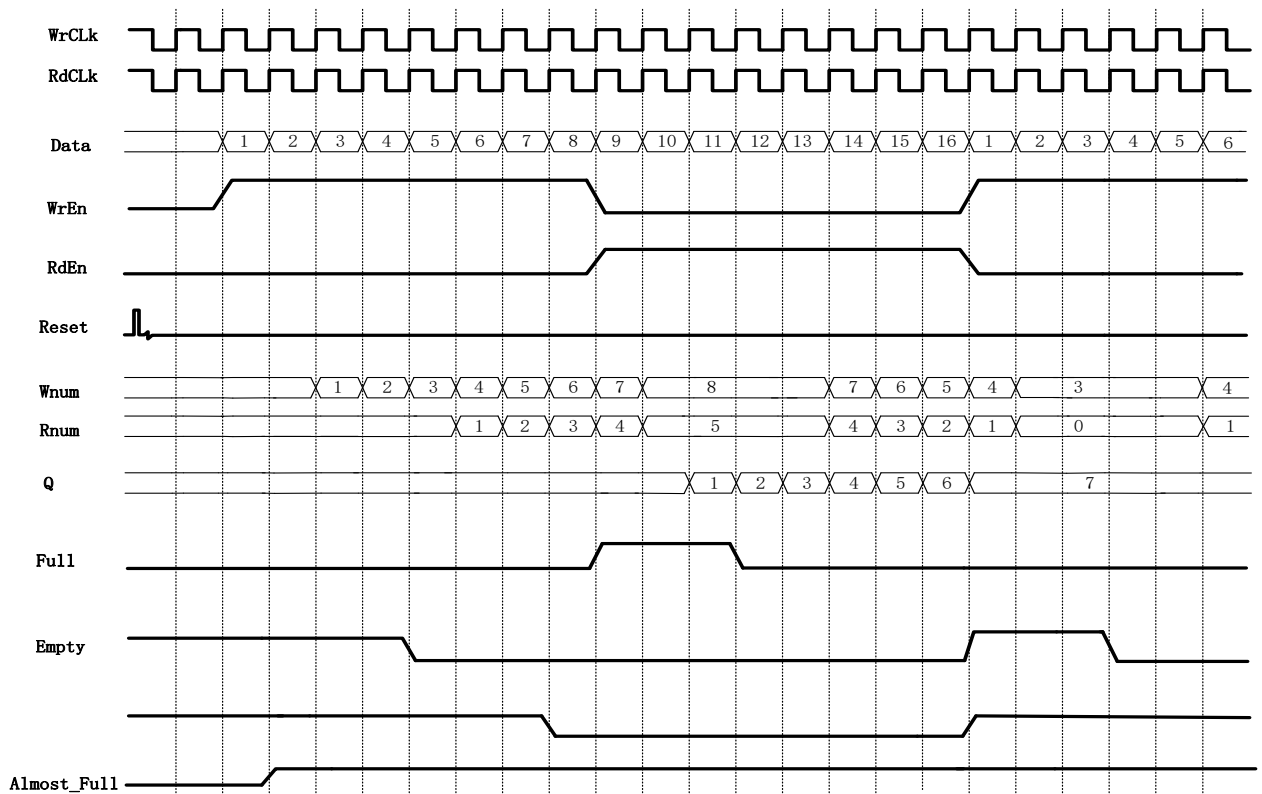


図 4-8 に図 4-7 の構成の場合の FIFO HS のタイミングを示します。

図 4-7 FIFO HS の構成

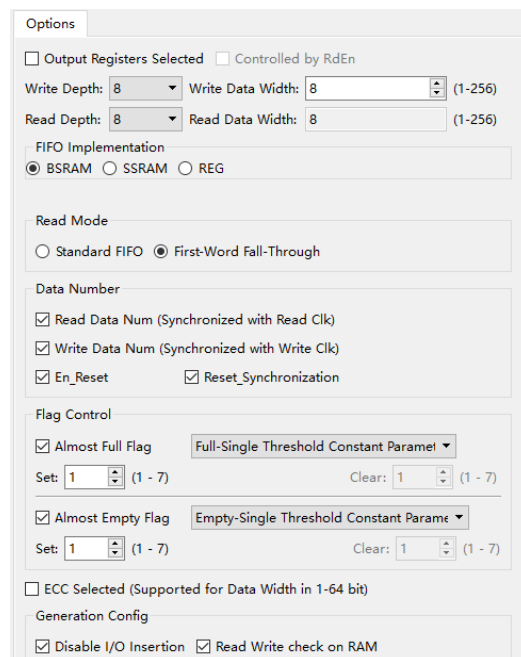


図 4-8 に示すように、図 4-7 の構成では、FIFO HS IP の FWFT モード、つまり **First-Word Fall-Through** が選択されています。FIFO が空でない場合は、読み出しイネーブル信号の有無にかかわらず、出力データバスに最

初の書き込みデータをすぐに配置します。読み出しイネーブルが High になった後、追加データが順番に出力されます。

図 4-8 FIFO HS IP のタイミング

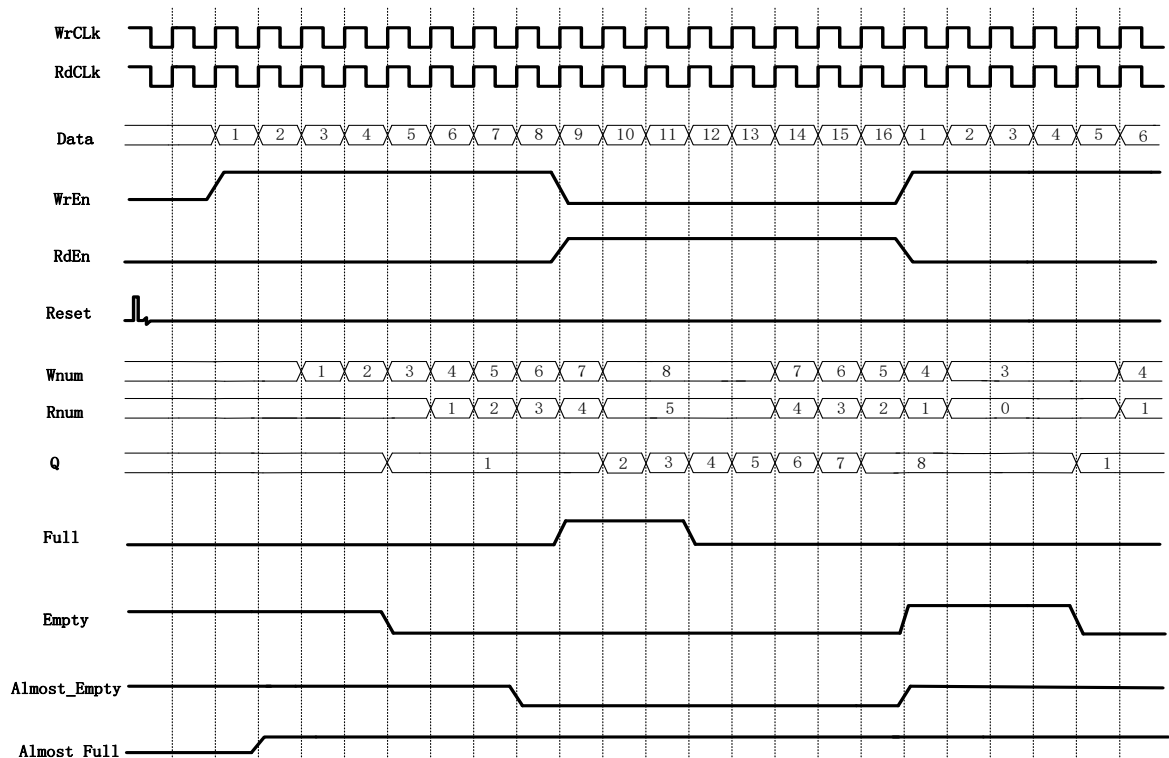


図 4-10 に図 4-9 の構成の場合の FIFO HS のタイミングを示します。

図 4-9 FIFO HS の構成

The screenshot shows the configuration options for the FIFO HS IP. The options are organized into several sections:

- Options**: Includes checkboxes for **Output Registers Selected** (checked) and **Controlled by RdEn** (unchecked).
- Write Parameters**: **Write Depth** is set to 8, and **Write Data Width** is set to 8.
- Read Parameters**: **Read Depth** is set to 8, and **Read Data Width** is set to 8.
- FIFO Implementation**: The **BSRAM** option is selected.
- Read Mode**: The **First-Word Fall-Through** mode is selected.
- Data Number**: Includes checkboxes for **Read Data Num (Synchronized with Read Clk)**, **Write Data Num (Synchronized with Write Clk)**, **En_Reset**, and **Reset_Synchronization**.
- Flag Control**: Includes checkboxes for **Almost Full Flag** and **Almost Empty Flag**. The **Almost Full Flag** is configured with a **Full-Single Threshold Constant Parameter** set to 1. The **Almost Empty Flag** is configured with an **Empty-Single Threshold Constant Parameter** set to 1.
- ECC**: The **ECC Selected** checkbox is unchecked.

図 4-10 に示すように、図 4-9 の構成では、FIFO HS IP の FWFT モードおよび出力レジスタ機能が選択されています。

図 4-10 FIFO HS IP のタイミング

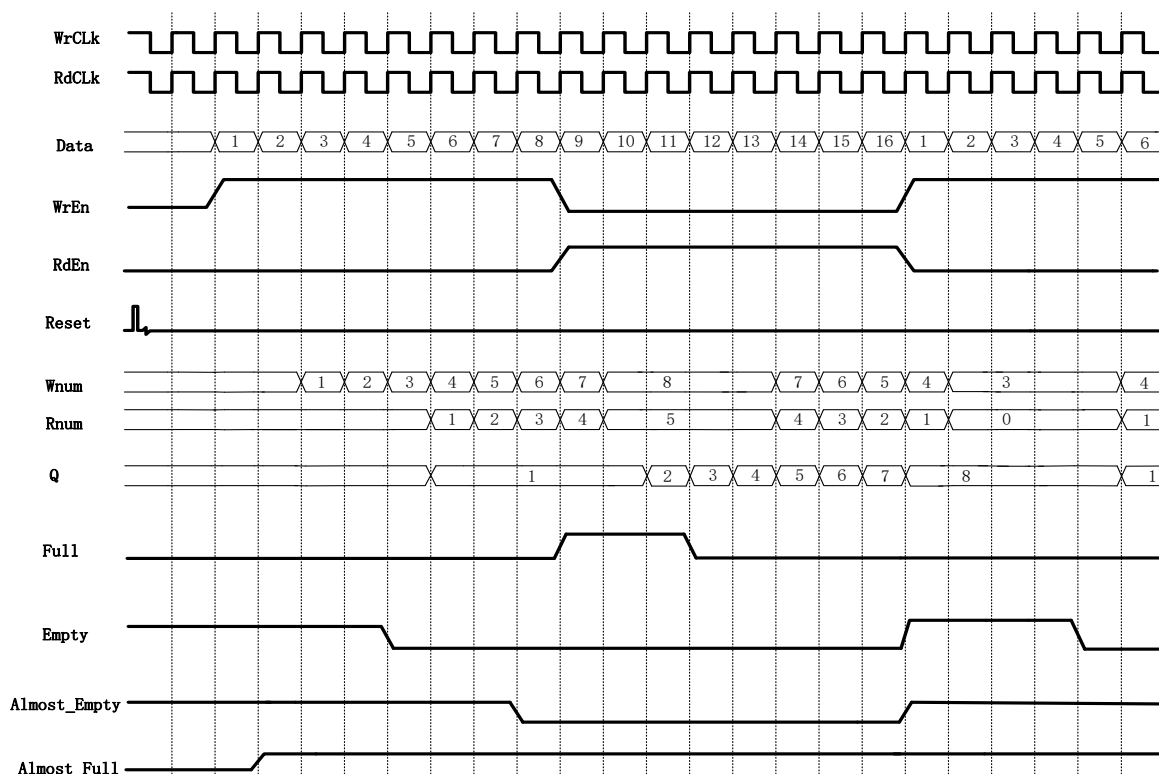


図 4-12 に図 4-11 の構成の場合の FIFO HS のタイミングを示します。

図 4-11 FIFO HS の構成

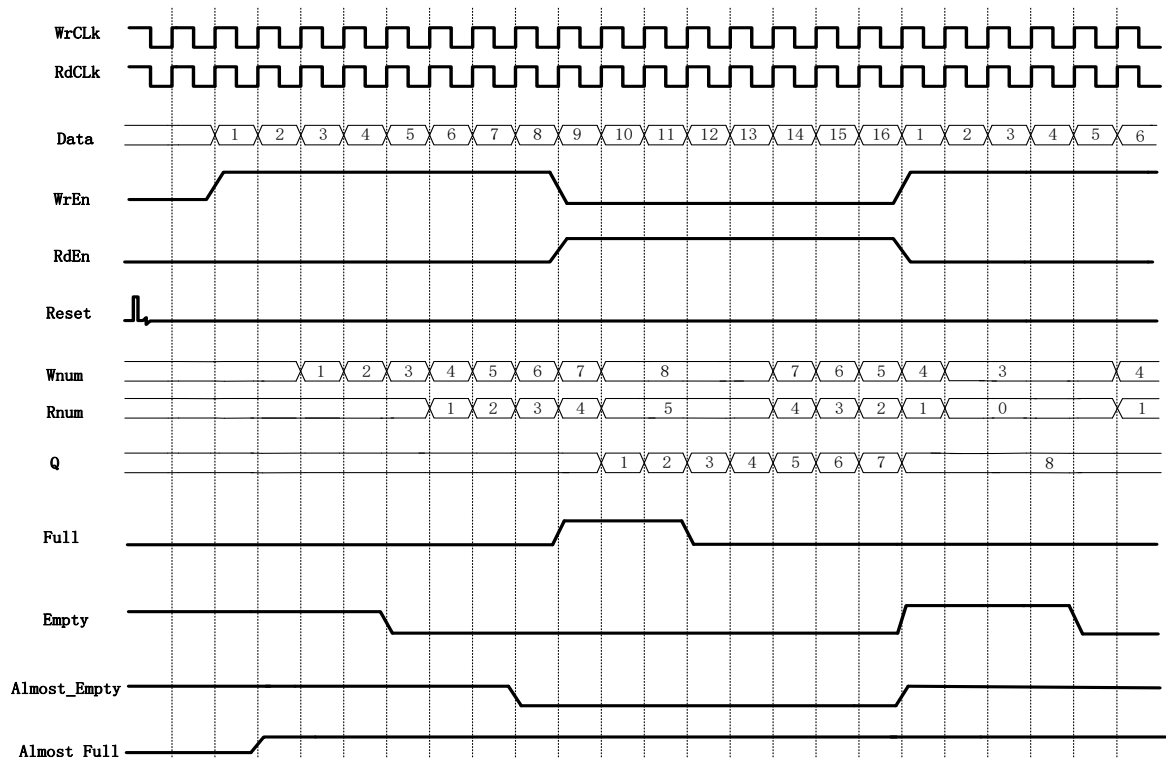
The screenshot shows the configuration options for the FIFO HS IP. The configuration includes the following settings:

- Options: ☒ Output Registers Selected, ☒ Controlled by RdEn
- Write Depth: 8, Write Data Width: 8 (1-256)
- Read Depth: 8, Read Data Width: 8 (1-256)
- FIFO Implementation: ☒ BSRAM, ☐ SSRAM, ☐ REG
- Read Mode: ☐ Standard FIFO, ☒ First-Word Fall-Through
- Data Number: ☒ Read Data Num (Synchronized with Read Clk), ☒ Write Data Num (Synchronized with Write Clk), ☒ En_Reset, ☒ Reset_Synchronization
- Flag Control: ☒ Almost Full Flag, ☒ Almost Empty Flag, Full-Single Threshold Constant Parameter, Empty-Single Threshold Constant Parameter

図 4-12 に示すように、図 4-11 の構成では、FIFO HS IP の FWFT モー

ド、出力レジスタ機能、および読み出しイネーブル制御が選択されています。

図 4-12 FIFO HS IP のタイミング



4.2 FIFO SC HS IP 信号のタイミング

図 4-14 に図 4-13 の構成の場合の FIFO SC HS のタイミングを示します。

図 4-13 FIFO SC HS の構成

The configuration window for the FIFO SC HS IP shows the following settings:

- ☐ Output Registers Selected ☐ Controlled by RdEn
- Write Depth: 8 Write Data Width: 8 (1-256)
- Read Depth: 8 Read Data Width: 8 (1-256)
- FIFO Implementation: ☒ BSRAM ☐ SSRAM ☐ REG
- Read Mode: ☒ Standard FIFO ☐ First-Word Fall-Through
- Data Number: ☒ Write Data Num (Synchronized with Clk)
- Output Flags:
 - ☒ Almost Full Flag Full-Single Threshold Constant Parameter
 - Set: 1 (1 - 7) Clear: 1 (1 - 7)
 - ☒ Almost Empty Flag Empty-Single Threshold Constant Parameter
 - Set: 1 (1 - 7) Clear: 1 (1 - 7)
- ☐ ECC Selected (Supported for Data Width in 1-64 bit)

図 4-14 に示すように、FIFO がフルでない場合、書き込みイネーブルが

High になり、データが FIFO に書き込まれます。8 つのデータが書き込まれた後、FIFO がフルになり、書き込みイネーブルがマスクされ、Full 信号が High になります。この場合、データを書き込むことができません。FIFO が空でない場合、読み出しイネーブルが High になり、FIFO に書き込まれたデータが順次 Q に読み出されます。8 番目のデータが読み出された後、読み出しイネーブルがマスクされ、Empty 信号が High にプルアップされます。この場合、データを読み出すことができません。

図 4-14 FIFO SC HS IP のタイミング

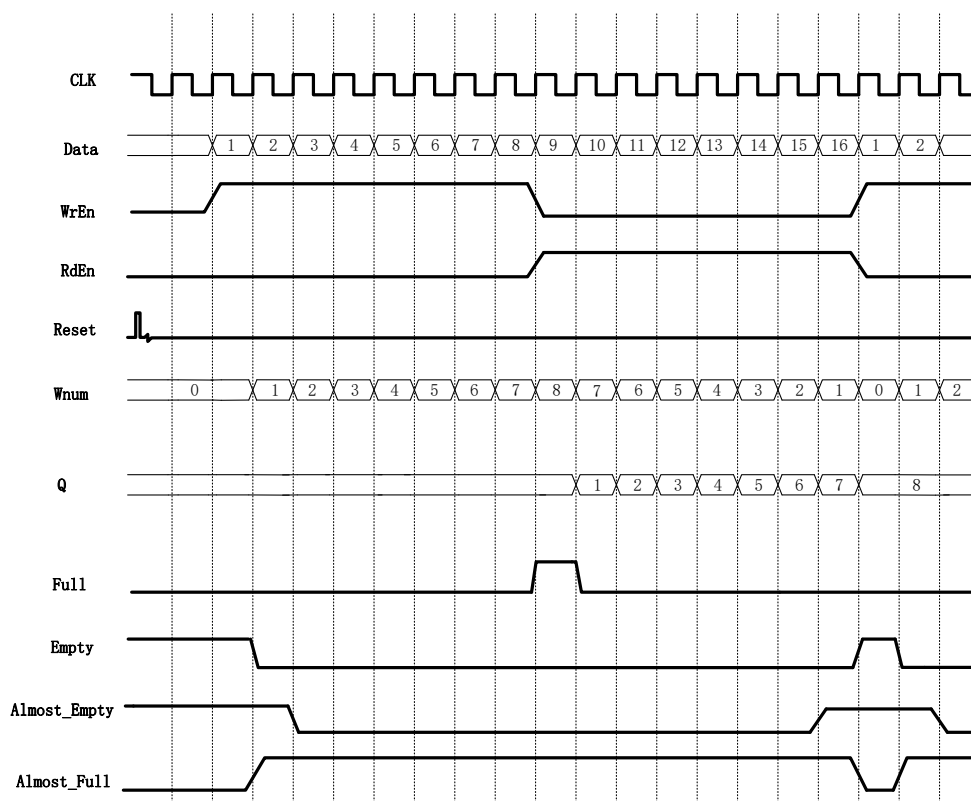


図 4-16 に図 4-15 の構成の場合の FIFO SC HS のタイミングを示します。

図 4-15 FIFO SC HS の構成

図 4-16 に示すように、図 4-15 の構成では、出力レジスタ機能が選択されています。これにより、読み出しデータは出力レジスタを使用しない場合により 1 サイクル遅れており、最後のデータが出力されます。

図 4-16 FIFO SC HS IP のタイミング

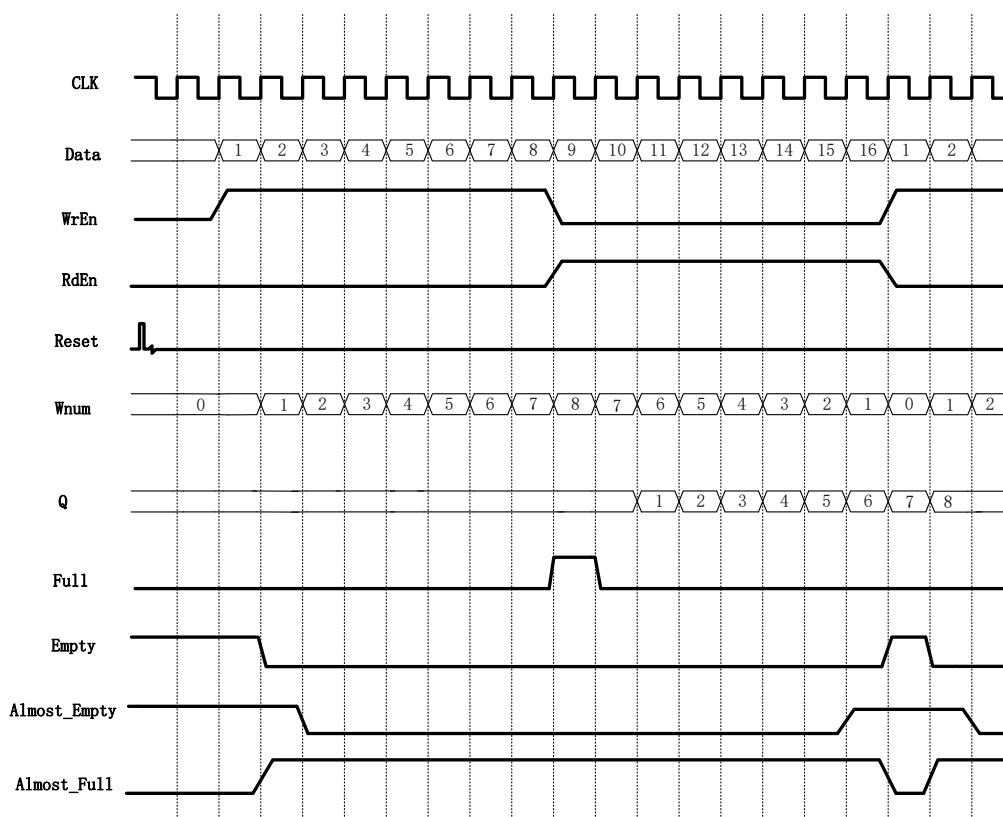


図 4-18 に図 4-17 の構成の場合の FIFO SC HS のタイミングを示します。

図 4-17 FIFO SC HS の構成

The screenshot shows the configuration window for the FIFO SC HS IP. The 'Options' tab is selected. Key settings include:

- ☒ Output Registers Selected
- ☒ Controlled by RdEn
- Write Depth: 8, Write Data Width: 8 (1-256)
- Read Depth: 8, Read Data Width: 8 (1-256)
- FIFO Implementation: ☒ BSRAM, ☐ SSRAM, ☐ REG
- Read Mode: ☒ Standard FIFO, ☐ First-Word Fall-Through
- Data Number: ☒ Write Data Num (Synchronized with Clk)
- Output Flags:
 - ☒ Almost Full Flag: Full-Single Threshold Constant Parameter (Set: 1, Clear: 1)
 - ☒ Almost Empty Flag: Empty-Single Threshold Constant Parameter (Set: 1, Clear: 1)
- ☐ ECC Selected (Supported for Data Width in 1-64 bit)
- Generation Config

図 4-18 に示すように、図 4-17 の構成では、出力レジスタ機能が選択され、読み出しイネーブル制御が選択されています。つまり、出力レジスタは **RdEn** によって制御されます。これにより、読み出しデータは出力レジスタを使用しない場合により 1 サイクル遅れており、最後のデータは次の読み出しイネーブルの最初のデータ出力になります。

図 4-18 FIFO SC HS IP のタイミング

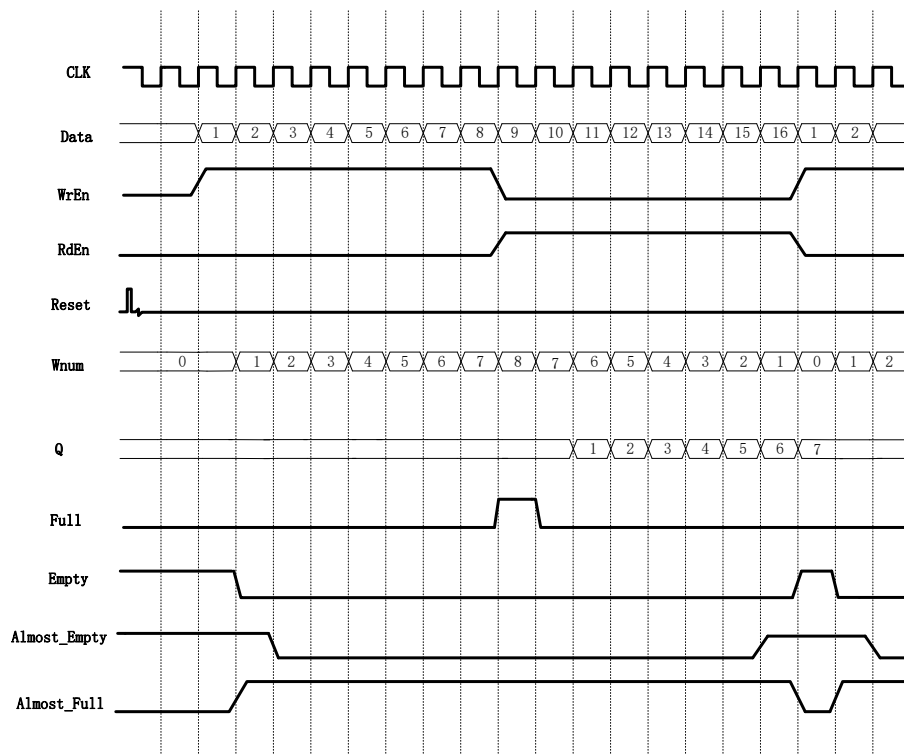


図 4-20 に図 4-19 の構成の場合の FIFO SC HS のタイミングを示します。

図 4-19 FIFO SC HS の構成

The screenshot shows the configuration window for the FIFO SC HS IP. The 'Options' tab is selected. The settings are as follows:

- ☐ Output Registers Selected ☐ Controlled by RdEn
- Write Depth: 8 Write Data Width: 8 (1-256)
- Read Depth: 8 Read Data Width: 8 (1-256)
- FIFO Implementation: ☒ BSRAM ☐ SSRAM ☐ REG
- Read Mode: ☐ Standard FIFO ☒ First-Word Fall-Through
- Data Number: ☒ Write Data Num (Synchronized with Clk)
- Output Flags:
 - ☒ Almost Full Flag Full-Single Threshold Constant Parameter Set: 1 (1 - 7) Clear: 1 (1 - 7)
 - ☒ Almost Empty Flag Empty-Single Threshold Constant Parameter Set: 1 (1 - 7) Clear: 1 (1 - 7)
- ☐ ECC Selected (Supported for Data Width in 1-64 bit)
- Generation Config

図 4-20 に示すように、図 4-19 の構成では、FIFO SC HS IP の FWFT モード、つまり **First-Word Fall-Through** が選択されています。FIFO が空でない場合は、読み出しイネーブル信号の有無にかかわらず、出力データバスに最初の書き込みデータをすぐに配置します。読み出しイネーブルが High になった後、追加データが順番に出力されます。

図 4-20 FIFO SC HS IP のタイミング

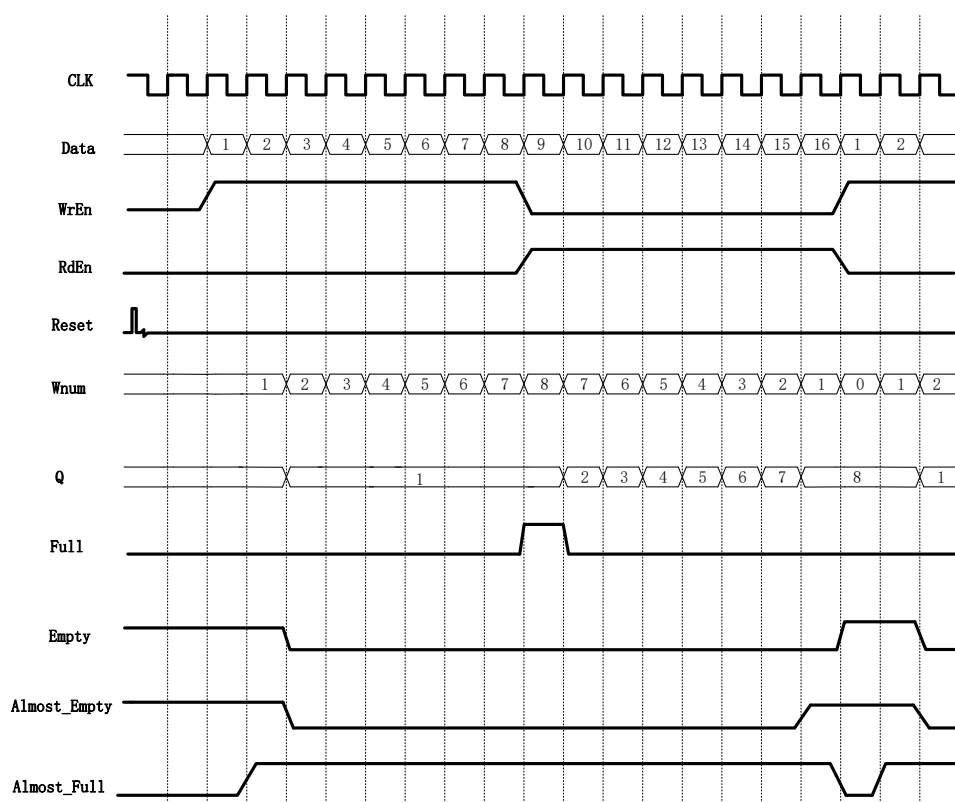


図 4-22 に図 4-21 の構成の場合の FIFO SC HS のタイミングを示します。

図 4-21 FIFO SC HS の構成

The screenshot shows the configuration options for the FIFO SC HS IP. The settings are as follows:

- Options** tab is selected.
- ☒ Output Registers Selected ☐ Controlled by RdEn
- Write Depth: 8 Write Data Width: 8 (1-256)
- Read Depth: 8 Read Data Width: 8 (1-256)
- FIFO Implementation**
 - ☒ BSRAM ☐ SSRAM ☐ REG
- Read Mode**
 - ☐ Standard FIFO ☒ First-Word Fall-Through
- Data Number**
 - ☒ Write Data Num (Synchronized with Clk)
- Output Flags**
 - ☒ Almost Full Flag Full-Single Threshold Constant Parameter
 - Set: 1 (1 - 7) Clear: 1 (1 - 7)
 - ☒ Almost Empty Flag Empty-Single Threshold Constant Parameter
 - Set: 1 (1 - 7) Clear: 1 (1 - 7)
- ☐ ECC Selected (Supported for Data Width in 1-64 bit)

図 4-22 に示すように、図 4-21 の構成では、FIFO SC IP の FWFT モードおよび出力レジスタ機能が選択されています。

図 4-22 FIFO SC HS IP のタイミング

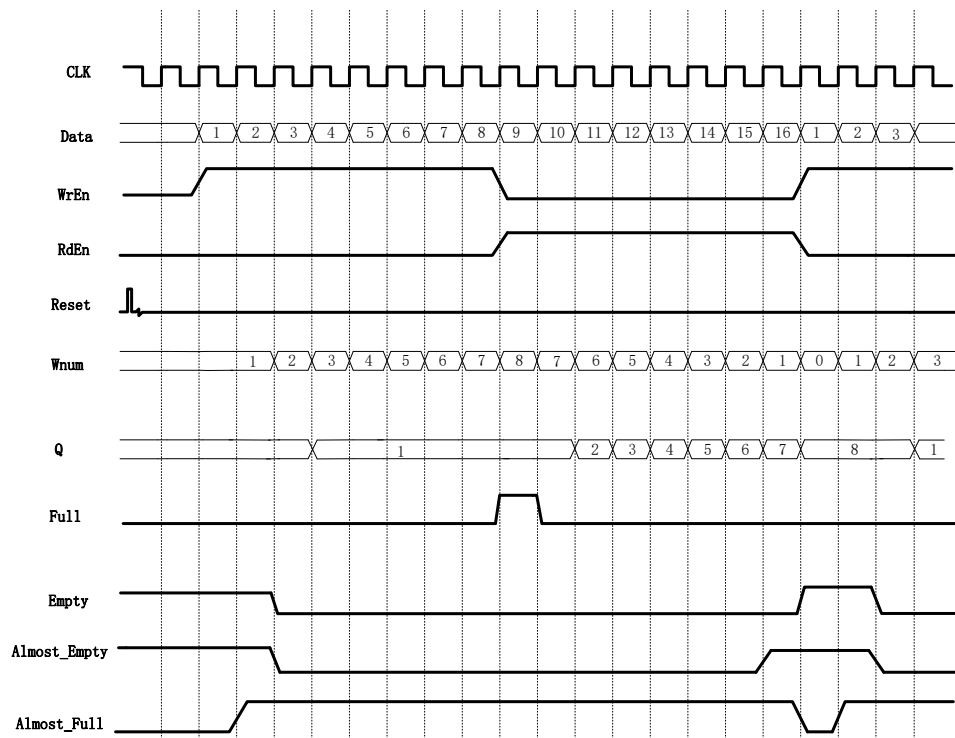


図 4-24 に図 4-23 の構成の場合の FIFO SC HS のタイミングを示します。

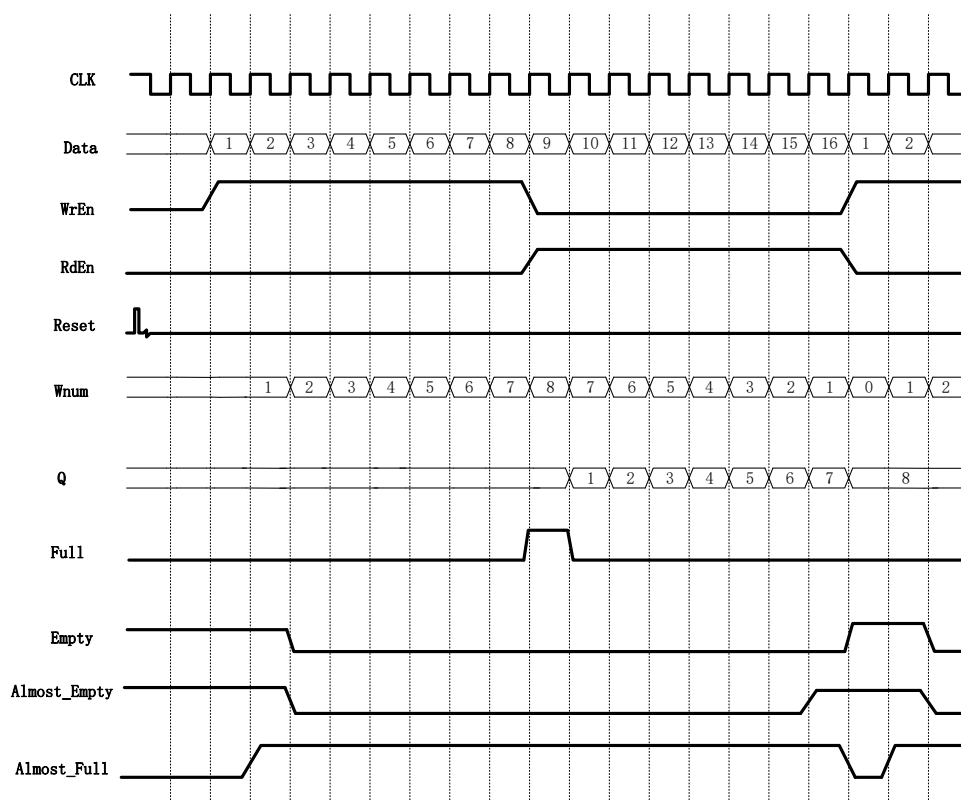
図 4-23 FIFO SC HS の構成

The configuration interface for the FIFO SC HS IP shows the following settings:

- Output Registers Selected**: ☒ (checked)
- Controlled by RdEn**: ☒ (checked)
- Write Depth**: 8 (dropdown)
- Write Data Width**: 8 (dropdown, range 1-256)
- Read Depth**: 8 (dropdown)
- Read Data Width**: 8 (dropdown, range 1-256)
- FIFO Implementation**: ☒ BSRAM, ☐ SSRAM, ☐ REG
- Read Mode**: ☐ Standard FIFO, ☒ First-Word Fall-Through
- Data Number**: ☒ Write Data Num (Synchronized with Clk)
- Output Flags**:
 - Almost Full Flag**: ☒ (checked), Full-Single Threshold Constant Parameter (dropdown)
 - Set**: 1 (dropdown, range 1-7), **Clear**: 1 (dropdown, range 1-7)
 - Almost Empty Flag**: ☒ (checked), Empty-Single Threshold Constant Parameter (dropdown)
 - Set**: 1 (dropdown, range 1-7), **Clear**: 1 (dropdown, range 1-7)
- ECC Selected (Supported for Data Width in 1-64 bit)**: ☐ (unchecked)
- Generation Config**: (empty field)

図 4-24 に示すように、図 4-23 の構成では、FIFO SC HS IP の FWFT モード、出力レジスタ機能、および読み出しイネーブル制御が選択されています。

図 4-24 FIFO SC HS IP のタイミング



5 FIFO HS/FIFO SC HS IP の構成

Gowin ソフトウェア > Tools > IP Core Generator を使用して FIFO HS IP または FIFO SC HS IP を構成・呼び出しできます。FIFO HS/FIFO SC HS IP の構成 GUI およびパラメータの説明は次のとおりです。

5.1 FIFO HS IP の構成

FIFO HS IP の構成 GUI を図 5-1 に示します。

図 5-1 FIFO HS IP の構成 GUI

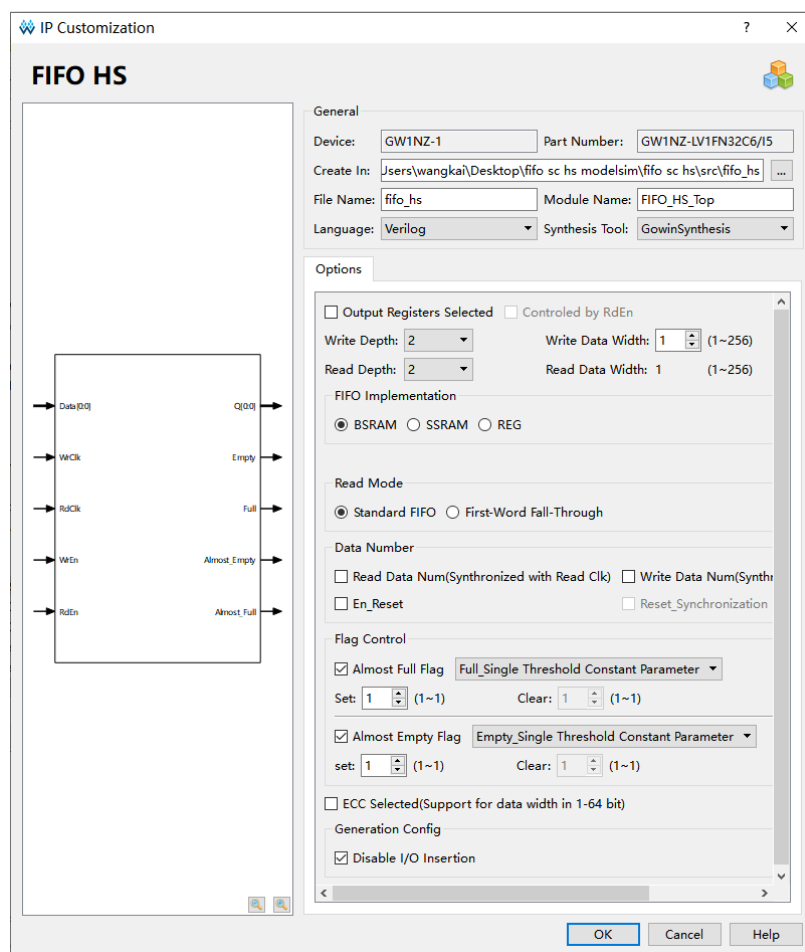


表 5-1 FIFO HS IP の構成 GUI のパラメータ

オプション	パラメータ名		説明	備考
File	Target Device		-	-
	File Name		FIFO HS のファイル名	-
	Module Name		FIFO HS のトップモジュール名	-
	Create In		-	FIFO HS IP Model が生成されると、それを現在のプロジェクトに追加するかどうかを選択できます。
Options	FIFO Implementation	BSRAM	BSRAM、SSRAM、LUT を選択して使用します	-
		SSRAM		
		LUT		
	Write Depth		書き込みデータ深さ	非同期 FIFO HS IP の書き込みデータ幅が読み出しデータ幅と異なる場合、Read Data Width は自動的に Write Depth x Write Data Width / Read Depth の式で計算されます。
	Write Data Width		書き込みデータ幅	
	Read Depth		読み出しデータ深さ	
	Read Data Width		読み出しデータ幅	
	Read Mode	Standard FIFO	標準 FIFO	標準 FIFO は、標準のタイミング図に従って読み出し/書き込みします。 FWFT FIFO は、読み出しイネーブル信号の有無にかかわらず、出力データバスに最初の書き込みデータをすぐに配置します。読み出し
		First-Word Fall Through	FWFT FIFO	

オプション	パラメータ名		説明	備考	
				イネーブルが High になった後、追加データが順番に出力されます。	
	Data Num	Read Data Num	書き込みデータの数	有効な場合、 Wnum 出力が追加されます	
		Write Data Num	読み出しデータ数	有効な場合、 Rnum 出力が追加されます	
		En_Reset	イネーブルリセット	有効な場合、読み出しと書き込みがそれぞれリセットされ、 WrReset 、 RdReset 入力が追加されます	
		Reset_Synchronization	同期リセット	En_Reset が有効な場合、 Reset_Synchronization はオプションです。 選択した場合、リセットを使用するために Reset 入力を追加することを示します。	
	Flag Control	Almost Full Flag		almost-full フラグイネーブル	有効な場合、 Almost_Full 出力が追加されます
		Almost Full Flag	Full-Single Threshold Constant Parameter	スタティック almost-full シングル定数しきい値が有効な場合、 Set が有効です。	Almost Full Flag 有効な場合： Full-Single Threshold Constant Parameter 、 Full-Dual Threshold Constant
			Full-Dual Threshold Constant Parameters	スタティック almost-full ダブル定数しきい値が有効な場合、 Set 、 Clear が有効です。	
			Full-Single	ダイナミック almost-full	

オプション	パラメータ名			説明	備考
			Threshold Input Parameter	シングル定数しきい値が有効な場合、AlmostFullTh 入力が増加されます	Parameters、Full-Single Threshold Input Parameter、Full-Dual Threshold Input Parameters から 1 つ選択します
			Full-Dual Threshold Input Parameters	ダイナミック almost-full ダブル定数しきい値が有効な場合、AlmostFullSetTh、AlmostFullClrTh 入力が増加されます	
		Set		almost-full の場合、しきい値をセットします	シングル定数しきい値を選択し、Set が有効です ダブル定数しきい値を選択し、Set、Clear が有効です
		Clear		almost-full の場合、しきい値をクリアします	
		Almost Empty Flag		almost-empty フラグイネーブル	有効な場合、Almost_empty 出力が増加されます
		Almost Empty Flag	Empty-Single Threshold Constant Parameter	スタティック almost-empty シングル定数しきい値が有効な場合、Set が有効です	
			Empty-Dual Threshold Constant Parameters	スタティック almost-empty ダブル定数しきい値が有効な場合、Set、Clear が有効です。	
			Empty-Single Threshold Input Parameter	ダイナミック almost-empty シングル定数しきい値が有効な場合、AlmostEmptyTh 入力が増加されます	
			Empty-Dual Threshold Input Parameter	ダイナミック almost-empty ダブル定数しきい値が有効な場合、AlmostEmptySetTh、AlmostEmptyClrTh 入力が増加されます	

オプション	パラメータ名		説明	備考
		Set	almost-empty の場合、しきい値をセットします	シングル定数しきい値を選択し、Set が有効です
		Clear	almost-empty の場合、しきい値をクリアします	ダブル定数しきい値を選択し、Set、Clear が有効です
	ECC Selected		ECC 機能	Data width が 1-64bit の時に有効、ERROR 出力が追加されます。
	Output Register Selected		出力レジスタがオプションです	有効な場合、データ出力を 1 サイクル遅延させます BSRAM 出力は、クロックから出力に至るまでの遅延を満たす必要があります。 Output Register イネーブルが ON の場合、この時間は自動的に満たされます。 Output Register イネーブルが OFF の場合、準安定データのサンプリングを回避するために、クロックから出力に至るまでの遅延を満たす必要があります。
	Controlled by RdEn		RdEn 制御による出力	Output Register Selected が有効な場合、オプションです

注記：

- ECC 機能を有効にするには、データ幅を 64 ビット以下にする必要があります。
- 必要に応じて、さまざまな出力制御信号としきい値を構成できます。各オプションの構成は表 5-1 に示すとおりです。
- Read Write check on RAM 機能は、RAM の読み出し/書き込みの競合を防ぐためのもので、詳細は FPGA または Synplify Pro のマニュアルを参照してください。

5.2 FIFO SC HS IP の構成

FIFO SC HS IP の構成 GUI は図 5-2 に示すとおりです。

図 5-2 FIFO SC HS IP の構成 GUI

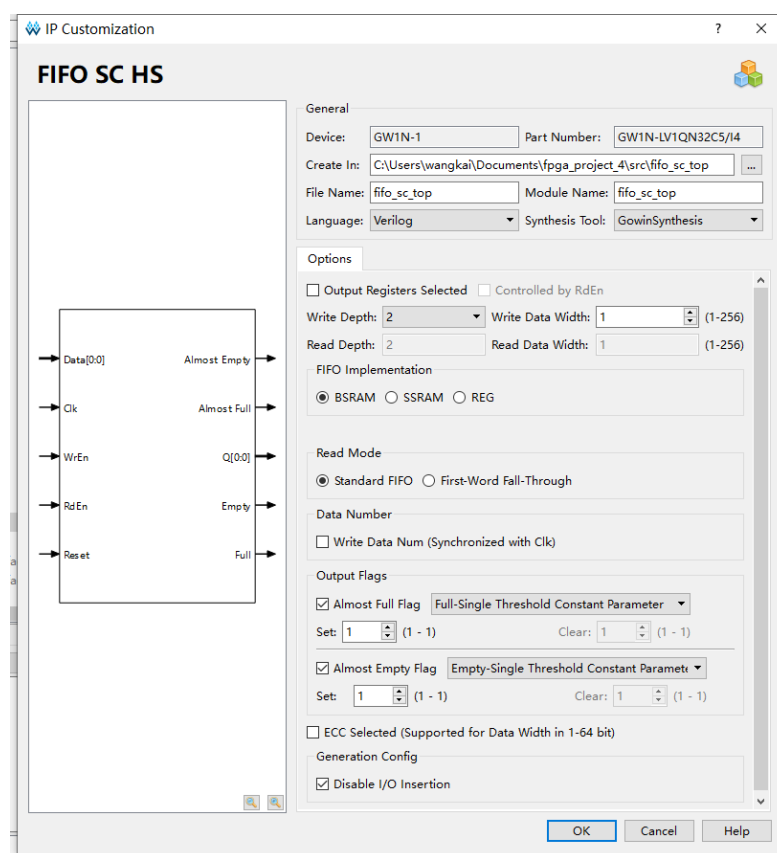


表 5-2 FIFO SC HS IP の構成 GUI のパラメータ

オプション	パラメータ	説明	備考
File	Target Device	-	-
	Module Name	FIFO SC HS のトップモジュール名	-
	File Name	FIFO SC HS のファイル名	-

オプション	パラメータ		説明	備考
	Create In		-	FIFO SC HS IP Model が生成されると、それを現在のプロジェクトに追加するかどうかを選択できます。
Options	FIFO Implementation	BSRAM	メモリは BSRAM によって実装されます	-
		SSRAM	メモリは SSRAM によって実装されます	-
		LUT	メモリはレジスタによって実装されます	-
	Write Depth		書き込みデータ深さ	FIFO SC HS IP では、書き込みデータの幅と深さが読み出しデータの幅と深さと同じである必要があります。 Read Depth と Read Data Width は、 Write Depth と Write Data Width に等しいため、コーディングする必要はありません。
	Write Data Width		書き込みデータ幅	
	Read Depth		読み出しデータ深さ	
	Read Data Width		読み出しデータ幅	
	Read Mode	Standard FIFO	標準 FIFO	標準 FIFO は、標準のタイミング図に従って読み出し/書き込みします。FWFT FIFO は、読み出しイネーブル信号の有無にかかわらず、出力データバスに最初の書き込みデータをすぐに配置します。読み出しイネーブルが High になった後、追加データが順番に出力されます。
		First-Word Fall Through	FWFT FIFO	
	Data Num	Write Data Num (Synchronized with Clk)	書き込みデータの数	有効な場合、 Rnum 出力が追加されます

オプション	パラメータ			説明	備考
	Output Flags	Almost Full Flag	Full-Single Threshold Constant Parameter	スタティック almost-full シングル定数しきい値が有効な場合、Set が有効です	Almost Full Flag 有効な場合 : Full-Single Threshold Constant Parameter、Full-Dual Threshold Constant Parameters、Full-Single Threshold Input Parameter、Full-Dual Threshold Input Parameters から 1 つ選択します
			Full-Dual Threshold Constant Parameters	スタティック almost-full ダブル定数しきい値が有効な場合、Set、Clear が有効です。	
			Full-Single Threshold Input パラメータ	ダイナミック almost-full シングル定数しきい値が有効な場合、AlmostFullTh 入力が追加されます	
			Full-Dual Threshold Input Parameters	ダイナミック almost-full ダブル定数しきい値が有効な場合、AlmostFullSetTh、AlmostFullClrTh 入力が追加されます	
		Set		almost-full の場合、しきい値をセットします	シングル定数しきい値を選択し、Set が有効です
		Clear		almost-full の場合、しきい値をクリアします	ダブル定数しきい値を選択し、Set、Clear が有効です
		Almost Empty Flag	Empty-Single Threshold Constant Parameter	スタティック almost-empty シングル定数しきい値が有効な場合、Set が有効です	Almost Empty Flag 有効な場合 : Empty-Single Threshold Constant Parameter、Empty-Dual Threshold Constant Parameters、Empty-Single Threshold Input Parameter、Empty-Dual Threshold
			Empty-Dual Threshold Constant Parameters	スタティック almost-empty ダブル定数しきい値が有効な場合、Set、Clear が有効です。	

オプション	パラメータ			説明	備考
			Empty-Single Threshold Input Parameter	ダイナミック almost-empty シングル定数しきい値が有効な場合、AlmostEmptyTh 入力が追加されます	Input Parameters から 1 つ選択します。
			Empty-Dual Threshold Input Parameter	ダイナミック almost-empty ダブル定数しきい値が有効な場合、AlmostEmptySetTh、AlmostEmptyClrTh 入力が追加されます	
		Set		almost-empty の場合、しきい値をセットします	シングル定数しきい値を選択し、Set が有効です
		Clear		almost-empty の場合、しきい値をクリアします	ダブル定数しきい値を選択し、Set、Clear が有効です
	ECC Selected			ECC 機能	有効な場合、ERROR 出力が追加されます
	Output Register Selected			出力レジスタがオプションです	有効な場合、データ出力を 1 サイクル遅延させます BSRAM 出力は、クロックから出力に至るまでの遅延を満たす必要があります。Output Register イネーブルが ON の場合、この時間は自動的に満たされます。Output Register イネーブルが OFF の場合、準安定データのサンプリングを回避するために、クロックから出力に至るまでの遅延を満たす必要があります。

オプション	パラメータ	説明	備考
	Controlled by RdEn	RdEn 制御による出力	Output Register Selected が有効な場合、オプションです

注記：

- ECC 機能を有効にするには、データ幅を 64 ビット以下にする必要があります。
- 必要に応じて、さまざまな出力制御信号としきい値を構成できます。各オプションの構成は表 5-2 に示すとおりです。

6 リファレンスデザイン

FIFO HS/FIFO SC HS の機能は FIFO/FIFO SC と同様であるため、FIFO/FIFO SC のリファレンスデザインを参照してください。

