



Gowin FIFO IP ユーザーガイド

UG105-1.08J, 2025-09-26

著作権について(2025)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云、**GOWIN**、、**GOWINSEMI**、**GOWIN**、Gowin、**高云**、晨熙、小蜜蜂、LittleBee、**Aroa-V**、GowinPnR、及びGoBridgeは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、**GOWINSEMI Terms and Conditions of Sale**(**GOWINSEMI** 取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2016/08/12	1.00J	初版。
2016/10/27	1.01J	GW2AR シリーズ FPGA 製品のサポートを追加。
2017/05/25	1.02J	FIFO/FIFO SC の構成情報を更新。
2018/04/20	1.03J	● GW2AR-55 と GW2AR-18 での IP の性能およびリソース使用量を更新。 ● FWFT 機能の説明を追加。
2018/07/17	1.04J	● GW2AR-55 と GW2AR-18 での IP の性能およびリソース使用量を更新。 ● GW1N-4 での IP の性能およびリソース使用量を追加。 ● リソース統計方法を更新。
2019/03/28	1.05J	一部のタイミング図を更新。
2020/06/15	1.06J	● IP の構成画面を更新。 ● 表 5-1 の注記を更新。
2021/02/04	1.07J	4 タイミングの説明を更新。
2025/09/26	1.08J	● 「4 タイミングの説明」のスクリーンショットを更新。 ● 「5 Gowin FIFO/FIFO SC IP の構成」のスクリーンショットおよび説明を更新。 ● リファレンス・デザインのセクションを削除。 ● 「1.2 関連ドキュメント」を更新。

目次

図一覧.....	ii
表一覧.....	iii
1 マニュアルの内容.....	1
1.1 本マニュアルについて.....	1
1.2 関連ドキュメント.....	1
1.3 用語、略語.....	2
1.4 テクニカル・サポートとフィードバック.....	2
2 FIFO の概要.....	3
2.1 FIFO の概要.....	3
2.2 Gowin FIFO/FIFO SC IP の概要.....	4
2.3 Gowin FIFO/FIFO SC IP の機能.....	6
2.3.1 Gowin FIFO IP の機能.....	6
2.3.2 Gowin FIFO SC IP の機能.....	7
2.4 Gowin FIFO IP の最大周波数とリソース使用量.....	7
2.5 Gowin FIFO SC IP の最大周波数とリソース使用量.....	14
3 ポートの説明.....	17
3.1 Gowin FIFO IP のポート.....	17
3.2 Gowin FIFO SC IP のポート.....	18
4 タイミングの説明.....	20
4.1 FIFO 信号のタイミング.....	20
4.2 FIFO SC 信号のタイミング.....	33
5 Gowin FIFO/FIFO SC IP の構成.....	45
5.1 Gowin FIFO IP の構成.....	45
5.2 Gowin FIFO SC IP の構成.....	53

図一覧

図 2-1 非同期 FIFO の構造.....	4
図 2-2 同期 FIFO の構造.....	4
図 4-1 FIFO の構成.....	21
図 4-2 FIFO IP のタイミング.....	22
図 4-3 FIFO の構成.....	23
図 4-4 FIFO IP のタイミング.....	24
図 4-5 FIFO の構成.....	25
図 4-6 FIFO IP のタイミング.....	26
図 4-7 FIFO の構成.....	27
図 4-8 FIFO IP のタイミング.....	28
図 4-9 FIFO の構成.....	29
図 4-10 FIFO IP のタイミング.....	30
図 4-11 FIFO の構成.....	31
図 4-12 FIFO IP のタイミング.....	32
図 4-13 FIFO SC の構成.....	33
図 4-14 FIFO SC IP のタイミング.....	34
図 4-15 FIFO SC の構成.....	35
図 4-16 FIFO SC IP のタイミング.....	36
図 4-17 FIFO SC の構成.....	37
図 4-18 FIFO SC IP のタイミング.....	38
図 4-19 FIFO SC の構成.....	39
図 4-20 FIFO SC IP のタイミング.....	40
図 4-21 FIFO SC の構成.....	41
図 4-22 FIFO SC IP のタイミング.....	42
図 4-23 FIFO SC の構成.....	43
図 4-24 FIFO SC IP のタイミング.....	44
図 5-1 Gowin FIFO IP の構成画面.....	46
図 5-2 Gowin FIFO SC IP の構成画面.....	53

表一覧

表 1-1 用語、略語.....	2
表 2-1 Gowin FIFO/ FIFO SC IP の概要.....	5
表 2-2 オプション特性なしの非同期 FIFO.....	8
表 2-3 オプション特性ありの非同期 FIFO.....	9
表 2-4 オプション特性なしの FIFO SC.....	14
表 2-5 オプション特性ありの FIFO SC.....	15
表 3-1 Gowin FIFO IPIO のポート一覧.....	17
表 3-2 Gowin FIFO SC IP IO のポート一覧.....	18
表 5-1 Gowin FIFO IP の構成画面のパラメータ.....	46
表 5-2 Gowin FIFO IP の構成画面のパラメータ.....	53

1 マニュアルの内容

1.1 本マニュアルについて

本マニュアルは、主に **Gowin FIFO IP** の機能、ポート、タイミング、構成、およびリファレンス・デザインについて説明します。本マニュアルに記載のソフトウェア **GUI** のスクリーンショットは、**Gowin** ソフトウェア **1.9.11.03** の場合のものです。ソフトウェアのアップデートにより、一部の内容が変更される場合があります。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW1N シリーズ FPGA 製品データシート([DS100](#))
- GW1NR シリーズ FPGA 製品データシート([DS117](#))
- GW1NS シリーズ FPGA 製品データシート([DS821](#))
- GW1NSR シリーズ FPGA 製品データシート([DS861](#))
- GW1NZ シリーズ FPGA 製品データシート([DS841](#))
- GW2A シリーズ FPGA 製品データシート([DS102](#))
- GW2AR シリーズ FPGA 製品データシート([DS226](#))
- GW2AN-18X & 9X FPGA 製品データシート([DS971](#))
- GW2AN-55 FPGA 製品データシート([DS976](#))
- GW5AT シリーズ FPGA 製品データシート([DS981](#))
- GW5AT シリーズ FPGA 製品(オートモーティブ)データシート([DS1111](#))
- GW5A シリーズ FPGA 製品データシート([DS1103](#))
- GW5A シリーズ FPGA 製品(オートモーティブ)データシート([DS1113](#))
- GW5AST シリーズ FPGA 製品データシート([DS1239](#))
- GW5AS シリーズ FPGA 製品データシート([DS1105](#))

- GW5AR シリーズ FPGA 製品データシート([DS1108](#))
- GW5ART シリーズ FPGA 製品データシート([DS1118](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
ECC	Error Correcting Code	誤り訂正符号
FIFO	First Input First Output	先入れ先出し
GSR	Global System Reset	グローバル・システム・リセット
IP	Intellectual Property	設計資産
LUT	Look-up Table	ルックアップテーブル
RAM	Random Access Memory	ランダム・アクセス・メモリ

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 FIFO の概要

2.1 FIFO の概要

FIFO は First In First Out の頭字語で、先入れ先出しのキューです。FIFO は周辺制御ロジックにより読み出し/書き込みされます。また、周辺制御ロジックと相互作用する多くのハンドシェイク信号も提供されます。

FIFO がフルでなく、かつ書き込みイネーブル信号がアクティブな場合、クロックの立ち上がりエッジでデータが FIFO メモリキューに書き込まれます。full フラグは、FIFO がフルで書き込みが実行されないことを示します。

FIFO が空でなく、かつ読み出しイネーブルがアクティブな場合、クロックの立ち上がりエッジでデータが FIFO メモリキューから読み出されます。empty フラグは、FIFO が空であり、これ以上読み出し操作が実行されないことを示します。

不正な要求が FIFO 自身に影響を及ぼすことはありません。FIFO が空の時に読み出し要求を開始するか、または FIFO がフルの時に書き込み要求を開始しても、この操作が FIFO 内のデータに影響を及ぼすことはありませんが、対応する操作は無視され、**overflow** 及び **underflow** フラグがセットされます。この 2 つの信号をモニタリングすることで、ユーザーは不正な操作かどうかを判断できます。ウォーターマーク・レベル信号は、FIFO にある有効なデータの量を直接示します。ユーザーは、しきい値を設定して、empty または full フラグをカスタマイズすることもできます。

FIFO には、非同期 FIFO(FIFO)と同期 FIFO(FIFO SC)があります。これらの構造をそれぞれ図 2-1 および図 2-2 に示します。

図 2-1 非同期 FIFO の構造

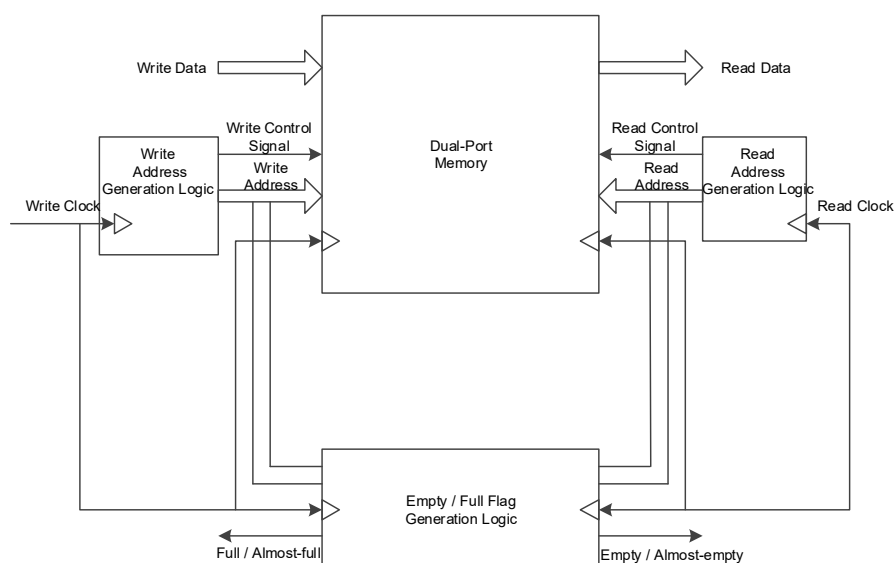
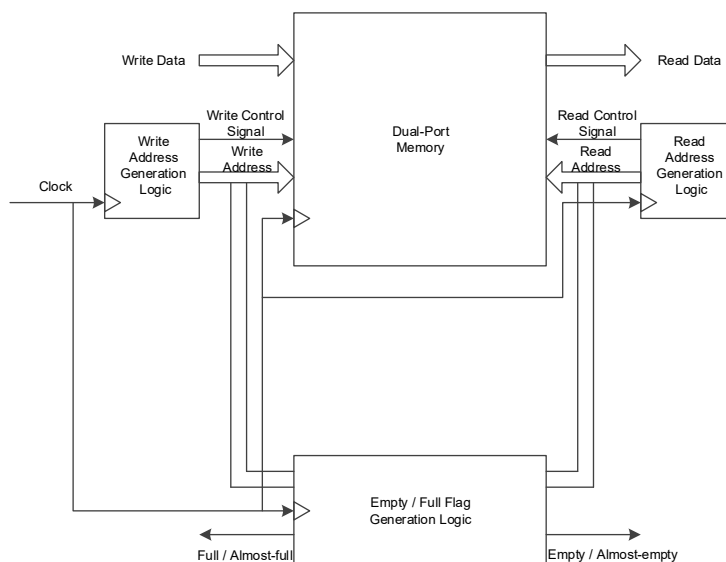


図 2-2 同期 FIFO の構造



2.2 Gowin FIFO/FIFO SC IP の概要

Gowin FIFO IP には同期 FIFO(FIFO SC)IP と非同期 FIFO(FIFO)IP があります。

- 同期 FIFO の読み出しポート及び書き込みポートの信号は 1 つのクロックドメインによって制御されます。
- 非同期 FIFO の読み出し書き込みポートの信号は、2 つの独立したクロックドメインによって制御されます。

Gowin IP Core Generator を使用して、構成可能なポートを備えた、シングルサイクルの読み出し/書き込みの FIFO IP を生成できます。ポート構成により、ユーザーは必要に応じて異なるデータ幅及びデータ深さの FIFO IP を生成することができます。

表 2-1 Gowin FIFO/ FIFO SC IP の概要

Gowin FIFO と FIFO SC IP	
ロジックリソース	リソースは、構成、データ幅、およびデータ深さにより異なります。
提供されるファイル	
設計ファイル	Verilog (暗号化)
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis
統合開発環境	Gowin ソフトウェア

注記：

デバイスのサポート情報は、Gowin セミコンダクターの[ホームページ](#)で確認できます。

2.3 Gowin FIFO/FIFO SC IP の機能

2.3.1 Gowin FIFO IP の機能

Gowin 非同期 FIFO IP は、非同期クロックドメインで異なるビット幅のデータを転送およびバッファリングし、ユーザーのニーズに応じて様々な出力制御信号とデータ構造を構成できます。

主な特徴は以下に示す通りです：

- 非同期 FIFO IP 内部のメモリは BSRAM、SSRAM、LUT などを実装可能です。
 - 書き込みデータの深さは構成可能で、深さは 2^n で、最大値は 65536 です。
 - 書き込みデータのデータ幅は構成可能(1~256 ビット)です。
 - 読み出しデータの深さは構成可能で、深さは 2^n で、最大値は 65536 です。
 - 読み出しデータの幅=書き込みデータの深さ x 書き込みデータの幅/読み出しデータの深さ、構成不可です。
- 注記：
- 上記の式に適用される数値は、割り切れる必要があります。これにより、最大読み出しデータの深さが制限されます。
- 読み出し/書き込みデータの数の出力は構成可能です。ユーザーは、読み出し/書き込みデータの数を出力するかどうかを選択できます。
 - リセット機能は構成可能です。ユーザーは、リセット(GSR によるリセット)を使用しないか、1つのリセットを使用するか、読み出しと書き込みをそれぞれリセットするかを選択できます。
 - フラグ信号出力はオプションです。ユーザーは、almost-empty フラグ、almost-full フラグを出力することを選択できます。
 - ユーザーが almost-empty フラグ、almost-full フラグを出力することを選択した場合、almost-empty フラグ、almost-full フラグのしきい値を構成できます。これらのしきい値は、静的単一定数しきい値、静的二重定数しきい値、動的単一入力しきい値、動的二重入力しきい値として構成できます。
 - ECC チェック機能はオプションです。非同期 FIFO 内部のメモリが BSRAM によって実装され、読み出し/書き込みデータの幅が等しくかつ 64 ビット以下である場合にのみ ECC チェック機能を選択できます。
 - 出力レジスタの機能は構成可能です。ユーザーが出力レジスタの機能を選択した場合、読み出しイネーブル(RdEn)制御はオプションです。ユーザーが読み出しイネーブル制御を選択した場合、出力レジスタは RdEn によって制御され、最後のデータは出力できません。ユーザーが読み出しイネーブル制御の代わりに出力レジスタ機能を選択した場合、読み出しデータの出力は 1 サイクル遅延し、最後のデータは出力されます。
 - First-Word Fall-Through 機能をサポートします。

2.3.2 Gowin FIFO SC IP の機能

GOWIN 同期 FIFO SC IP は、同じクロックドメインで同じ幅と深さのデータを転送およびバッファリングできるほか、ユーザーのニーズに応じてさまざまな制御信号を構成して出力できます。

主な特徴は以下に示す通りです：

- FIFO SC 内部のメモリは BSRAM、SSRAM、LUT などを実装可能です。
- 書き込みデータの深さは構成可能で、深さは 2^n で、最大値は 65536 です。
- 書き込みデータのデータ幅は構成可能(1~256 ビット)です。
- 読み出しデータの幅と深さは、書き込みデータの幅と深さと同じです。
- 書き込みデータの数の出力は構成可能です。ユーザーは、書き込みデータの数を出力するかどうかを選択できます。
- フラグ信号出力はオプションです。ユーザーは、almost-empty フラグ、almost-full フラグを出力することを選択できます。
- ユーザーが almost-empty フラグ、almost-full フラグを出力することを選択した場合、almost-empty フラグ、almost-full フラグのしきい値を構成できます。これらのしきい値は、静的単一定数しきい値、静的二重定数しきい値、動的単一入力しきい値、動的二重入力しきい値として構成できます。
- ECC チェック機能はオプションです。FIFO SC 内部のメモリが BSRAM によって実装され、読み出し/書き込みデータの幅が等しくかつ 64 ビット以下である場合にのみ ECC チェック機能を選択できます。
- 出力レジスタの機能は構成可能です。ユーザーが出力レジスタの機能を選択した場合、読み出しイネーブル(RdEn)制御はオプションです。ユーザーが読み出しイネーブル制御を選択した場合、出力レジスタは RdEn によって制御され、最後のデータは出力できません。ユーザーが読み出しイネーブル制御の代わりに出力レジスタ機能を選択した場合、読み出しデータの出力は 1 サイクル遅延し、最後のデータは出力されます。
- First-Word Fall-Through 機能をサポートします。

2.4 Gowin FIFO IP の最大周波数とリソース使用量

Gowin 非同期 FIFO は Verilog によって実装されており、その最大周波数は、データの深さ、幅、およびデバイスのスピードグレードにより異なります。IP のパフォーマンスとリソース使用量は、使用されているデバイスの密度、スピードグレードなどにより異なる場合があります。

例えば、GW2A-55 FPGA の場合、FIFO のリソース使用量とパフォーマンスは、表 2-2 と表 2-3 に示すとおりです。

表 2-2 オプション特性なしの非同期 FIFO

FIFO Type	Depth x Width	FPGA Family	Performance (MHz)	リソース使用量			
				CFU Logics	FFs	Block SRAM	Shadow SRAM
Block SRAM	4096 x 16	GW2A-5 5-484	Wr_clk=120.396 ; Rd_clk=109.567	251	124	4	0
	512 x 16		Wr_clk=133.227 ; Rd_clk=116.194	181	96	1	0
	64 x 16		Wr_clk=148.443 ; Rd_clk=165.963	138	68	1	0
Shadow SRAM	2048 x 16	GW2A-5 5-484	Wr_clk=98.085 ; Rd_clk=94.967	5098	126	0	512
	512 x 16		Wr_clk=119.934 ; Rd_clk=80.903	1361	108	0	128
	64 x 16		Wr_clk=146.482 ; Rd_clk=176.987	302	88	0	16
LUT	64 x 16	GW2A-5 5-484	Wr_clk=144.51 ; Rd_clk=118.609	770	1105	0	0
Block SRAM	4096 x 16	GW2A-1 8-484	Wr_clk=120.907 ; Rd_clk=104.532	251	124	4	0
	512 x 16		Wr_clk=140.547 ; Rd_clk=116.818	181	96	1	0
	64 x 16		Wr_clk=165.234 ; Rd_clk=168.747	138	68	1	0
Shadow SRAM	1024x 16	GW2A-1 8-484	Wr_clk=119.613 ; Rd_clk=97.107	2588	117	0	256
	512 x 16		Wr_clk=123.976 ; Rd_clk=92.429	1361	108	0	128
	64 x 16		Wr_clk=155.54 ; Rd_clk=175.921	302	88	0	16
LUT	64 x 16	GW2A-1 8-484	Wr_clk=139.892 ; Rd_clk=117.022	770	1105	0	0
Block SRAM	4096 x 16	GW1N-4-144	Wr_clk=71.261 ; Rd_clk=64.502	229	127	4	0

FIFO Type	Depth x Width	FPGA Family	Performance (MHz)	リソース使用量			
				CFU Logics	FFs	Block SRAM	Shadow SRAM
Block SRAM	512 x 16	GW1N-4-144	Wr_clk=71.247 ; Rd_clk=66.017	176	94	1	0
	64 x 16	GW1N-4-144	Wr_clk=81.447 ; Rd_clk=76.353	144	70	1	0
Shadow SRAM	4096 x 16	GW1N-4-144	このタイプをサポートしません				
	512 x 16	GW1N-4-144					
	64 x 16	GW1N-4-144					
LUT	64 x 16	GW1N-4-144	Wr_clk=84.709 ; Rd_clk=57.022	763	1105	0	0

注記：

- 「-」は現在のところサポートされていないことを示します。
- 他の GOWIN FPGA でのアプリケーション検証については、これからの最新情報を参照してください。

表 2-3 オプション特性ありの非同期 FIFO

FIFO Type	Depth x Width	FPGA Family	Performance (MHz)	リソース使用量				構成オプション		
				CFU Logics	FFs	Block SRAM	Shadow SRAM	Data Num.	Control Flag	ECC
Block SRAM	4096 x 16	GW2A-55-484	Wr_clk = 102.33 ; Rd_clk = 104.918	376	157	6	0	Yes	Yes	Yes

FIFO Type	Depth x Width	FPGA Family	Performance (MHz)	リソース使用量				構成オプション		
				CFU Logics	FFs	Block SRAM	Shadow SRAM	Data Num.	Control Flag	ECC
Block SRAM	512 x 16	GW2A-55-484	Wr_clk = 140.366 ; Rd_clk = 107.101	302	149	1	0	Yes	Yes	Yes
	64 x 16		Wr_clk = 151.163 ; Rd_clk = 148.65	242	112	1	0	Yes	Yes	Yes
Shadow SRAM	2048 x 16	GW2A-55-484	Wr_clk = 95.643 ; Rd_clk = 88.557	5106	170	0	512	Yes	Yes	No
	512 x 16		Wr_clk = 117.17 ; Rd_clk = 84.097	1373	148	0	128	Yes	Yes	No

FIFO Type	Depth x Width	FPGA Family	Performance (MHz)	リソース使用量				構成オプション		
				CFU Logics	FFs	Block SRAM	Shadow SRAM	Data Num.	Control Flag	ECC
Shadow SRAM	64 x 16	GW2A-55-484	Wr_clk = 141.822 ; Rd_clk = 143.365	312	116	0	16	Yes	Yes	No
LUT	64 x 16	GW2A-55-484	Wr_clk = 151.829 ; Rd_clk = 125.791	731	1139	0	0	Yes	Yes	No
Block SRAM	4096 x 16	GW2A-18-484	Wr_clk = 99.288 ; Rd_clk = 114.648	376	157	6	0	Yes	Yes	Yes
	512 x 16		Wr_clk = 122.775 ; Rd_clk = 110.636	302	149	1	0	Yes	Yes	Yes

FIFO Type	Depth x Width	FPGA Family	Performance (MHz)	リソース使用量				構成オプション		
				CFU Logics	FFs	Block SRAM	Shadow SRAM	Data Num.	Control Flag	ECC
Block SRAM	64 x 16	GW2A-18-484	Wr_clk = 148.711 ; Rd_clk = 173.416	242	112	1	0	Yes	Yes	Yes
Shadow SRAM	1024 x 16	GW2A-18-484	Wr_clk = 128.221 ; Rd_clk = 76.014	2600	159	0	256	Yes	Yes	No
	512 x 16		Wr_clk = 119.455 ; Rd_clk = 87.461	1373	148	0	128	Yes	Yes	No
	64 x 16		Wr_clk = 146.078 ; Rd_clk = 156.31	312	116	0	16	Yes	Yes	No
LUT	64 x 16	GW2A-18-484	Wr_clk = 142.922 ; Rd_clk =	731	1139	0	0	Yes	Yes	No

FIFO Type	Depth x Width	FPGA Family	Performance (MHz)	リソース使用量				構成オプション		
				CFU Logics	FFs	Block SRAM	Shadow SRAM	Data Num.	Control Flag	ECC
LUT	64 x 16	GW2A-18-484	106.383	731	1139	0	0	Yes	Yes	No
Block SRAM	4096 x 16	GW1N-4-144 GW1N-4-144 GW1N-4-144	Wr_clk = 65.951 ; Rd_clk = 49.374	385	157	6	0	Yes	Yes	Yes
	512 x 16		Wr_clk = 77.302 ; Rd_clk = 64.869	286	129	1	0	Yes	Yes	Yes
	64 x 16		Wr_clk = 75.821 ; Rd_clk = 75.619	266	90	1	0	Yes	Yes	Yes
Shadow SRAM	4096 x 16	GW1N-4-144	このタイプをサポートしません							
	512 x 16	GW1N-4-144								
	64 x 16	GW1N-4-144								
LUT	64 x 16	GW1N-4-144	Wr_clk = 84.263 ; Rd_clk = 80.362	717	1139	0	0	Yes	Yes	No

注記：

- 「-」は現在のところサポートされていないことを示します。
- 他の GOWIN FPGA でのアプリケーション検証については、これからの最新情報を参照してください。

2.5 Gowin FIFO SC IP の最大周波数とリソース使用量

Gowin 同期 FIFO は Verilog によって実装されており、その最大周波数は、データの深さ、幅、およびデバイスのスピードグレードにより異なります。IP のパフォーマンスとリソース使用量は、使用されているデバイスの密度、スピードグレードなどにより異なる場合があります。

例えば、Gowin の GW2A-55 FPGA の場合、FIFO SC のリソース使用量とパフォーマンスは、表 2-4 と表 2-5 に示すとおりです。

表 2-4 オプション特性なしの FIFO SC

FIFO Type	Depth x Width	FPGA Family	Performance (MHz)	リソース使用量			
				CFU Logics	FFs	Block SRAM	Shadow SRAM
Block SRAM	4096 x 16	GW2A-55-484	131.757	91	42	4	0
	512 x 16		131.803	58	33	1	0
	64 x 16		151.448	65	29	1	0
Shadow SRAM	4096 x 16	GW2A-55-484	82.58	4943	56	0	512
	512 x 16		77.827	1260	50	0	128
	64 x 16		128.136	230	48	0	16
LUT	64 x 16	GW2A-55-484	100.266	639	1064	0	0
Block SRAM	4096 x 16	GW2A-18-484	123.377	91	42	4	0
	512 x 16		135.391	58	33	1	0
	64 x 16		147.623	65	29	1	0
Shadow SRAM	1024 x 16	GW2A-18-484	91.559	2473	53	0	256
	512 x 16		83.219	1260	50	0	128
	64 x 16		135.602	230	48	0	16
LUT	64 x 16	GW2A-18-484	99.671	639	1064	0	0
Block SRAM	4096 x 16	GW1N-4-1	77.268	91	42	4	0
	512 x 16	44	75.283	57	33	1	0
	64 x 16	GW1N-4-1 44 GW1N-4-1 44	70.792	73	30	1	0

FIFO Type	Depth x Width	FPGA Family	Performance (MHz)	リソース使用量			
				CFU Logics	FFs	Block SRAM	Shadow SRAM
Shadow SRAM	4096 x 16	GW1N-4-1	このタイプをサポートしません				
	512 x 16	44					
	64 x 16	GW1N-4-1 44					
LUT	64 x 16	GW1N-4-1 44	56.535	640	1065	0	0

注記：

- 「-」は現在のところサポートされていないことを示します。
- 他の GOWIN FPGA でのアプリケーション検証については、これからの最新情報を参照してください。

表 2-5 オプション特性ありの FIFO SC

FIFO Type	Depth x Width	FPGA Family	Performance (MHz)	リソース使用量				構成オプション		
				CFU Logics	FFs	Block SRAM	Shadow SRAM	Data Num.	Control Flag	ECC
Block SRAM	4096 x 16	GW2A-55-484	121.158	187	77	6	0	Yes	Yes	Yes
	512 x 16		133.801	154	67	1	0	Yes	Yes	Yes
	64 x 16		147.675	168	60	1	0	Yes	Yes	Yes
Shadow SRAM	2048 x 16	GW2A-55-484	82.237	4943	84	0	512	Yes	Yes	No
	512 x 16		91.368	1260	76	0	128	Yes	Yes	No
	64 x 16		125.148	230	71	0	16	Yes	Yes	No
LUT	64 x 16	GW2A-55-484	101.459	639	1087	0	0	Yes	Yes	No
Block SRAM	4096 x 16	GW2A-18-484	123.42	187	77	6	0	Yes	Yes	Yes
	512 x 16		132.574	154	67	1	0	Yes	Yes	Yes
	64 x 16		150.944	168	60	1	0	Yes	Yes	Yes
Shadow SRAM	1024 x 16	GW2A-18-484	96.128 80.138	2473	80	0	256	Yes	Yes	No

FIFO Type	Depth x Width	FPGA Family	Performance (MHz)	リソース使用量				構成オプション		
				CFU Logics	FFs	Block SRAM	Shadow SRAM	Data Num.	Control Flag	ECC
Shadow SRAM	512 x 16		137.403	1260	76	0	128	Yes	Yes	No
	64 x 16			230	71	0	16	Yes	Yes	No
LUT	64 x 16	GW2A-18-484	106.956	639	1087	0	0	Yes	Yes	No
Block SRAM	4096 x 16	GW1N-4-144	71.363	201	69	6	0	Yes	Yes	Yes
	512 x 16		65.051	168	67	1	0	Yes	Yes	Yes
	64 x 16		81.128	185	61	1	0	Yes	Yes	Yes
Shadow SRAM	4096 x 16	GW1N-4-144	このタイプをサポートしません							
	512 x 16									
	64 x 16									
LUT	64 x 16	GW1N-4-144	67.522	640	1088	0	0	Yes	Yes	No

注記：

- 「-」は現在のところサポートされていないことを示します。
- 他の GOWIN FPGA でのアプリケーション検証については、これからの最新情報を参照してください。

3 ポートの説明

3.1 Gowin FIFO IP のポート

Gowin FIFO IP の IO ポートの詳細を表 3-1 に示します。

表 3-1 Gowin FIFO IPIO のポート一覧

信号名	幅(ビット)	方向	初期状態	オプション か	説明
Data	[WDSIZE-1:0]	入力	-	No	書き込みデータ
WrClk	1	入力	-	No	書き込みクロック
RdClk	1	入力	-	No	読み出しクロック
WrEn	1	入力	-	No	書き込みイネーブル
RdEn	1	入力	-	No	読み出しイネーブル
Reset	1	入力	-	Yes	リセット、アクティブ High
WrReset	1	入力	-	Yes	書き込みリセット、アク ティブ High
RdReset	1	入力	-	Yes	読み出しリセット、アク ティブ High
AlmostEmptySetTh	[RASIZE-1:0]	入力	-	Yes	almost-empty フラグが セットされるしきい値
AlmostEmptyClrTh	[RASIZE-1:0]	入力	-	Yes	almost-empty フラグが クリアされるしきい値
AlmostEmptyTh	[RASIZE-1:0]	入力	-	Yes	almost-empty フラグが セットされるしきい値
AlmostFullSetTh	[ASIZE-1:0]	入力	-	Yes	almost-full フラグがセッ トされるしきい値
AlmostFullClrTh	[ASIZE-1:0]	入力	-	Yes	almost-full フラグがクリ アされるしきい値

信号名	幅(ビット)	方向	初期状態	オプション か	説明
AlmostFullTh	[ASIZE-1:0]	入力	-	Yes	almost-full フラグがセットされるしきい値
Q	[RDSIZE-1:0]	出力	-	No	読み出しデータ
Empty	1	出力	1	No	empty フラグ
Full	1	出力	0	No	full フラグ
Wnum	[ASIZE: 0]	出力	0	Yes	書き込みデータの数
Rnum	[RASIZE: 0]	出力	0	Yes	読み出し可能データ数
Almost_Empty	1	出力	1	Yes	almost-empty フラグ
Almost_Full	1	出力	0	Yes	almost-full フラグ
ERROR	2	出力	0	Yes	ECC チェックの出力

3.2 Gowin FIFO SC IP のポート

Gowin FIFO SC IP の IO ポートの詳細を[表 3-2](#)に示します。

表 3-2 Gowin FIFO SC IP IO のポート一覧

信号名	幅(ビット)	方向	初期状態	オプション か	説明
Data	[DSIZE-1:0]	入力	-	No	書き込みデータ
Clk	1	入力	-	No	書き込みクロック
WrEn	1	入力	-	No	書き込みイネーブル
RdEn	1	入力	-	No	読み出しイネーブル
Reset	1	入力	-	Yes	リセット、アクティブ High
AlmostEmptySetTh	[ASIZE-1:0]	入力	-	Yes	almost-empty フラグがセットされるしきい値
AlmostEmptyClrTh	[ASIZE-1:0]	入力	-	Yes	almost-empty フラグがクリアされるしきい値
AlmostEmptyTh	[ASIZE-1:0]	入力	-	Yes	almost-empty フラグがセットされるしきい値
AlmostFullSetTh	[ASIZE-1:0]	入力	-	Yes	almost-full フラグがセットされるしきい値
AlmostFullClrTh	[ASIZE-1:0]	入力	-	Yes	almost-full フラグがクリアされるしきい値
AlmostFullTh	[ASIZE-1:0]	入力	-	Yes	almost-full フラグがセットされるしきい値

信号名	幅(ビット)	方向	初期状態	オプションか	説明
Q	[DSIZE-1:0]	出力	-	No	読み出しデータ
Empty	1	出力	1	No	empty フラグ
Full	1	出力	0	No	full フラグ
Wnum	[ASIZE: 0]	出力	0	Yes	書き込みデータの数
Almost_Empty	1	出力	1	Yes	almost-empty フラグ
Almost_Full	1	出力	0	Yes	almost-full フラグ
ERROR	2	出力	0	Yes	ECC チェックの出力

4 タイミングの説明

このセクションでは、FIFO と FIFO SC の読み出しおよび書き込みタイミングについて解説します。

実際のアプリケーションでは、ユーザーは自分のニーズに応じて異なる出力制御信号を構成する場合があるので、読み出しおよび書き込みの制御タイミングも異なる場合があります。このセクションでは、最も一般的で重要な信号(入力、出力、empty&full、almost-empty、almost-full)を例に説明します。

4.1 FIFO 信号のタイミング

図 4-2 に図 4-1 の構成の場合の FIFO のタイミングを示します。

図 4-1 FIFO の構成

☐ Output Registers Selected ☐ Controlled by RdEn
 Write Depth: 8 Write Data Width: 8 (1-1024)
 Read Depth: 8 Read Data Width: 8 (1-1024)

FIFO Implementation
☒ BSRAM ☐ SSRAM ☐ REG

Read Mode
☒ Standard FIFO ☐ First-Word Fall-Through

Data Number
☒ Read Data Num (Synchronized with Read Clk)
☒ Write Data Num (Synchronized with Write Clk)
☒ En_Reset ☒ Reset_Synchronization

Flag Control
☒ Almost Full Flag Almost Full Type: Full-Single Threshold Constant Parameter
 Set: 1 (1 - 7) Clear: 1 (1 - 7)
☒ Almost Empty Flag Almost Empty Type: Empty-Single Threshold Constant Parameter
 Set: 1 (1 - 7) Clear: 1 (1 - 7)

☐ ECC Selected (Supported for Data Width in 1-64 bit)

図 4-2 に示すように、FIFO がフルでない場合、書き込みイネーブルが High にプルアップされ、データが FIFO に書き込まれます。8 つのデータが書き込まれた後、FIFO がフルになり、書き込みイネーブルがマスクされ、Full 信号が High になり、この場合、データを書き込むことができません。FIFO が空でない場合、読み出しイネーブルが High にプルアップされ、FIFO に書き込まれたデータが順次 Q に読み出されます。8 番目のデータが読み出された後、読み出しイネーブルがマスクされ、Empty 信号が High になり、この場合、データを読み出すことができません。

図 4-2 FIFO IP のタイミング

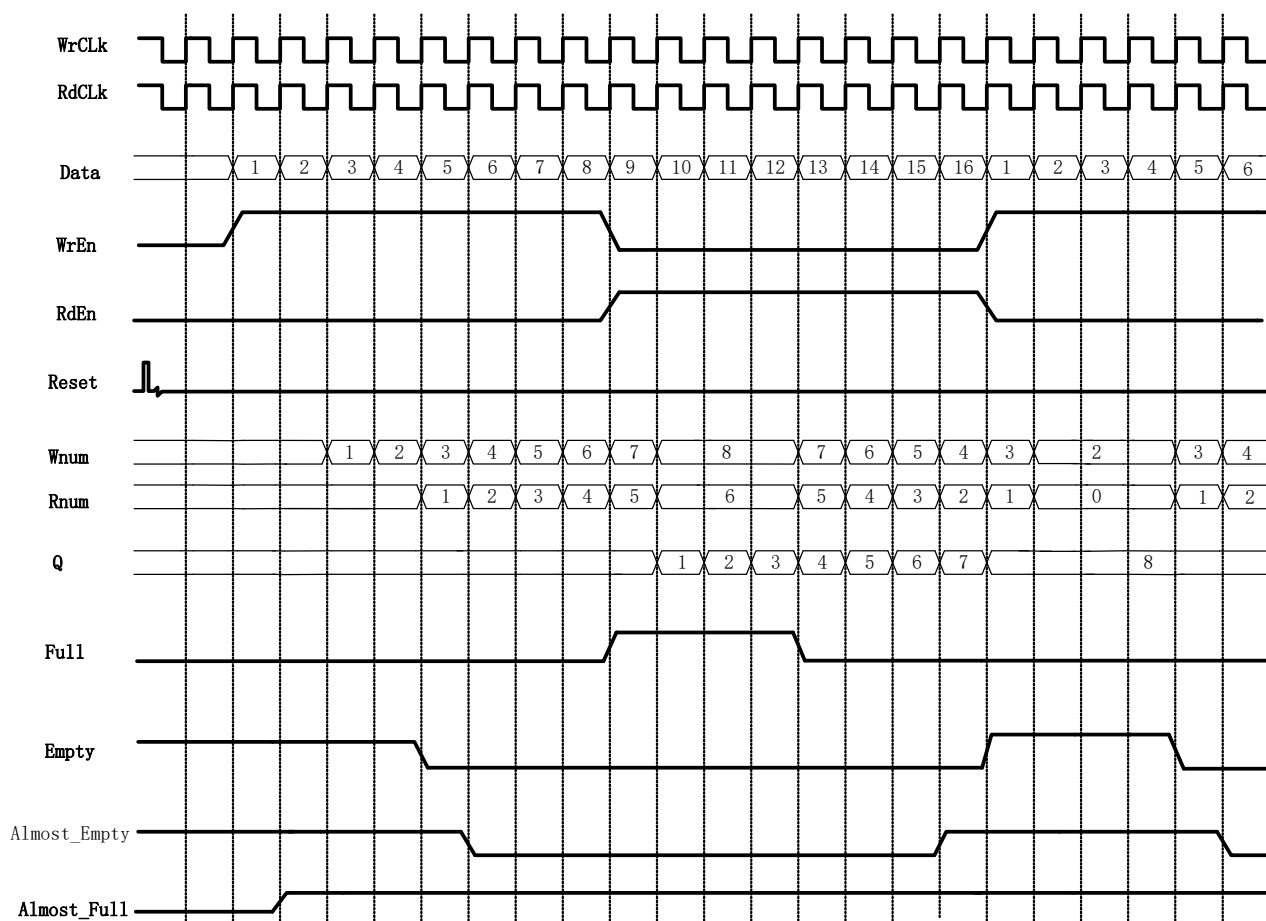


図 4-4 に図 4-3 の構成の場合の FIFO のタイミングを示します。

図 4-3 FIFO の構成

☒ Output Registers Selected ☐ Controlled by RdEn

Write Depth: 8 Write Data Width: 8 (1-1024)

Read Depth: 8 Read Data Width: 8 (1-1024)

FIFO Implementation

☒ BSRAM ☐ SSRAM ☐ REG

Read Mode

☒ Standard FIFO ☐ First-Word Fall-Through

Data Number

☒ Read Data Num (Synchronized with Read Clk)

☒ Write Data Num (Synchronized with Write Clk)

☒ En_Reset ☒ Reset_Synchronization

Flag Control

☒ Almost Full Flag Almost Full Type: Full-Single Threshold Constant Parameter

Set: 1 (1 - 7) Clear: 1 (1 - 7)

☒ Almost Empty Flag Almost Empty Type: Empty-Single Threshold Constant Parameter

Set: 1 (1 - 7) Clear: 1 (1 - 7)

☐ ECC Selected (Supported for Data Width in 1-64 bit)

Generation Config

☒ Read Write check on RAM

図 4-4 に示すように、図 4-3 の構成では、出力レジスタ機能が選択されています。これにより、読み出しデータは出力レジスタを使用しない場合より 1 サイクル遅れ、最後のデータが出力されます。

図 4-4 FIFO IP のタイミング

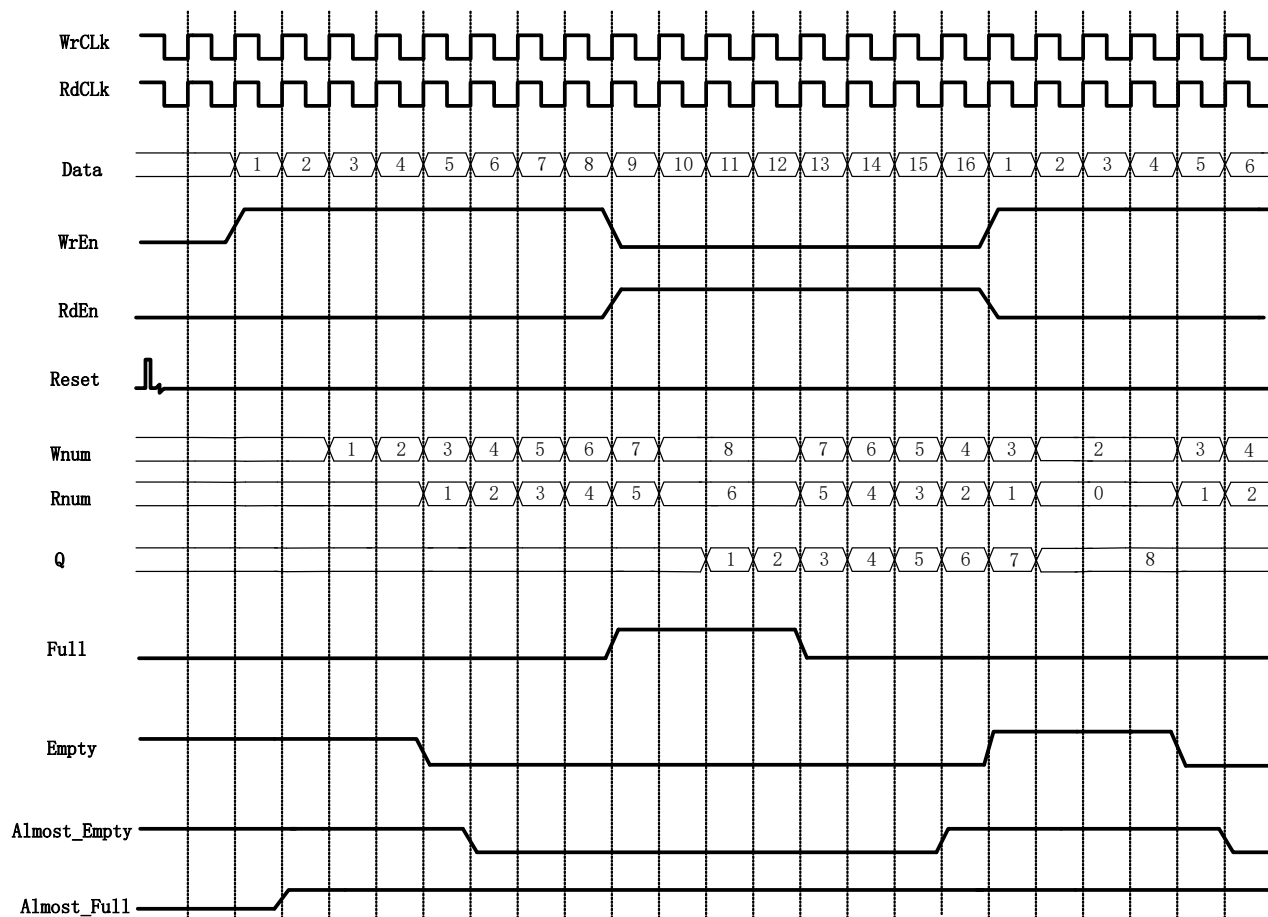


図 4-6 に図 4-5 の構成の場合の FIFO のタイミングを示します。

図 4-5 FIFO の構成

☒ Output Registers Selected ☒ Controlled by RdEn

Write Depth: 8 Write Data Width: 8 (1-1024)

Read Depth: 8 Read Data Width: 8 (1-1024)

FIFO Implementation

☒ BSRAM ☐ SSRAM ☐ REG

Read Mode

☒ Standard FIFO ☐ First-Word Fall-Through

Data Number

☒ Read Data Num (Synchronized with Read Clk)

☒ Write Data Num (Synchronized with Write Clk)

☒ En_Reset ☒ Reset_Synchronization

Flag Control

☒ Almost Full Flag Almost Full Type: Full-Single Threshold Constant Parameter

Set: 1 (1 - 7) Clear: 1 (1 - 7)

☒ Almost Empty Flag Almost Empty Type: Empty-Single Threshold Constant Parameter

Set: 1 (1 - 7) Clear: 1 (1 - 7)

☐ ECC Selected (Supported for Data Width in 1-64 bit)

Generation Config

☒ Read Write check on RAM

図 4-6 に示すように、図 4-5 の構成では、出力レジスタ機能が選択され、読み出しイネーブル制御が選択されています。つまり、出力レジスタは **RdEn** によって制御されます。これにより、読み出しデータは出力レジスタを使用しない場合より 1 サイクル遅れ、最後のデータは次の読み出しイネーブルの最初のデータ出力になります。

図 4-6 FIFO IP のタイミング

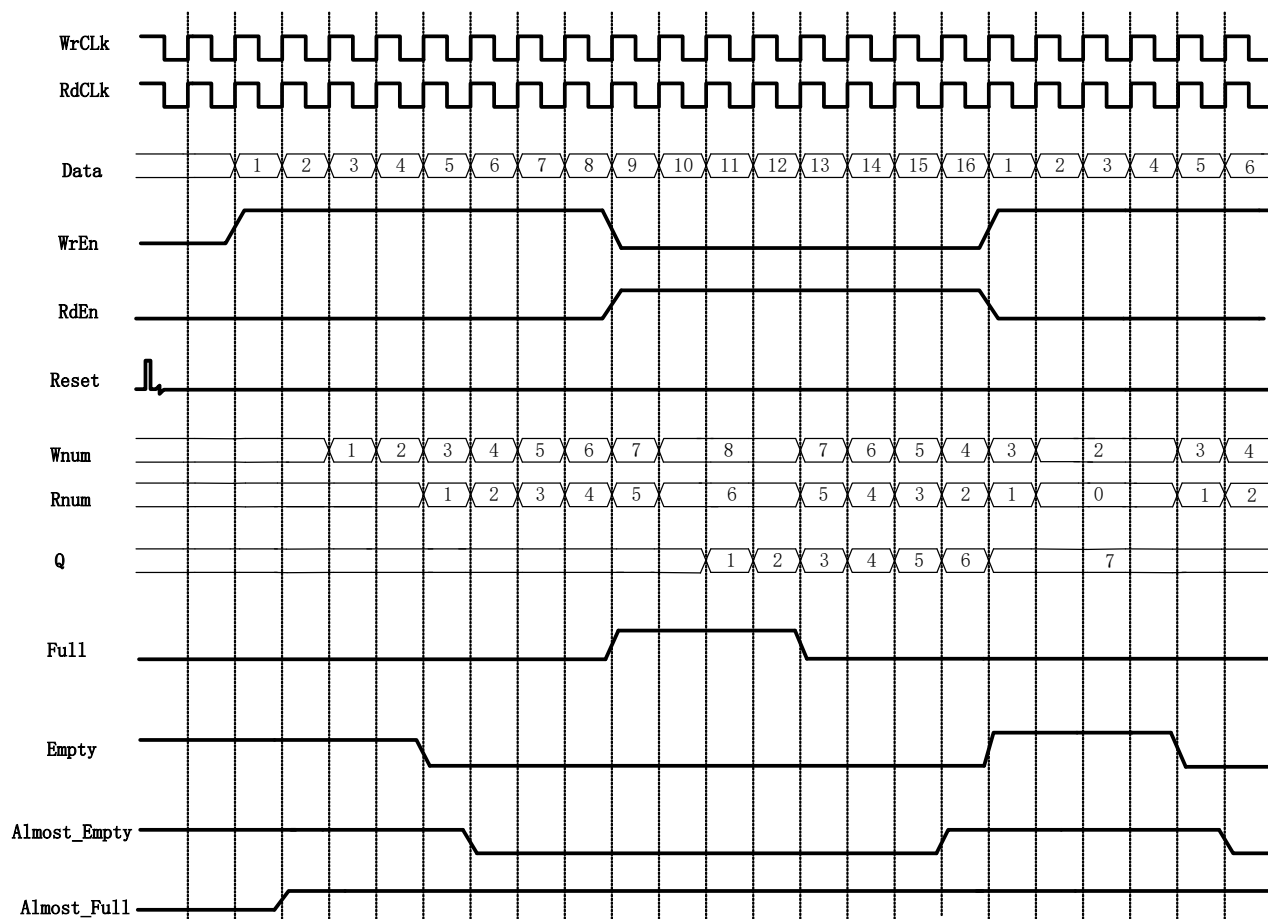


図 4-8 に図 4-7 の構成の場合の FIFO のタイミングを示します。

図 4-7 FIFO の構成

☐ Output Registers Selected ☐ Controlled by RdEn

Write Depth: 8 Write Data Width: 8 (1-1024)

Read Depth: 8 Read Data Width: 8 (1-1024)

FIFO Implementation

☒ BSRAM ☐ SSRAM ☐ REG

Read Mode

☐ Standard FIFO ☒ First-Word Fall-Through

Data Number

☒ Read Data Num (Synchronized with Read Clk)

☒ Write Data Num (Synchronized with Write Clk)

☒ En_Reset ☒ Reset_Synchronization

Flag Control

☒ Almost Full Flag Almost Full Type: Full-Single Threshold Constant Parameter

Set: 1 (1 - 7) Clear: 1 (1 - 7)

☒ Almost Empty Flag Almost Empty Type: Empty-Single Threshold Constant Parameter

Set: 1 (1 - 7) Clear: 1 (1 - 7)

☐ ECC Selected (Supported for Data Width in 1-64 bit)

Generation Config

☒ Read Write check on RAM

図 4-8 に示すように、図 4-7 の構成では、FIFO SC IP の FWFT モード、つまり First-Word Fall-Through が選択されています。FIFO が空でない場合は、読み出しイネーブル信号の有無にかかわらず、最初の書き込みデータは出力データバスにすぐに配置されます。読み出しイネーブルが High になった後、他の書き込みデータが順番に出力されます。

図 4-8 FIFO IP のタイミング

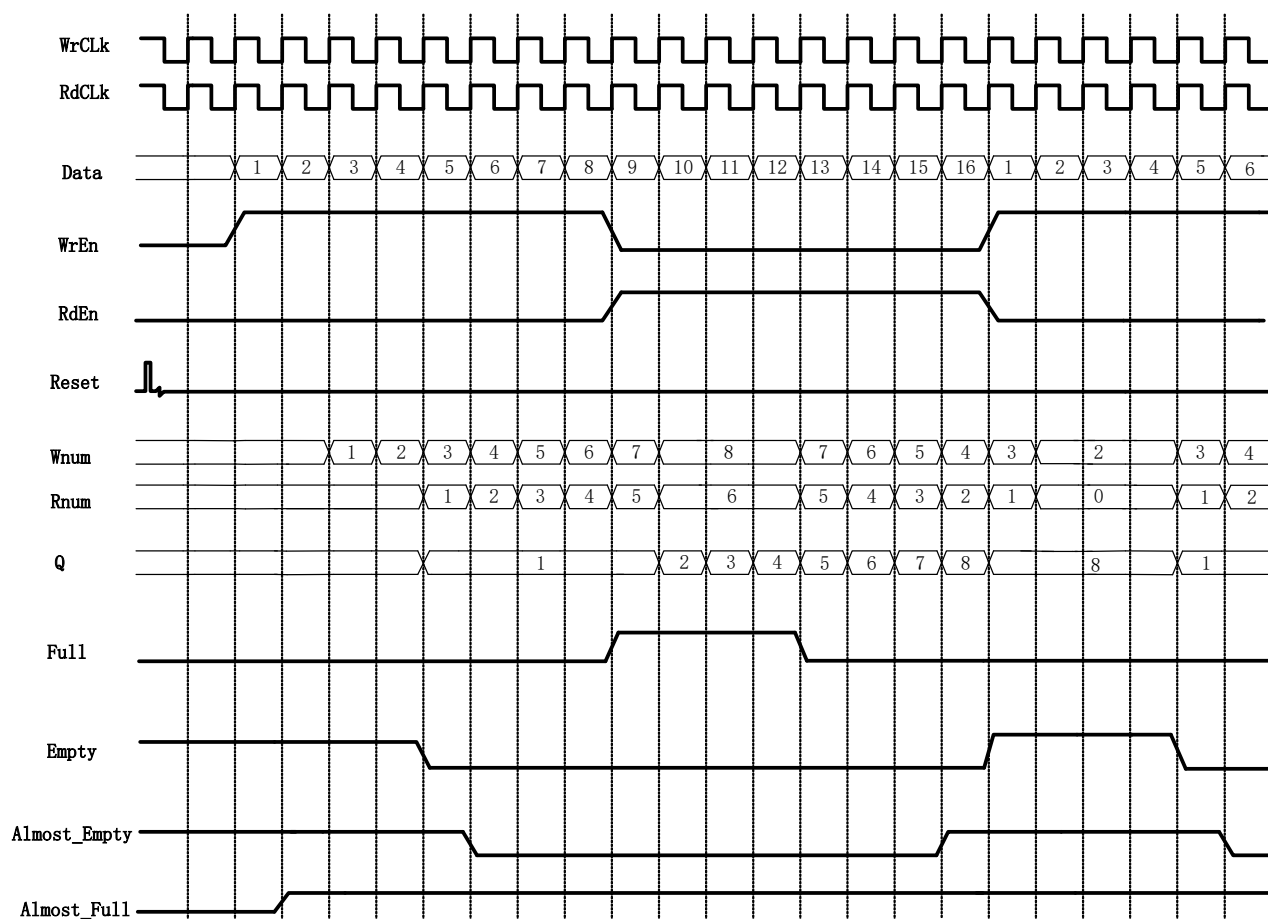


図 4-10 に図 4-9 の構成の場合の FIFO のタイミングを示します。

図 4-9 FIFO の構成

☒ Output Registers Selected ☐ Controlled by RdEn

Write Depth: 8 Write Data Width: 8 (1-1024)

Read Depth: 8 Read Data Width: 8 (1-1024)

FIFO Implementation

☒ BSRAM ☐ SSRAM ☐ REG

Read Mode

☐ Standard FIFO ☒ First-Word Fall-Through

Data Number

☒ Read Data Num (Synchronized with Read Clk)

☒ Write Data Num (Synchronized with Write Clk)

☒ En_Reset ☒ Reset_Synchronization

Flag Control

☒ Almost Full Flag Almost Full Type: Full-Single Threshold Constant Parameter

Set: 1 (1 - 7) Clear: 1 (1 - 7)

☒ Almost Empty Flag Almost Empty Type: Empty-Single Threshold Constant Parameter

Set: 1 (1 - 7) Clear: 1 (1 - 7)

☐ ECC Selected (Supported for Data Width in 1-64 bit)

Generation Config

☒ Read Write check on RAM

図 4-10 に示すように、図 4-9 の構成では、FIFO IP の FWFT モードおよび出力レジスタ機能が選択されています。

図 4-10 FIFO IP のタイミング

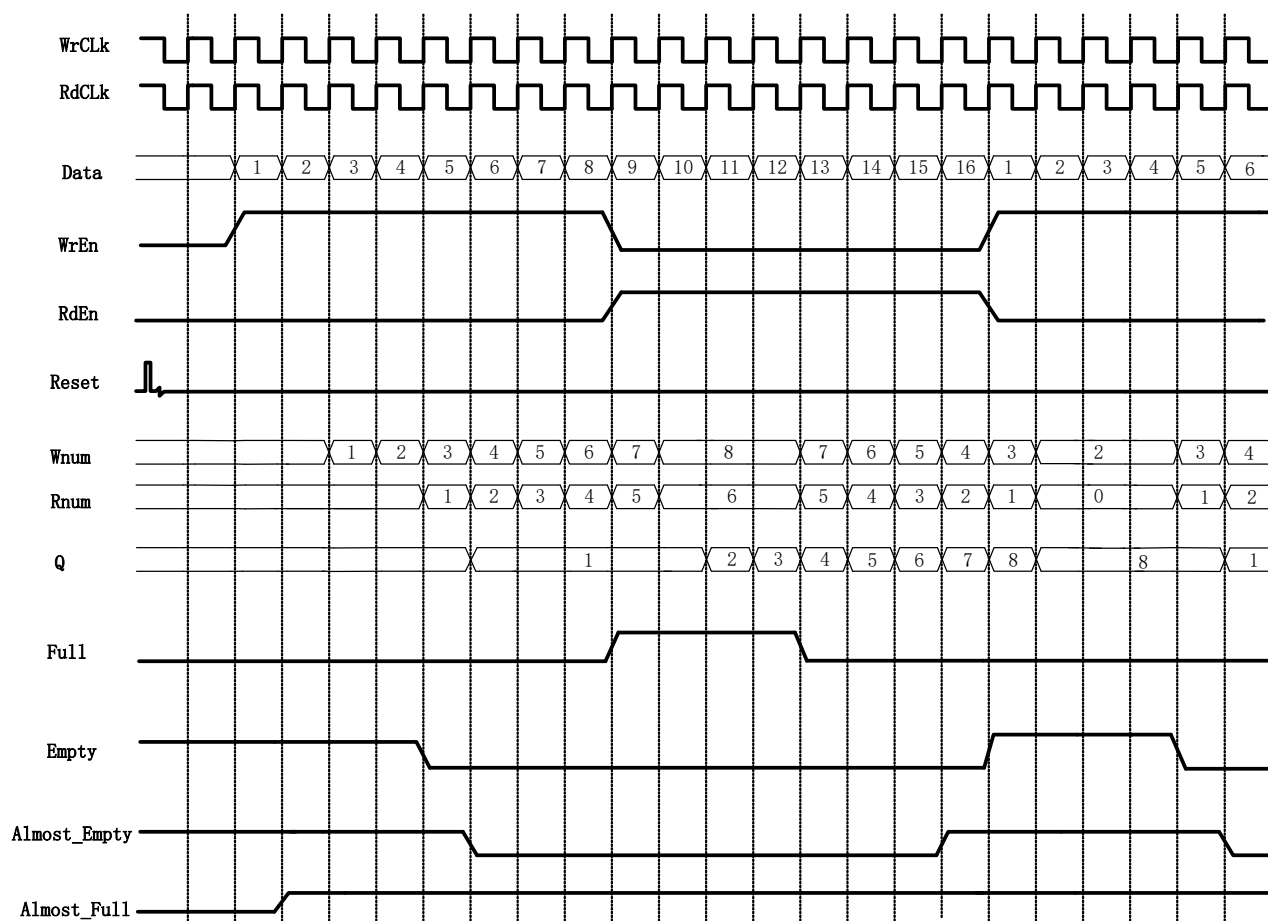


図 4-12 に図 4-11 の構成の場合の FIFO のタイミングを示します。

図 4-11 FIFO の構成

☒ Output Registers Selected ☒ Controlled by RdEn

Write Depth: 8 Write Data Width: 8 (1-1024)

Read Depth: 8 Read Data Width: 8 (1-1024)

FIFO Implementation

☒ BSRAM ☐ SSRAM ☐ REG

Read Mode

☐ Standard FIFO ☒ First-Word Fall-Through

Data Number

☒ Read Data Num (Synchronized with Read Clk)

☒ Write Data Num (Synchronized with Write Clk)

☒ En_Reset ☒ Reset_Synchronization

Flag Control

☒ Almost Full Flag Almost Full Type: Full-Single Threshold Constant Parameter

Set: 1 (1 - 7) Clear: 1 (1 - 7)

☒ Almost Empty Flag Almost Empty Type: Empty-Single Threshold Constant Parameter

Set: 1 (1 - 7) Clear: 1 (1 - 7)

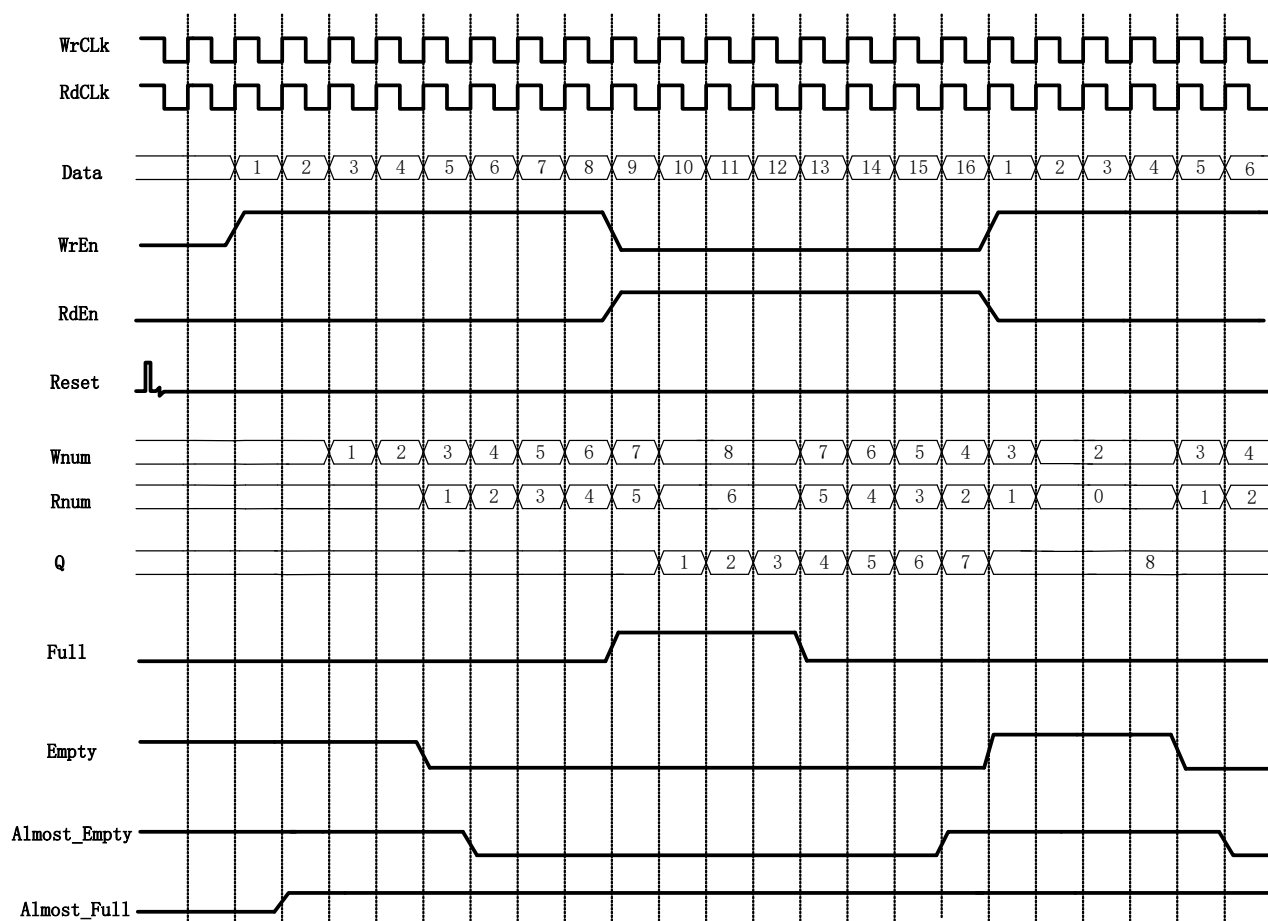
☐ ECC Selected (Supported for Data Width in 1-64 bit)

Generation Config

☒ Read Write check on RAM

図 4-12 に示すように、図 4-11 の構成では、FIFO IP の FWFT モード、出力レジスタ機能、および読み出しイネーブル制御が選択されています。

図 4-12 FIFO IP のタイミング



4.2 FIFO SC 信号のタイミング

図 4-14 に図 4-13 の構成の場合の FIFO SC のタイミングを示します。

図 4-13 FIFO SC の構成

☐ Output Registers Selected ☐ Controlled by RdEn

Write Depth: 8 Write Data Width: 8 (1-1024)

Read Depth: 8 Read Data Width: 8 (1-1024)

FIFO Implementation

☒ BSRAM ☐ SSRAM ☐ REG

Read Mode

☒ Standard FIFO ☐ First-Word Fall-Through

Data Number

☐ Write Data Num (Synchronized with Clk)

Output Flags

☒ Almost Full Flag Almost Full Type: Full-Single Threshold Constant Paramete
Set: 1 (1 - 7) Clear: 1 (1 - 7)

☒ Almost Empty Flag Almost Empty Type: Empty-Single Threshold Constant Param
Set: 1 (1 - 7) Clear: 1 (1 - 7)

☐ ECC Selected (Supported for Data Width in 1-64 bit)

図 4-14 に示すように、FIFO がフルでない場合、書き込みイネーブルが High にプルアップされ、データが FIFO に書き込まれます。8 つのデータが書き込まれた後、FIFO がフルになり、書き込みイネーブルがマスクされ、Full 信号が High になり、この場合、データを書き込むことができません。FIFO が空でない場合、読み出しイネーブルが High にプルアップされ、FIFO に書き込まれたデータが順次 Q に読み出されます。8 番目のデータが読み出された後、読み出しイネーブルがマスクされ、Empty 信号が High になり、この場合、データを読み出すことができません。

図 4-14 FIFO SC IP のタイミング

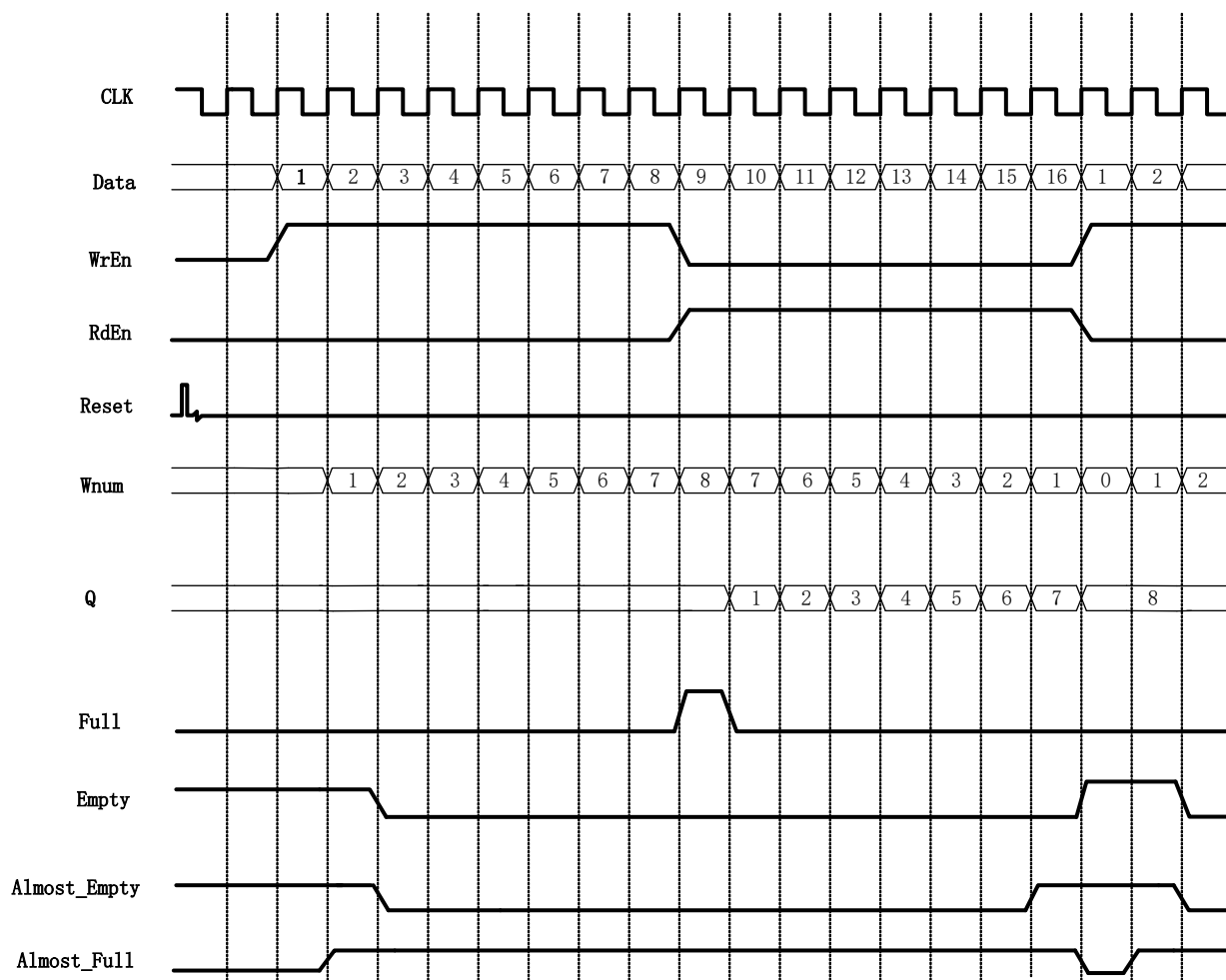


図 4-16 に図 4-15 の構成の場合の FIFO SC のタイミングを示します。

図 4-15 FIFO SC の構成

☒ Output Registers Selected ☐ Controlled by RdEn

Write Depth: 8 Write Data Width: 8 (1-1024)

Read Depth: 8 Read Data Width: 8 (1-1024)

FIFO Implementation
☒ BSRAM ☐ SSRAM ☐ REG

Read Mode
☒ Standard FIFO ☐ First-Word Fall-Through

Data Number
☐ Write Data Num (Synchronized with Clk)

Output Flags

☒ Almost Full Flag Almost Full Type: Full-Single Threshold Constant Paramete ▾
 Set: 1 (1 - 7) Clear: 1 (1 - 7)

☒ Almost Empty Flag Almost Empty Type: Empty-Single Threshold Constant Param ▾
 Set: 1 (1 - 7) Clear: 1 (1 - 7)

☐ ECC Selected (Supported for Data Width in 1-64 bit)

図 4-16 に示すように、図 4-15 の構成では、出力レジスタ機能が選択されています。これにより、読み出しデータは出力レジスタを使用しない場合より 1 サイクル遅れ、最後のデータが出力されます。

図 4-16 FIFO SC IP のタイミング

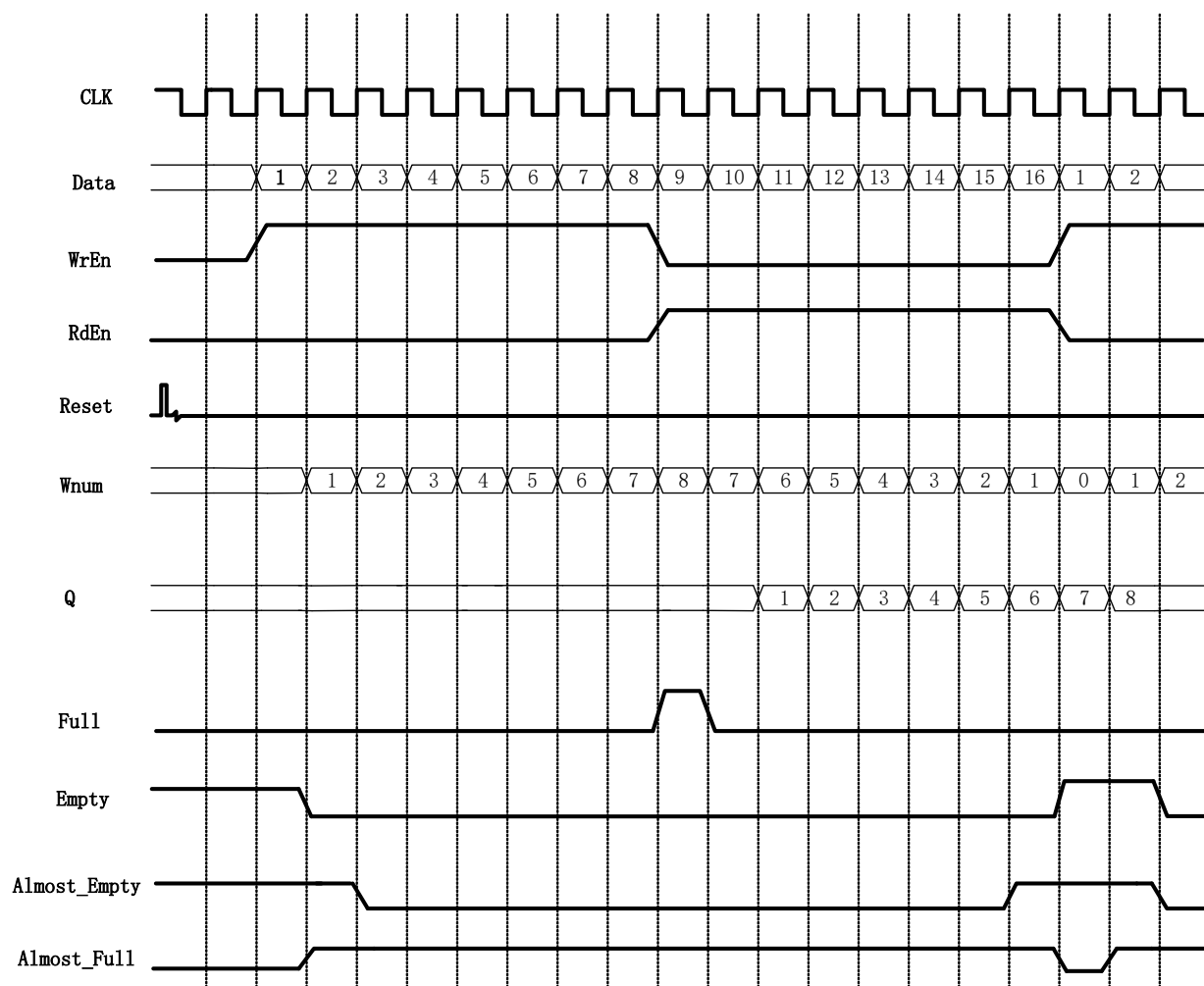


図 4-18 に図 4-17 の構成の場合の FIFO SC のタイミングを示します。

図 4-17 FIFO SC の構成

☒ Output Registers Selected ☒ Controlled by RdEn

Write Depth: 8 Write Data Width: 8 (1-1024)

Read Depth: 8 Read Data Width: 8 (1-1024)

FIFO Implementation

☒ BSRAM ☐ SSRAM ☐ REG

Read Mode

☒ Standard FIFO ☐ First-Word Fall-Through

Data Number

☐ Write Data Num (Synchronized with Clk)

Output Flags

☒ Almost Full Flag Almost Full Type: Full-Single Threshold Constant Paramete

Set: 1 (1 - 7) Clear: 1 (1 - 7)

☒ Almost Empty Flag Almost Empty Type: Empty-Single Threshold Constant Param

Set: 1 (1 - 7) Clear: 1 (1 - 7)

☐ ECC Selected (Supported for Data Width in 1-64 bit)

図 4-18 に示すように、図 4-17 の構成では、出力レジスタ機能が選択され、読み出しイネーブル制御が選択されています。つまり、出力レジスタは **RdEn** によって制御されます。これにより、読み出しデータは出力レジスタを使用しない場合より 1 サイクル遅れ、最後のデータは次の読み出しイネーブルの最初のデータ出力になります。

図 4-18 FIFO SC IP のタイミング

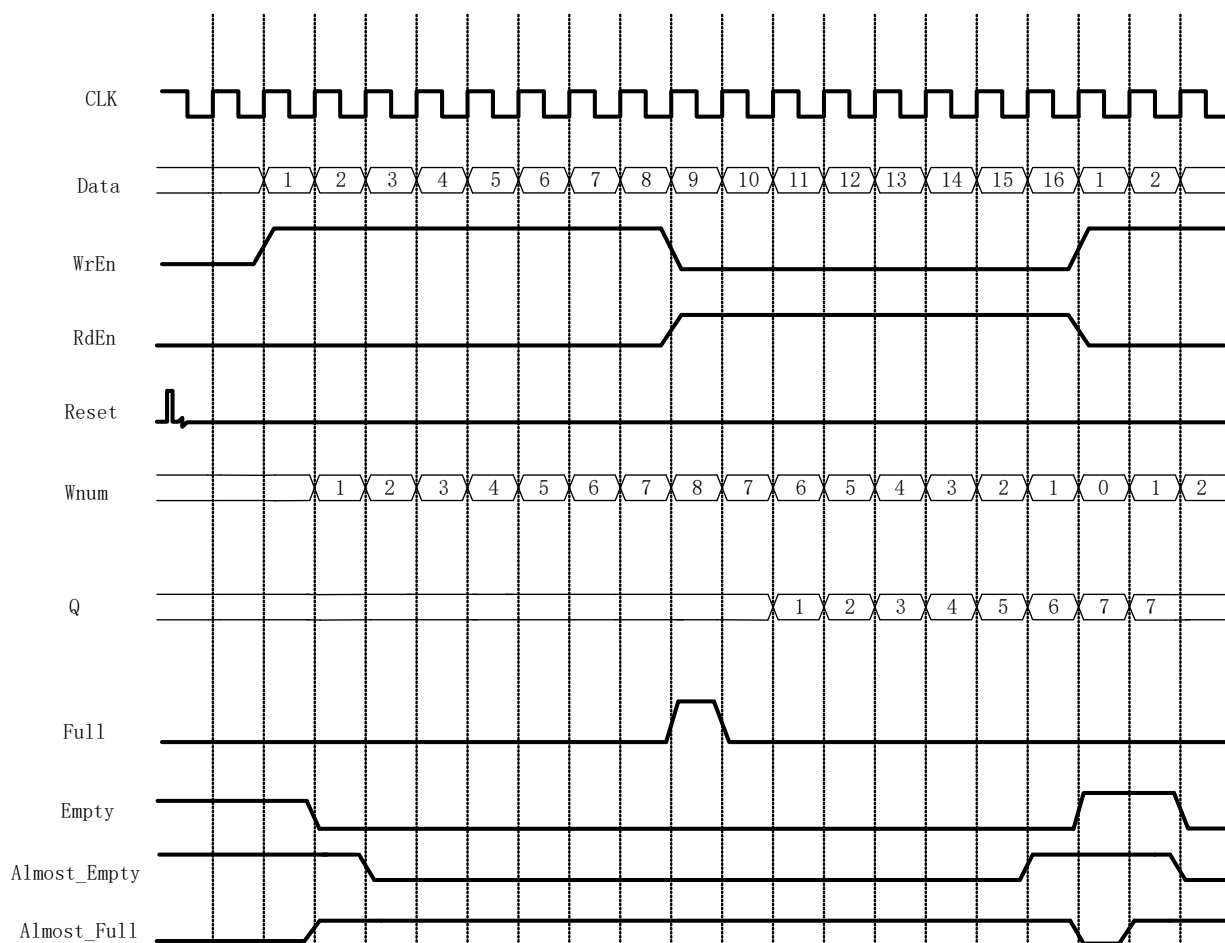


図 4-20 に図 4-19 の構成の場合の FIFO SC のタイミングを示します。

図 4-19 FIFO SC の構成

☐ Output Registers Selected		☐ Controlled by RdEn	
Write Depth:	8	Write Data Width:	8 (1-1024)
Read Depth:	8	Read Data Width:	8 (1-1024)
FIFO Implementation			
☒ BSRAM ☐ SSRAM ☐ REG			
Read Mode			
☐ Standard FIFO ☒ First-Word Fall-Through			
Data Number			
☐ Write Data Num (Synchronized with Clk)			
Output Flags			
☒ Almost Full Flag	Almost Full Type:	Full-Single Threshold Constant Paramete	
Set: 1 (1 - 7)	Clear:	1 (1 - 7)	
☒ Almost Empty Flag	Almost Empty Type:	Empty-Single Threshold Constant Param	
Set: 1 (1 - 7)	Clear:	1 (1 - 7)	
☐ ECC Selected (Supported for Data Width in 1-64 bit)			

図 4-20 に示すように、図 4-19 の構成では、FIFO SC IP の FWFT モード、つまり First-Word Fall-Through が選択されています。FIFO が空でない場合は、読み出しイネーブル信号の有無にかかわらず、最初の書き込みデータは出力データバスにすぐに配置されます。読み出しイネーブルが High になった後、他の書き込みデータが順番に出力されます。

図 4-20 FIFO SC IP のタイミング

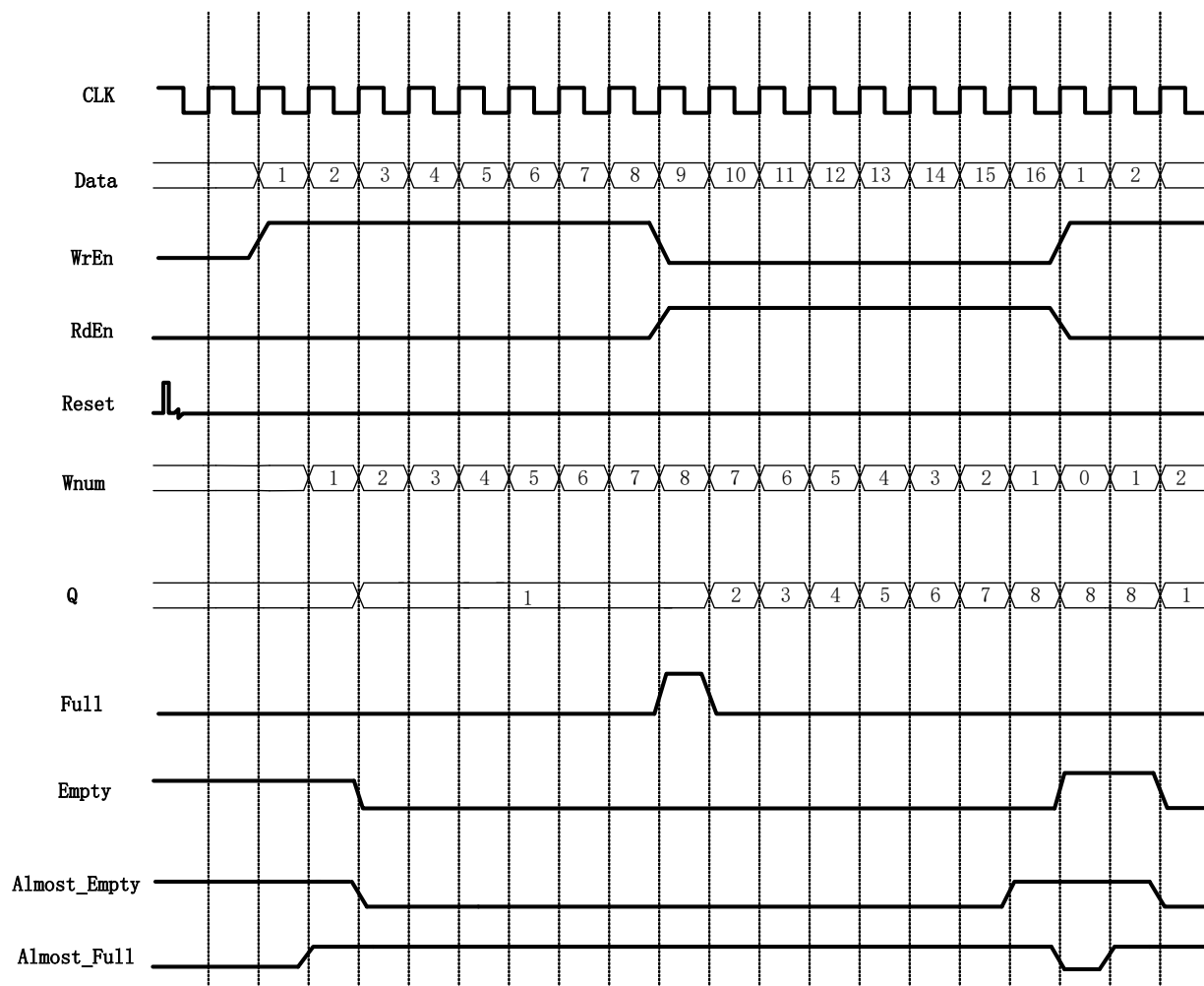


図 4-22 に図 4-21 の構成の場合の FIFO SC のタイミングを示します。

図 4-21 FIFO SC の構成

☒ Output Registers Selected ☐ Controlled by RdEn

Write Depth: 8 Write Data Width: 8 (1-1024)

Read Depth: 8 Read Data Width: 8 (1-1024)

FIFO Implementation

☒ BSRAM ☐ SSRAM ☐ REG

Read Mode

☐ Standard FIFO ☒ First-Word Fall-Through

Data Number

☐ Write Data Num (Synchronized with Clk)

Output Flags

☒ Almost Full Flag Almost Full Type: Full-Single Threshold Constant Paramete ▾

Set: 1 (1 - 7) Clear: 1 (1 - 7)

☒ Almost Empty Flag Almost Empty Type: Empty-Single Threshold Constant Param ▾

Set: 1 (1 - 7) Clear: 1 (1 - 7)

☐ ECC Selected (Supported for Data Width in 1-64 bit)

図 4-22 に示すように、図 4-21 の構成では、FIFO SC IP の FWFT モードおよび出力レジスタ機能が選択されています。

図 4-22 FIFO SC IP のタイミング

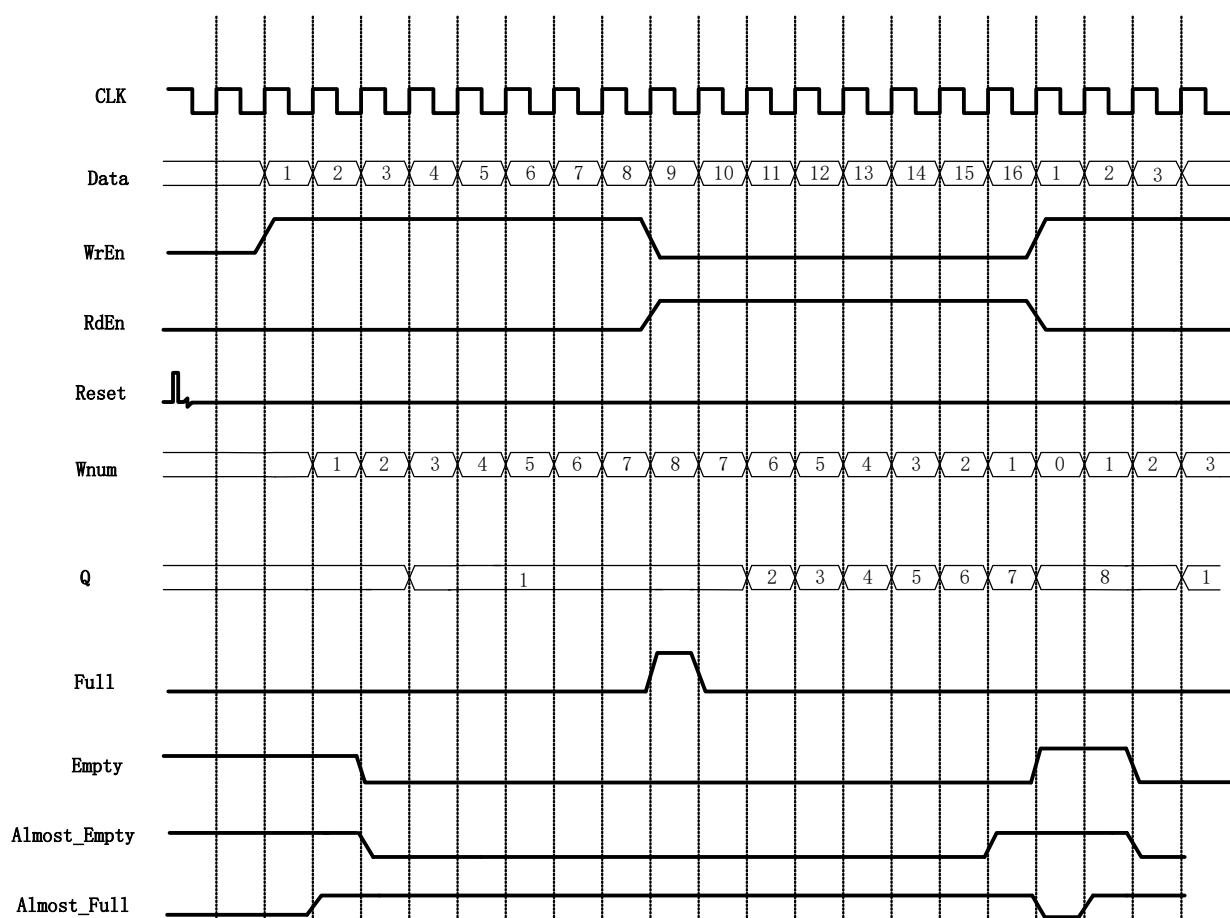


図 4-24 に図 4-23 の構成の場合の FIFO SC のタイミングを示します。

図 4-23 FIFO SC の構成

☒ Output Registers Selected ☒ Controlled by RdEn

Write Depth: 8 Write Data Width: 8 (1-1024)

Read Depth: 8 Read Data Width: 8 (1-1024)

FIFO Implementation
☒ BSRAM ☐ SSRAM ☐ REG

Read Mode
☐ Standard FIFO ☒ First-Word Fall-Through

Data Number
☐ Write Data Num (Synchronized with Clk)

Output Flags

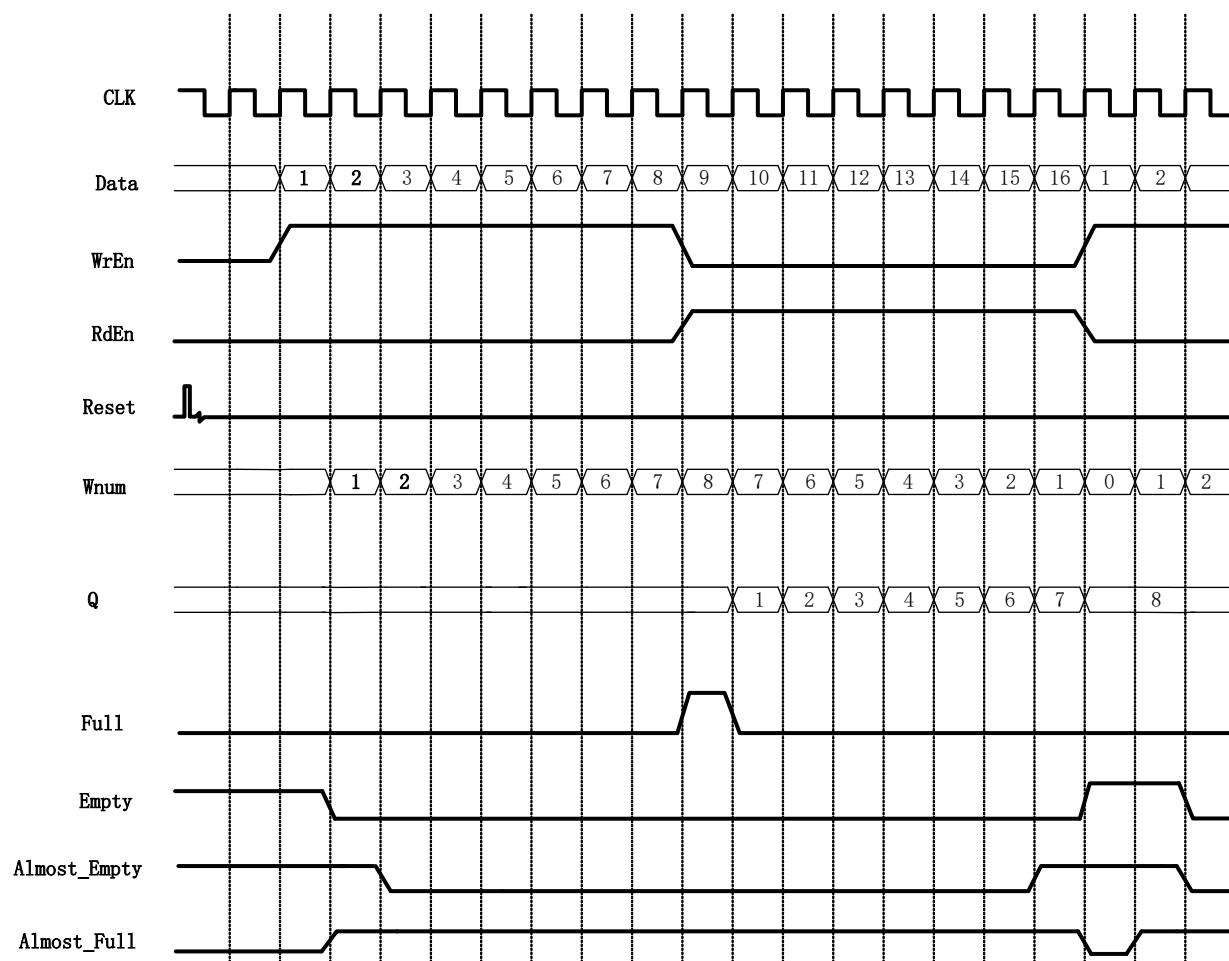
☒ Almost Full Flag Almost Full Type: Full-Single Threshold Constant Paramete ▾
 Set: 1 (1 - 7) Clear: 1 (1 - 7)

☒ Almost Empty Flag Almost Empty Type: Empty-Single Threshold Constant Param ▾
 Set: 1 (1 - 7) Clear: 1 (1 - 7)

☐ ECC Selected (Supported for Data Width in 1-64 bit)

図 4-24 に示すように、図 4-23 の構成では、FIFO SC IP の FWFT モード、出力レジスタ機能、および読み出しイネーブル制御が選択されています。

図 4-24 FIFO SC IP のタイミング



5 Gowin FIFO/FIFO SC IP の構成

Gowin ソフトウェア > Tools > IP Core Generator を通じて FIFO IP または FIFO SC IP を構成・呼び出しできます。FIFO/FIFO SC の構成画面およびパラメータの説明は次のとおりです。

5.1 Gowin FIFO IP の構成

Gowin FIFO IP の構成画面は図 5-1 に示すとおりです。

図 5-1 Gowin FIFO IP の構成画面

FIFO

General

Device: GW2A-55 Device Version: C

Part Number: GW2A-LV55PG484C8/I7 Language: Verilog

File Name: fifo_top Module Name: fifo_top

Create In: Documents\fifo_top

Options

☐ Output Registers Selected ☐ Controlled by RdEn

Write Depth: 2 Write Data Width: 1 (1-1024)

Read Depth: 2 Read Data Width: 1 (1-1024)

FIFO Implementation

☒ BSRAM ☐ SSRAM ☐ REG

Read Mode

☒ Standard FIFO ☐ First-Word Fall-Through

Data Number

☐ Read Data Num (Synchronized with Read Clk)

☐ Write Data Num (Synchronized with Write Clk)

☐ En_Reset ☐ Reset_Synchronization

Flag Control

☒ Almost Full Flag Almost Full Type: Full-Single Threshold Constant Pa

Set: 1 (1 - 1) Clear: 1 (1 - 1)

☒ Almost Empty Flag Almost Empty Type: Empty-Single Threshold Constant

Set: 1 (1 - 1) Clear: 1 (1 - 1)

☐ ECC Selected (Supported for Data Width in 1-64 bit)

Generation Config

☐ Read Write check on RAM

OK Cancel

表 5-1 Gowin FIFO IP の構成画面のパラメータ

オプション	パラメータ名	説明	備考
General	Device	デバイス	-
	Device Version	デバイスのバージョン	-
	Part Number	デバイスの部品番号	-
	Language	言語	-

オプション	パラメータ名		説明	備考
General	File Name		FIFO ファイル名	-
	Module Name		FIFO のトップ・モジュール名	-
	Create In		-	生成される FIFO IP Model を現在のプロジェクトに追加するかどうを選択できます。
オプション	FIFO Implementation	BSRAM	Block SRAM、Shadow SRAM、または REG で実装します。	-
		SSRAM		
		REG		
	Write Depth		書き込みデータ深さ	非同期 FIFO IP の書き込みデータ幅が読み出しデータ幅と異なる場合、Read Data Width は自動的に Write Depth x Write Data Width / Read Depth の式で計算されます。
	Write Data Width		書き込みデータ幅	
	Read Depth		読み出しデータ深さ	
	Read Data Width		読み出しデータ幅	
	Read Mode	Standard FIFO	標準 FIFO	標準 FIFO は、標準のタイミング図に従って読み出し/書き込みします。FWFT FIFO は、読み出しイネーブル信号の有無にかかわらず、最初の書き込みデータは出力データバスに

オプション	パラメータ名		説明	備考
オプション	Read Mode	First-Word Fall Through	FWFT FIFO	すぐに配置されます。 読み出しイネーブルが High になった後、他の書き込みデータが順番に出力されます。
	Data Num	Write Data Num	書き込みデータの数	チェックすると、 Wnum 出力が追加されます
		Read Data Num	読み出しデータ数	チェックすると、 Rnum 出力が追加されます
		En_Reset	イネーブルリセット	有効な場合、読み出しと書き込みがそれぞれリセットされます。チェックすると、 WrReset 、 RdReset 入力が追加されます
		Reset_Synchronization	同期リセット	En_Reset が有効な場合、 Reset_Synchronization はオプションです。チェックすると、1つのリセットのみが使用され、 Reset 入力が追加されます。
	Flag Control	Almost Full Flag	almost-full フラグイネーブル	チェックすると、 Almost_Full 出力が追加されます。

オプション	パラメータ名			説明	備考
オプション	Flag Control	Almost Full Type	Full-Single Threshold Constant Parameter	静的 almost-full シングル定数しきい値。有効な場合、Set が有効です。	Full-Single Threshold Constant Parameter、Full-Dual Threshold Constant Parameters、Full-Single Threshold Input Parameter、Full-Dual Threshold Input Parameters から 1 つ選択します
			Full-Dual Threshold Constant Parameters	静的 almost-full デュアル定数しきい値。有効な場合、Set、Clear が有効です。	
			Full-Single Threshold Input Parameter	動的 almost-full シングルしきい値。有効な場合、AlmostFullTh 入力追加されます。	
			Full-Dual Threshold Input Parameters	動的 almost-full デュアルしきい値。有効な場合、AlmostFullSetTh、AlmostFullClrTh 入力追加されます	
		Set		almost-full フラグがセットされるしきい値	シングル定数しきい値を選択した場合、Set が有効です。デュアル定数しきい値を選択した場合、Set、Clear が有効です
		Clear		almost-full フラグがクリアされるしきい値	
		Almost Empty Flag		almost-empty フラグイネーブル	チェックすると、Almost_empty 出力が追加されます

オプション	パラメータ名			説明	備考
オプション	Flag Control	Almost Empty Type	Empty-Single Threshold Constant Parameter	静的 almost-empty シングル定数しきい値。有効な場合、Set が有効です。	-
			Empty-Dual Threshold Constant Parameters	静的 almost-empty デュアル定数しきい値。有効な場合、Set、Clear が有効です。	
			Empty-Single Threshold Input Parameter	動的 almost-empty シングルしきい値。有効な場合、AlmostEmptyTh 入力が増加されます。	
			Empty-Dual Threshold Input Parameter	動的 almost-empty デュアルしきい値。有効な場合、AlmostEmptySetTh、AlmostEmptyClrTh 入力が増加されます。	
		Set		almost-empty フラグがセットされるしきい値	シングル定数しきい値を選択した場合、Set が有効です。デュアル定数しきい値を選択した場合、Set、Clear が有効です。
		Clear		almost-empty フラグがクリアされるしきい値	

オプション	パラメータ名	説明	備考
オプション	ECC Selected	ECC 機能	Data width が 1-64bit のときに有効、 ERROR 出力が追加されます。
	Output Register Selected	出力レジスタはオプションです	有効な場合、データ出力は 1 サイクル遅延します BSRAM の出力は、クロックから出力までの遅延を満たす必要があります。 Output Register イネーブルが ON の場合、この時間は自動的に満たされます。 Output Register イネーブルが OFF の場合、メタスタビリティの生成を回避するために、クロックから出力までの遅延を満たす必要があります。

オプション	パラメータ名	説明	備考
オプション	Controlled by RdEn	出力は RdEn により制御 されます	Output Register Selected が チェックさ れている場 合に選択可 能です

注記：

- ECC 機能を有効にするには、データ幅を 64 ビット以下にする必要があります。
- 出力制御信号としきい値は必要に応じて構成できます。各オプションの構成は表 5-1 に示すとおりです。
- Read Write check on RAM 機能は、RAM の読み出し/書き込みの競合を防ぐためのもので、詳細は RAM または GowinSynthesis のマニュアルを参照してください。

5.2 Gowin FIFO SC IP の構成

Gowin FIFO SC IP の構成画面は図 5-2 に示すとおりです。

図 5-2 Gowin FIFO SC IP の構成画面

FIFO SC

General

Device: GW2A-55 Device Version: C

Part Number: GW2A-LV55PG484C8/I7 Language: Verilog

File Name: fifo_sc_top Module Name: fifo_sc_top

Create In: Documents\fifo_sc_top

Options

☐ Output Registers Selected ☐ Controlled by RdEn

Write Depth: 2 Write Data Width: 1 (1-1024)

Read Depth: 2 Read Data Width: 1 (1-1024)

FIFO Implementation

☒ BSRAM ☐ SSRAM ☐ REG

Read Mode

☒ Standard FIFO ☐ First-Word Fall-Through

Data Number

☐ Write Data Num (Synchronized with Clk)

Output Flags

☒ Almost Full Flag Almost Full Type: Full-Single Threshold Constant Parame

Set: 1 (1 - 1) Clear: 1 (1 - 1)

☒ Almost Empty Flag Almost Empty Type: Empty-Single Threshold Constant Para

Set: 1 (1 - 1) Clear: 1 (1 - 1)

☐ ECC Selected (Supported for Data Width in 1-64 bit)

OK Cancel

表 5-2 Gowin FIFO IP の構成画面のパラメータ

オプション	パラメータ	説明	備考
General	Device	デバイス	-
	Device Version	デバイスのバージョン	-
	Part Number	デバイスの部品番号	-

オプション	パラメータ		説明	備考
General	Language		言語	-
	Module Name		FIFO のトップ・モジュール名	-
	File Name		FIFO ファイル名	-
	Create In		-	生成される FIFO IP Model を現在のプロジェクトに追加するかどうかなを選択できます。
オプション	FIFO Implementation	BSRAM	メモリは BSRAM によって実装されます	-
		SSRAM	メモリは SSRAM によって実装されます	-
		REG	メモリはレジスタによって実装されます	-
	Write Depth		書き込みデータ深さ	FIFO SC IP では、書き込みデータの幅と深さが読み出しデータの幅と深さと同じである必要があります。そのため、Read Depth と Read Data Width を構成する必要はなく、これらは自動的に Write Depth と Write Data Width と同じになります。
	Write Data Width		書き込みデータ幅	
	Read Depth		読み出しデータ深さ	
	Read Data Width		読み出しデータ幅	

オプション	パラメータ		説明	備考	
オプション	Read Mode	Standard FIFO	標準 FIFO	標準 FIFO は、標準のタイミング図に従って読み出し/書き込みします。 FWFT FIFO は、読み出しイネーブル信号の有無にかかわらず、最初の書き込みデータは出力データバスにすぐに配置されます。 読み出しイネーブルが High になった後、他の書き込みデータが順番に出力されます。	
		First-Word Fall Through	FWFT FIFO		
	Data Num	Write Data Num (Synchronized with Clk)	書き込みデータの数	チェックすると、Rnum 出力が追加されます	
	Output Flags	Almost Full Flag		almost-full フラグイネーブル	チェックすると、Almost_Full 出力が追加されます
		Almost Full Type	Full-Single Threshold Constant Parameter	静的 almost-full シングル定数しきい値。有効な場合、Set が有効です。	Full-Single Threshold Constant Parameter、Full-Dual Threshold Constant Parameters、Full-Single Threshold Input Parameter、Full-Dual Threshold Input Parameters
			Full-Dual Threshold Constant Parameters	静的 almost-full デュアル定数しきい値。有効な場合、Set、Clear が有効です。	

オプション	パラメータ			説明	備考
オプション	Output Flags	Almost Full Type	Full-Single Threshold Input パラメータ	動的 almost-full シングルしきい値。有効な場合、AlmostFullTh 入力追加されます	から 1 つ選択します
			Full-Dual Threshold Input Parameters	動的 almost-full デュアルしきい値。有効な場合、AlmostFullSetTh、AlmostFullClrTh 入力追加されます	
		Set		almost-full フラグがセットされるしきい値	シングル定数しきい値を選択した場合、Set が有効です。
		Clear		almost-full フラグがクリアされるしきい値	デュアル定数しきい値を選択した場合、Set、Clear が有効です。
		Almost Empty Flag		almost-empty フラグイネーブル	チェックすると、Almost_empty 出力追加されます
		Almost Empty Type	Empty-Single Threshold Constant Parameter	静的 almost-empty シングル定数しきい値。有効な場合、Set が有効です。	Empty-Single Threshold Constant Parameter、Empty-Dual Threshold Constant Parameters、Empty-Single Threshold Input Parameter、Empty-Dual
			Empty-Dual Threshold Constant Parameters	静的 almost-empty デュアル定数しきい値。有効な場合、Set、Clear が有効です。	

オプション	パラメータ			説明	備考
オプション		Almost Empty Type	Empty-Single Threshold Input Parameter	動的 almost-empty シングルしきい値。有効な場合、AlmostEmptyTh 入力が増加されます	Threshold Input Parameters から 1 つ選択します。
			Empty-Dual Threshold Input Parameter	動的 almost-empty デュアルしきい値。有効な場合、AlmostEmptySetTh、AlmostEmptyClrTh 入力が増加されます	
		Set		almost-empty フラグがセットされるしきい値	シングル定数しきい値を選択した場合、Set が有効です。
		Clear		almost-empty フラグがクリアされるしきい値	デュアル定数しきい値を選択した場合、Set、Clear が有効です。
	ECC Selected			ECC 機能	有効な場合、ERROR 出力が増加されます

オプション	パラメータ	説明	備考
オプション	Output Register Selected	出力レジスタはオプションです	有効な場合、データ出力は 1 サイクル遅延します BSRAM の出力は、クロックから出力までの遅延を満たす必要があります。 Output Register イネーブルが ON の場合、この時間は自動的に満たされます。 Output Register イネーブルが OFF の場合、メタスタビリティの生成を回避するために、クロックから出力までの遅延を満たす必要があります。
	Controlled by RdEn	出力は RdEn により制御されます	Output Register Selected がチェックされている場合に選択可能です

注記：

- ECC 機能を有効にするには、データ幅を 64 ビット以下にする必要があります。
- 出力制御信号としきい値は必要に応じて構成できます。各オプションの構成は表 5-2 に示すとおりです。

