



Gowin PCI Express Controller IP

ユーザーガイド

IPUG1020-1.3J, 2026-07-31

著作権について(2026)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

 **GOWIN** 及び **Gowin** は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI 取引条件) に規定されている内容を除き、(明示的か又は黙示的に拘わらず) いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ (不具合情報) については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2023/05/25	1.0J	初版。
2024/03/29	1.1J	PCIe Gen3 のサポートを追加。
2024/07/05	1.2J	「4 PCI Express Controller の呼び出しと構成」の説明を更新。
2026/07/31	1.3J	● x8 レーンのサポートを削除。 ● 「1.2 関連ドキュメント」を更新。

目次

目次	i
図一覧	iii
表一覧	iv
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	1
1.4 テクニカル・サポートとフィードバック	2
2 概要	3
2.1 特徴	3
2.2 機能の説明	4
3 PCI Express Controller の詳細	5
3.1 物理層インターフェース	5
3.2 クロックとリセット	5
3.3 トランザクション層インターフェース	5
3.3.1 TLP 受信インターフェース	5
3.3.2 受信インターフェースのタイミング	7
3.3.3 TLP の送信インターフェース	8
3.3.4 送信インターフェースのタイミング	8
3.4 割り込みインターフェース	10
3.4.1 割り込みインターフェースのタイミング	11
3.5 コントローラ状態インターフェース	11
4 PCI Express Controller の呼び出しと構成	13
4.1 SerDes IP の構成画面	13
4.2 PCI Express Controller の構成画面	14

4.3 PCI Express Controller の構成オプション	15
4.4 PCI Express Controller IP の生成とインスタンス化	18
付録 A PCIe 構成レジスタの情報.....	20

図一覧

図 2-1 PCIe コントローラのブロック図	4
図 3-1 TLP の受信タイミング	7
図 3-2 Non-posted TLP の受信タイミング	8
図 3-3 pcie_tl_tx_wait_i と送信制御のタイミングの例(その 1)	9
図 3-4 pcie_tl_tx_wait_i と送信制御のタイミングの例(その 2)	9
図 3-5 pcie_tl_tx_wait_i と送信制御のタイミングの例(その 3)	9
図 3-6 TLP の送信制御タイミングの例.....	10
図 3-7 シングル割り込み制御タイミング	11
図 3-8 マルチ割り込み制御タイミング	11
図 4-1 IP Core Generator の画面	13
図 4-2 SerDes IP の構成画面 1	14
図 4-3 PCI Express Controller の IP の構成画面.....	15
図 4-4 PCI Express Controller の基本構成画面	16
図 4-5 PCI Express Controller の BAR の構成画面.....	17
図 4-6 PCI Express Controller の Core の構成画面	18
図 4-7 SerDes IP の構成画面 2.....	18
図 4-8 SerDes – PCI Express Controller IP のインスタンス化	19

表一覧

表 1-1 用語、略語.....	1
表 3-1 Gowin PCI Express Controller IP のクロックとリセット	5
表 3-2 Gowin PCI Express Controller IP の受信ポート	5
表 3-3 受信データが対応する機能チャネル.....	6
表 3-4 Gowin PCI Express Controller IP の送信ポート	8
表 3-5 Gowin PCIe Controller IP の割り込みインターフェース	10
表 3-6 Gowin PCIe Controller IP コントローラ状態ポート	11
表 A-1 PCIe Capability	20

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、ユーザーが Gowin PCI Express Controller IP を使いこなせるよう、その機能の概要、構造、ポート、呼び出しと構成などについて説明します。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW5AT シリーズ FPGA 製品データシート([DS981](#))
- GW5A シリーズ FPGA 製品データシート([DS1103](#))
- GW5AST シリーズ FPGA 製品データシート([DS1239](#))
- GW5AS シリーズ FPGA 製品データシート([DS1105](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
BAR	Base Address Register	ベースアドレス・レジスタ
LTSSM	Link Training and Status State Machine	リンク・トレーニング・ステータス状態機械
MAC	Media Access Control	媒体アクセス制御
MSI	Message Signaled Interrupt	メッセージシグナル割り込み

用語、略語	正式名称	意味
PCIe	Peripheral Component Interconnect Express	高速シリアル伝送のコンピュータ拡張バスの規格の一つ
TLP	Transaction Layer Packet	トランザクション層パケット

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

Arora V FPGA 製品の Gowin PCI Express Controller IP は、PCI Express Base Specification V3.0 で定義された PCIe Gen3 (8GT/s) 規格に対応し、x1、x2、x4 レーンをサポートします。

PCIe プロトコルに基づいて、FPGA 間のカスタム通信を実現し、イーサネットコントローラやファイバー・チャネル・ホスト・バス・アダプター (Host Bus Adapter, HBA) などの ASSP エンドポイント・デバイスを FPGA に接続することができます。Arora V FPGA 製品の PCI Express Controller IP は、高性能で低コストのソリューションを提供します。

2.1 特徴

Gowin PCI Express Controller IP の主な特徴は以下に示す通りです：

- PCIe 3.0 規格に準拠
- x1、x2、x4 レーンをサポート
- End Point モードをサポート
- Gen1 (2.5GT/s)、Gen2 (5GT/s)、Gen3 (8GT/s) をサポート
- 最大 6 つの BAR(Base Address Register)をサポート、BAR の容量は調整可能
- 最大 4KB のトランザクション・ペイロードをサポート
- リンク速度/幅の自動変更をサポート
- 高度な構成オプション、高度なエラー報告 (Advanced Error Reporting, AER)、およびエンドツーエンドの巡回冗長検査 (End-to-End Cyclic Redundancy Check, ECRC) をサポート
- 設定可能なパラメータ (レーン幅、最大ペイロードサイズ、FPGA ロジックインターフェースの速度、リファレンス・クロックの周波数、BAR のデコードとフィルタリングなど) をサポート

2.2 機能の説明

Gowin デバイスに統合された **PCIe** コントローラの基本機能は、図 2-1 に示すとおりです。

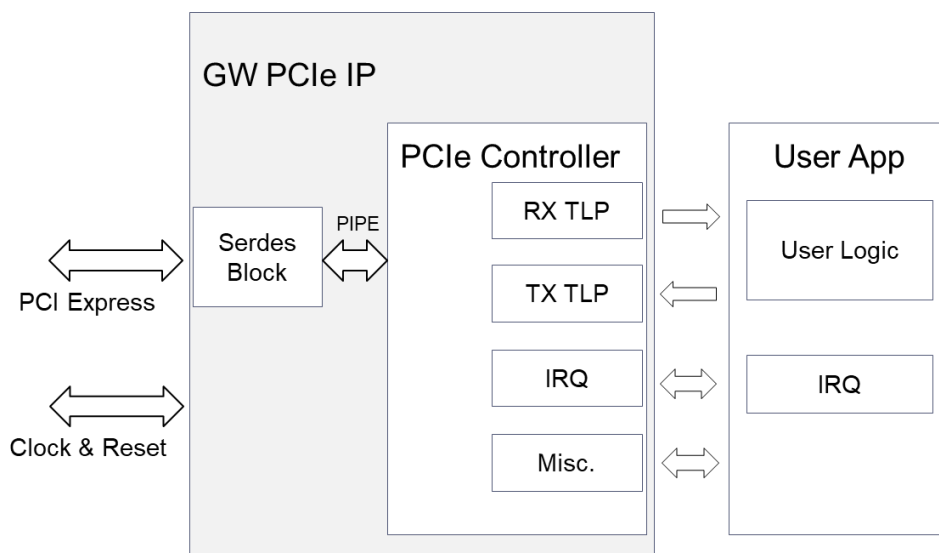
このコントローラは、Gowin の **12G Serdes** ブロックを物理層として使用し、外部の **PCIe** ホストまたはデバイスとデータのやり取りを実現します。

PCIe コントローラは、トランザクション層、データリンク層、MAC の全機能を提供します。

ユーザーロジック側では、**PCIe** コントローラは、データおよび一般的なコマンド転送のための **TLP** 受信および送信インターフェースを提供します。

コントローラは、**MSI** などの割り込みモードをサポートします。

図 2-1 PCIe コントローラのブロック図



3 PCI Express Controller の詳細

本章では、PCIe コントローラのポートについて説明します。本章では、ユーザーが PCIe コントローラを実際のアプリケーションでインスタンス化できるよう、コントローラのポートを機能別に物理層インターフェース、トランザクション層インターフェース、割り込みインターフェース、構成インターフェースに分類して解説します。

3.1 物理層インターフェース

アプリケーションで使用される PCIe コントローラの Lane 数(x1、x2、x4)に応じて、Pinout マニュアルに従って特定の IO ピンと固定の lane シーケンスを採用する必要があります。PCIE では、X1 の際に固定で Q0 Lane0 または Q1 Lane0 が使用されます。Q0(または Q1) Ref0 はリファレンス・クロック入力で、その周波数は 100MHz です。

3.2 クロックとリセット

表 3-1 Gowin PCI Express Controller IP のクロックとリセット

ポート	I/O	説明
pcie_tl_clk_i	入力	PCIe TLP ユーザークロック
pcie_tl_rst_i	入力	PCIe TLP ユーザーリセット

3.3 トランザクション層インターフェース

3.3.1 TLP 受信インターフェース

表 3-2 Gowin PCI Express Controller IP の受信ポート

ポート	I/O	説明
pcie_tl_rx_sop_o	出力	TLPの受信開始。TLPの最初の packets を示します。
pcie_tl_rx_eop_o	出力	TLPの受信終了。TLPの最後の packets を示しま

ポート	I/O	説明
		す。
pcie_tl_rx_data_o [255:0]	出力	受信データ。デフォルトの幅は256ビットです。
pcie_tl_rx_valid_o [7:0]	出力	受信データ有効フラグ。各ビットはDwordsが有効か否かに対応しています。ビット7はpcie_tl_rx_data[255:224]に、.....、ビット0はpcie_tl_rx_data[31:0]に対応します。
pcie_tl_rx_bardec_o [5:0]	出力	受信TLPのターゲットBARデコーディング信号。 この信号は、受信データがどの機能チャネルに対応するかを示します(表3-3)。
pcie_tl_rx_err_o[7:0]	出力	受信データエラー信号。 Bit 0 : ECRC Error。 Bit 1 : Invalid TLP。次の2つの場合があります : TLPがRXバッファで不正とマークされた。TLPのペイロードサイズが実際の受信データと一致しない。 Bit 2 : RXバッファ読み出しエラー Bit 3 : RX Configパケット Bit 4 : TLP形式がサポートされていない Bit 5 : ACS Violation Bits 7:6 : reserved
pcie_tl_rx_wait_i	入力	受信待機信号。RXバッファがデータを受信する準備ができていないことを示します。
pcie_tl_rx_masknp_i	入力	Non-posted TLPマスク信号。この信号がHighにされると、現在のTLP転送が終了した後、コントローラが後続のnon-posted TLPの受信を停止することになります。

表 3-3 受信データが対応する機能チャネル

Bit	BAR
0	BAR0
1	BAR1 ^[1]
2	BAR2
3	BAR3 ^[1]
4	BAR4
5	BAR5 ^[1]

注記：

[1] : BAR0 が 64bit の場合、Bit1 は無効、BAR2 が 64bit の場合、Bit3 は無効、BAR4 が 64bit の場合、Bit5 は無効となります。

3.3.2 受信インターフェースのタイミング

TLP の受信タイミングを図 3-1 に示します。下図は、ヘッダー長が 4DWORD、ペイロード長が 15DWORD、ターゲットが BAR0 の TLP データ受信のタイミングを示します。受信中は `pcie_tl_rx_wait` 信号が 1 にされた場合があります。

図 3-1 TLP の受信タイミング

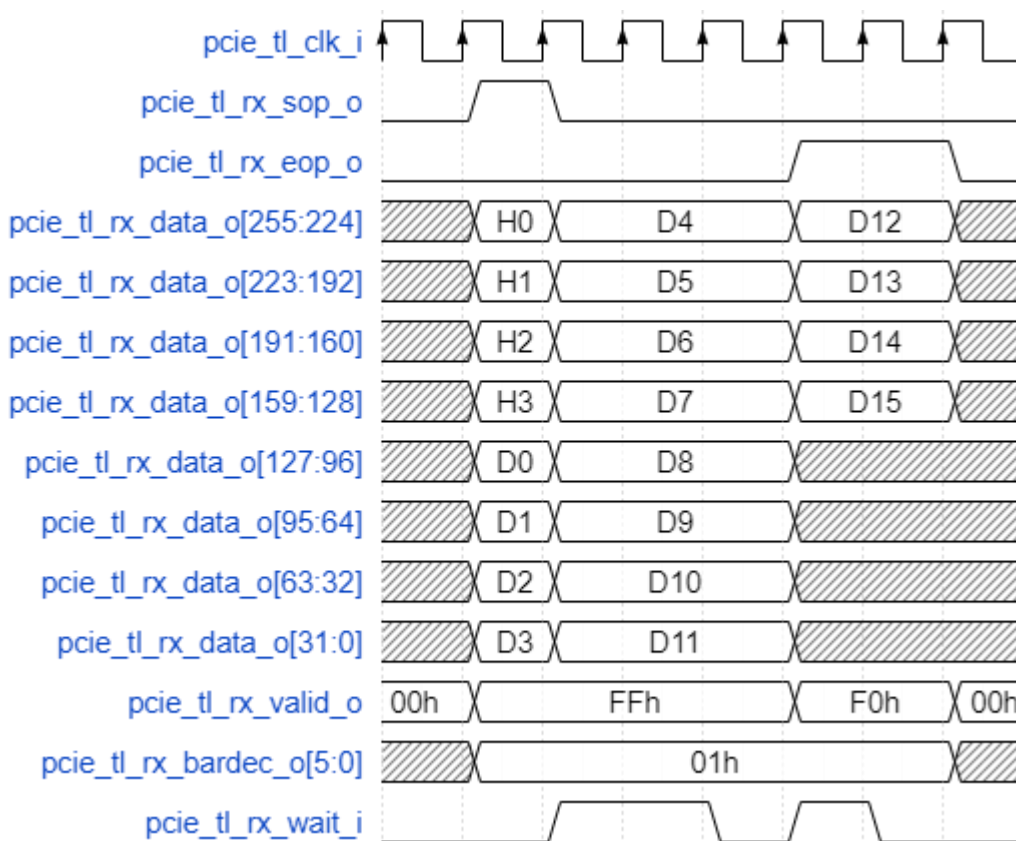
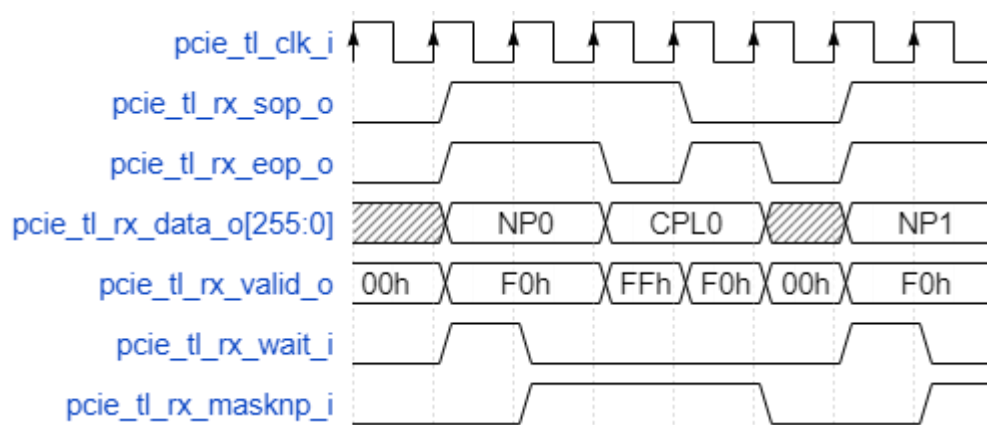


図 3-2 は Non-posted TLP の受信タイミングです。TLP 受信中、`pcie_tl_rx_wait_i` は 1 クロックサイクル分 1 にされています。最初の TLP の受信時、`pcie_tl_rx_masknp_i` は 1 にされたため、コントローラはその後の non-posted TLP を受信せず、Completion TLP のみを受信ようになります。コントローラは、`pcie_tl_rx_masknp_i` が low になるまで、Non-posted TLP の受信を再開しません。

図 3-2 Non-posted TLP の受信タイミング



3.3.3 TLP の送信インターフェース

表 3-4 Gowin PCI Express Controller IP の送信ポート

ポート	I/O	説明
pcie_tl_tx_sop_i	入力	TLPの送信開始。TLPの最初のパケットはを示します。
pcie_tl_tx_eop_i	入力	TLPの送信終了。TLPの最後のパケットはを示します。
pcie_tl_tx_data_i[255:0]	入力	送信データ。
pcie_tl_tx_valid_i[7:0]	入力	送信データ有効信号。各ビットはDwordsが有効か否かに対応しています。ビット7は pcie_tl_tx_data[255:224] に、.....、ビット0は pcie_tl_tx_data[31:0] に対応します。
pcie_tl_tx_wait_o	出力	送信待機信号。TXバッファがデータを送信する準備ができていないことを示します。

3.3.4 送信インターフェースのタイミング

図 3-3、図 3-4、図 3-5 は、TLP 送信中に **pcie_tl_tx_wait_o** が high になった場合の制御タイミングを示します。コントローラに TLP 送信のための十分な空間がない場合、**pcie_tl_tx_wait_o** は high にプルアップされます。有効な TLP 送信は、**pcie_tl_tx_wait_o** 信号が 0 の時にのみコントローラによって認識されます。

図 3-3 pcie_tl_tx_wait_i と送信制御のタイミングの例(その 1)

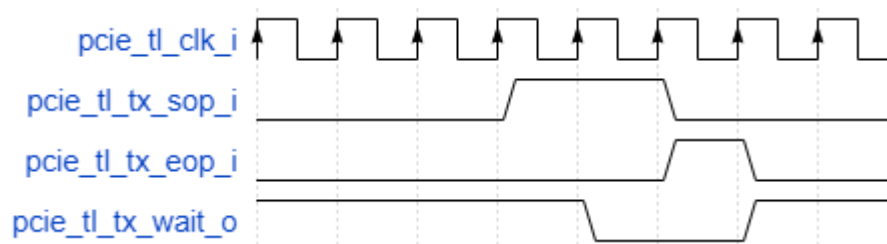


図 3-4 pcie_tl_tx_wait_i と送信制御のタイミングの例(その 2)

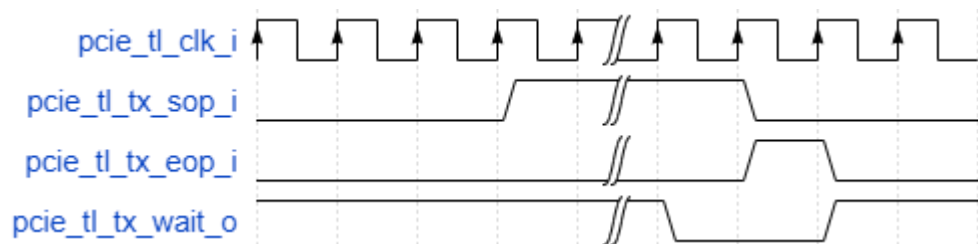
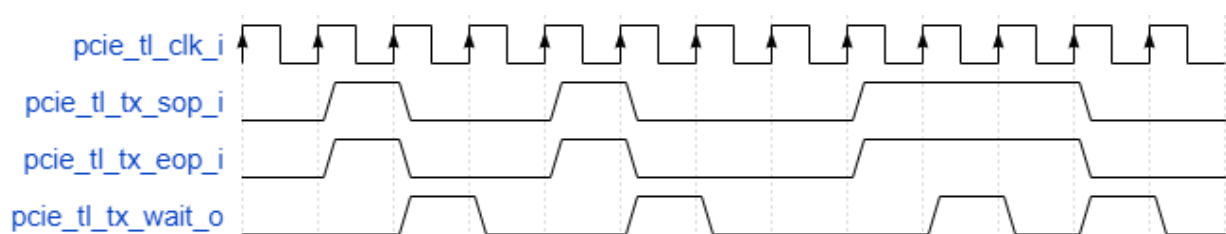
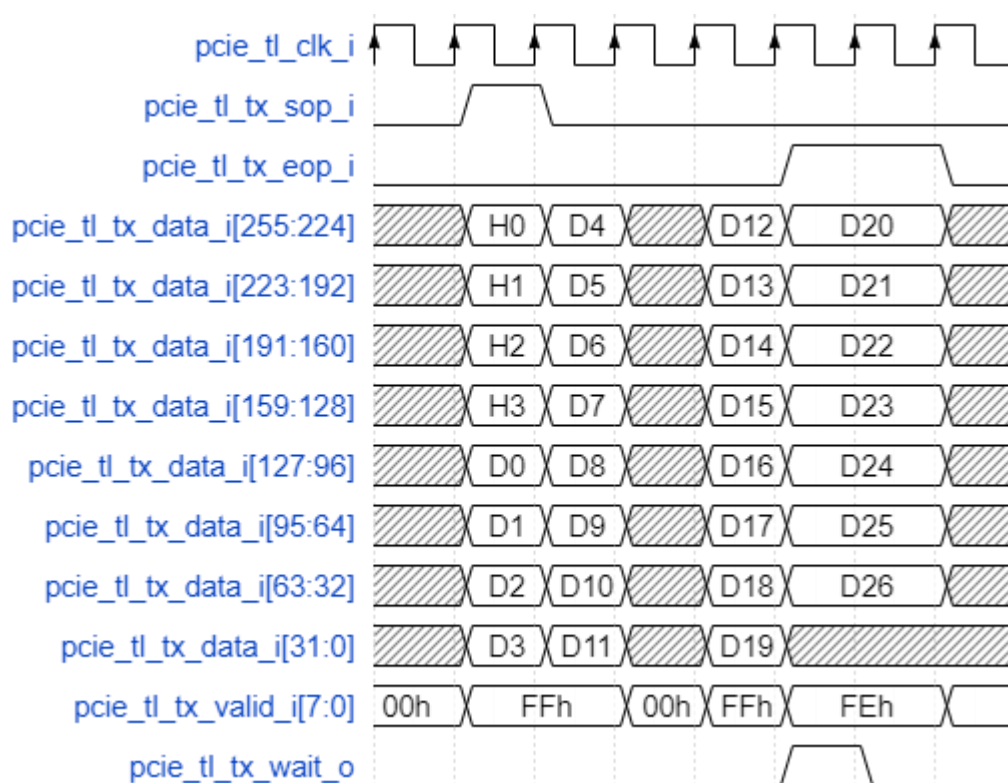


図 3-5 pcie_tl_tx_wait_i と送信制御のタイミングの例(その 3)



TLP 送信の完全なタイミングを図 3-6 に示します。下図は、ヘッダー長が 4DW、ペイロード長が 27DW の送信制御のタイミングを示します。コントローラは、`pcie_tl_tx_valid_i` と `pcie_tl_tx_wait_o` によって有効な送信データを認識します。

図 3-6 TLP の送信制御タイミングの例



3.4 割り込みインターフェース

表 3-5 Gowin PCIe Controller IP の割り込みインターフェース

パラメータ	I/O	説明
pcie_tl_int_status_i	入力	物理機能割り込み状態
pcie_tl_int_req_i	入力	割り込み要求信号。1クロックサイクルの間highにすることで有効な割り込み要求が出されます。ユーザー側は次の割り込み要求を出す前にpcie_tl_int_ack信号がhighになるのを待つ必要があります。
pcie_tl_int_msinum_i[4:0]	入力	MSI割り込み番号。割り込み要求が対応するMSI番号です。MSI割り込みが有効にされていない場合、この信号を0にする必要があります。
pcie_tl_int_ack_o	出力	割り込み応答信号。有効なpcie_tl_int_req要求がコントローラによって受信されたことを示します。

3.4.1 割り込みインターフェースのタイミング

割り込み制御のタイミングを図 3-7 に示します。物理機能の割り込みを有効にする必要がある場合、ユーザーは `pcie_tl_int_status_i` 信号を High にプルアップし、`pcie_tl_int_req_i` 信号と `pcie_tl_int_msinum_i` 信号を同時に送信します。最初の割り込み要求が送信されてコントローラからの `pcie_tl_int_ack_o` 応答が返された後でのみ、2 番目の割り込み要求を送信することができます。アプリケーションが必要とするすべての割り込み要求の送信と応答が完了した後、`pcie_tl_int_status_i` 信号が Low にプルダウンされ、割り込みはクリアされます。

図 3-7 シングル割り込み制御タイミング

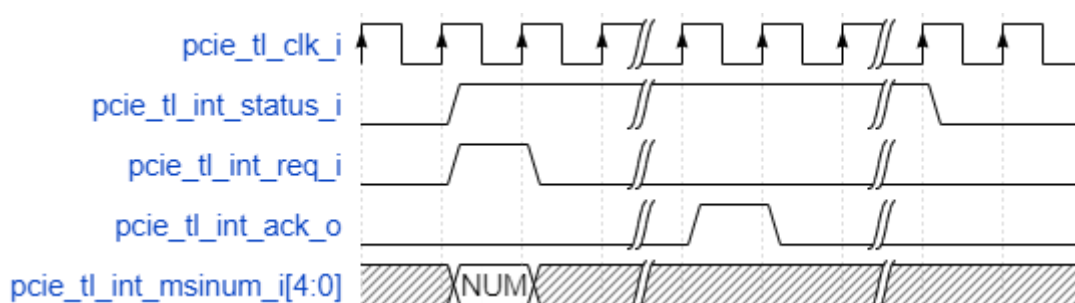
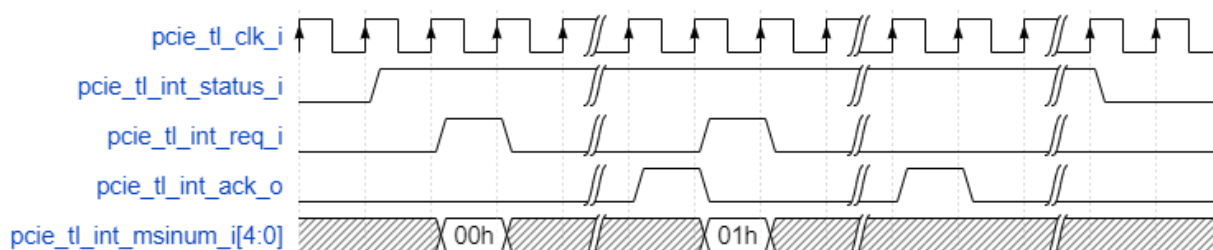


図 3-8 マルチ割り込み制御タイミング



3.5 コントローラ状態インターフェース

表 3-6 Gowin PCIe Controller IP コントローラ状態ポート

パラメータ	I/O	説明
ltssm_o[4:0]	出力	LTSSM状態。 ● 00h: detect.quiet ● 01h: detect.active ● 02h: polling.active ● 03h: polling.compliance ● 04h: polling.configuration ● 05h: config.linkwidthstart ● 06h: config.linkwidthaccept ● 07h: config.lanenumwait

パラメータ	I/O	説明
		● 08h: config.lanenumaccept ● 09h: config.complete ● 0Ah: config.idle ● 0Bh: recovery.receiverlock ● 0Ch: recovery.equalization ● 0Dh: recovery.speed ● 0Eh: recovery.receiverconfig ● 0Fh: recovery.idle ● 10h: L0 ● 11h: L0s ● 12h: L1.entry ● 13h: L1.idle ● 14h: L2.idle/L2.transmitwake ● 15h: reserved ● 16h: disable ● 17h: loopback.entry ● 18h: loopback.active ● 19h: loopback.exit ● 1Ah: hotreset
pcie_tl_tx_creditsp_o[31:0]	出力	Posted TLPのflow control credit数。 [14:0] : 有効データのcredit数 [26:16] : 有効headerのcredit数 [31] : 最大ペイロードサイズを持つTLPを送信するのに十分なcreditがあります。
pcie_tl_tx_creditsnp_o[31:0]	出力	Non-Posted TLPのflow control credit数。 [14:0] : 有効データのcredit数 [26:16] : 有効headerのcredit数 [31] : 最大ペイロードサイズを持つTLPを送信するのに十分なcreditがあります。
pcie_tl_tx_creditscpl_o[31:0]	出力	Completion TLPのflow control credit数。 [14:0] : 有効データのcredit数 [26:16] : 有効headerのcredit数 [31] : 最大ペイロードサイズを持つTLPを送信するのに十分なcreditがあります。
pcie_tl_cfg_busdev_o[12:0]	出力	PCIeデバイスのBus NumberとDevice Number情報。 [12:5] : Bus Number [4:0] : Device Number

4 PCI Express Controller の呼び出しと構成

Gowin ソフトウェア GUI のメニューバー > Tools > IP Core Generator を通じて IP を呼び出し・構成することができます。

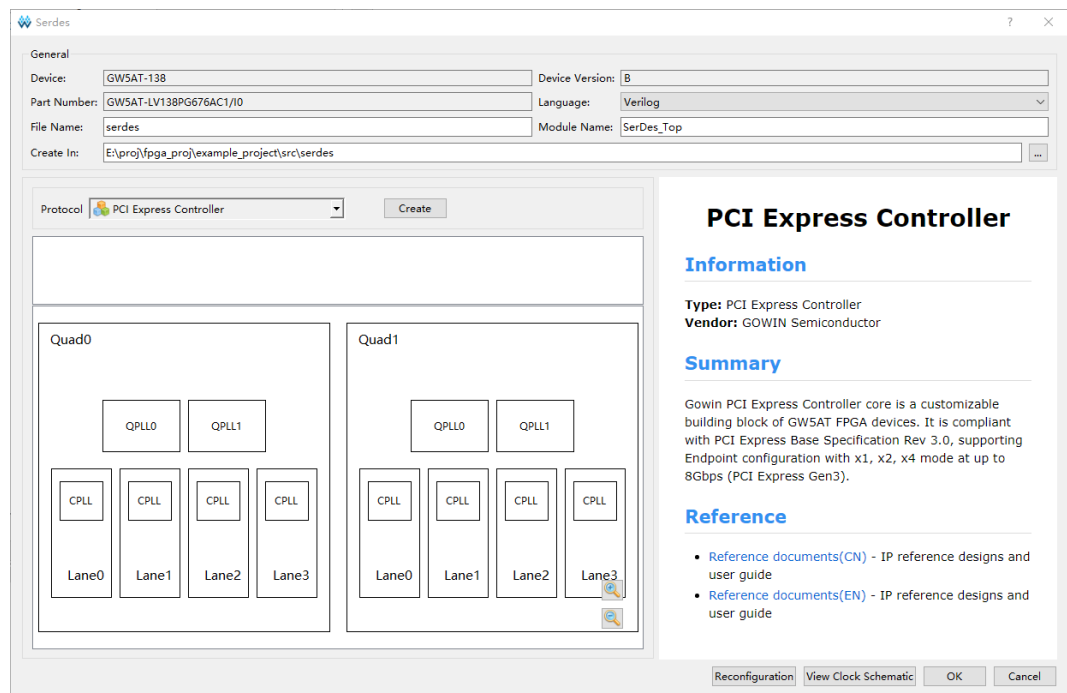
4.1 SerDes IP の構成画面

プロジェクトが作成された後、Tools > IP Core Generator をクリックして、IP コア生成ツールを開きます(図 4-1)。「Soft IP Core > SerDes」をダブルクリックして SerDes IP の構成画面を開きます(図 4-2)。

図 4-1 IP Core Generator の画面



図 4-2 SerDes IP の構成画面 1



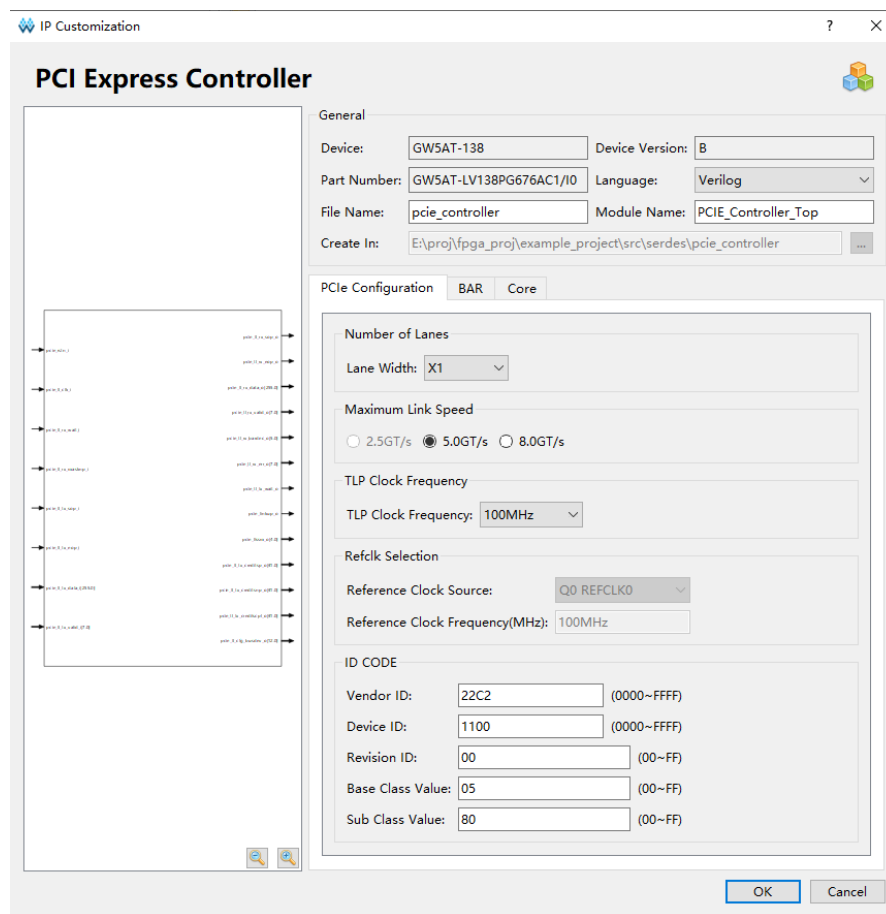
SerDes IP の構成画面では、「File Name」フィールドに SerDes IP のファイル名を入力し、「Module Name」フィールドに SerDes IP のトップ・モジュールの名前を入力します。「Protocol」ドロップダウン・リストから、希望するプロトコルを選択することができます。

「PCI Express Controller」を選択して「Create」ボタンをクリックすると、PCI Express Controller IP の構成画面が開きます(図 4-3)。

4.2 PCI Express Controller の構成画面

PCI Express Controller の構成画面は図 4-3 に示すとおりです。左側は、IP のポート図で、右側は、IP の構成可能なオプションです。「File Name」フィールドに IP のファイル名を入力し、「Module Name」フィールドに IP のトップ・モジュールの名前を入力します。

図 4-3 PCI Express Controller の IP の構成画面



4.3 PCI Express Controller の構成オプション

PCI Express Controller IP の構成画面には、以下の 3 つのタブがあります：

- では、PCIe コントローラの動作速度、レーン数、デバイス ID などの基本的なパラメータを構成できます。
- では、PCIe の BAR を構成でき、例えば BAR0～BAR5 の空間のサイズと、対応する IO と Memory の属性を構成できます。
- では、Max Payload Sizeなどを構成できます。

PCI Express Controller の基本構成

図 4-4 PCI Express Controller の基本構成画面

PCIe Configuration BAR Core

Number of Lanes

Lane Width: X1

Maximum Link Speed

☐ 2.5GT/s ☒ 5.0GT/s ☐ 8.0GT/s

TLP Clock Frequency

TLP Clock Frequency: 100MHz

Refclk Selection

Reference Clock Source: Q0 REFCLK0

Reference Clock Frequency(MHz): 100MHz

ID CODE

Vendor ID: 22C2 (0000~FFFF)

Device ID: 1100 (0000~FFFF)

Revision ID: 00 (00~FF)

Base Class Value: 05 (00~FF)

Sub Class Value: 80 (00~FF)

PCIe の基本構成は図 4-4 に示すとおりです。

- Lane Width : レーン数。x1、x2、x4 が利用可能です。
- Maximum Link Speed : 最大 8GT/s(PCIe 3.0 に対応)。デフォルトでは 5GT/s(PCIe 2.0 に対応)。
- TLP Clock Frequency : TLP 層で使用するユーザークロックに対応します。ユーザーロジックから PCIe コントローラに入力されます。ここでは、実際に構成されたクロック周波数を選択する必要があります。100MHz/125MHz/150MHz を選択します。
- Vendor ID : PCIe レジスタ空間の Vendor ID を構成します。デフォルト値 22C2h は Gowin セミコンダクターの Vendor ID です。
- Device ID : Device ID を構成します。
- Revision ID : Revision ID を構成します。
- Base Class Value : Base Class Value を構成します。
- Sub Class Value : Sub Class Value を構成します。

PCI Express Controller の BAR の構成

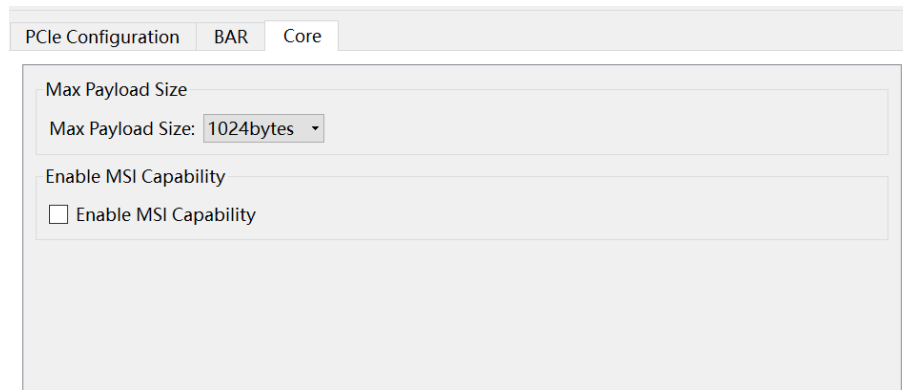
図 4-5 PCI Express Controller の BAR の構成画面

ユーザーはこのタブで **BAR** 空間のアプリケーション情報を構成することができます。Gowin の **PCIe** コントローラは、**BAR0**～**BAR5** の柔軟な構成をサポートしています。

- **BAR Enable** : **BAR** 空間を有効にします。
- **64 bit** : 64bit のアドレス空間はオプションです。チェックすると、アドレス空間を共有するために、最も近い **BAR** 空間は同時に占有されます。
- **Prefetchable** : Pre-fetch オプション。64bit アドレス空間の有効時のみ有効です。
- **Size** : **BAR** 構成空間のサイズを選択します。最大 1M バイトまでサポートされます。

PCI Express Controller Core の構成

図 4-6 PCI Express Controller の Core の構成画面

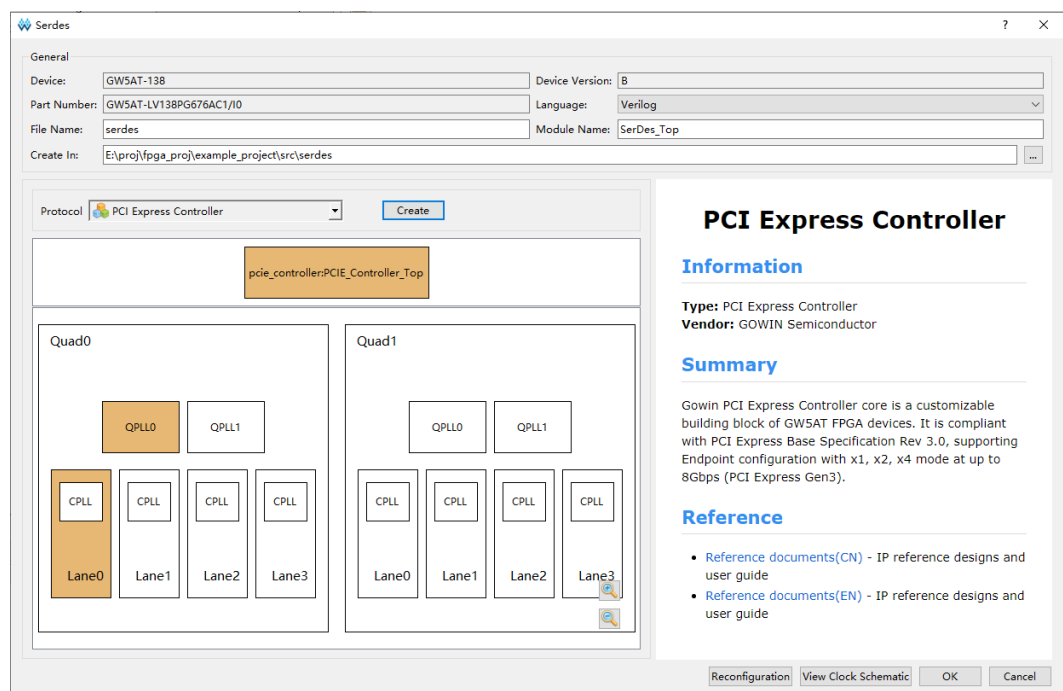


このタブでは、PCIe Core 関連機能のアプリケーション情報を構成することができます。

- **Max Payload Size** : PCIe コントローラは、最大 4K バイトのペイロードサイズをサポートします。128 Bytes/256 Bytes/512 Bytes/1024 Bytes/2048 Bytes /4096 Bytes、ドロップダウンメニューから選択可能です。
- **MSI Capabilities** : MSI 割り込みインターフェースを有効/無効にします。

4.4 PCI Express Controller IP の生成とインスタンス化

図 4-7 SerDes IP の構成画面 2



PCI Express Controller の 3 つの構成ページを構成した後、「OK」ボタンをクリックして IP の構成を完了します(図 4-7)。この画面には、図 4-2 に比べて、QPLL とレーンの占有情報が追加されています。

SerDes IP 構成画面で「OK」ボタンをクリックすると、最終的な PCI Express Controller と SerDes IP が生成されます。下図は、Verilog でのインスタンス化用のテンプレートです。

図 4-8 SerDes - PCI Express Controller IP のインスタンス化

```

10 //Change the instance name and port connections to the signal names
11 //-----Copy here to design-----
12
13 SerDes_Top your_instance_name (
14     .PCIE_Controller_Top_pcie_tl_rx_sop_o(PCIE_Controller_Top_pcie_tl_rx_sop_o), //output PCIE_Controller_Top_pcie_tl_rx_sop_o
15     .PCIE_Controller_Top_pcie_tl_rx_eop_o(PCIE_Controller_Top_pcie_tl_rx_eop_o), //output PCIE_Controller_Top_pcie_tl_rx_eop_o
16     .PCIE_Controller_Top_pcie_tl_rx_data_o(PCIE_Controller_Top_pcie_tl_rx_data_o), //output [255:0] PCIE_Controller_Top_pcie_tl_rx_data_o
17     .PCIE_Controller_Top_pcie_tl_rx_valid_o(PCIE_Controller_Top_pcie_tl_rx_valid_o), //output [7:0] PCIE_Controller_Top_pcie_tl_rx_valid_o
18     .PCIE_Controller_Top_pcie_tl_rx_bardec_o(PCIE_Controller_Top_pcie_tl_rx_bardec_o), //output [5:0] PCIE_Controller_Top_pcie_tl_rx_bardec_o
19     .PCIE_Controller_Top_pcie_tl_rx_err_o(PCIE_Controller_Top_pcie_tl_rx_err_o), //output [7:0] PCIE_Controller_Top_pcie_tl_rx_err_o
20     .PCIE_Controller_Top_pcie_tl_tx_wait_o(PCIE_Controller_Top_pcie_tl_tx_wait_o), //output PCIE_Controller_Top_pcie_tl_tx_wait_o
21     .PCIE_Controller_Top_pcie_tl_int_ack_o(PCIE_Controller_Top_pcie_tl_int_ack_o), //output PCIE_Controller_Top_pcie_tl_int_ack_o
22     .PCIE_Controller_Top_pcie_tl_tssm_o(PCIE_Controller_Top_pcie_tl_tssm_o), //output [4:0] PCIE_Controller_Top_pcie_tl_tssm_o
23     .PCIE_Controller_Top_pcie_tl_tx_creditssp_o(PCIE_Controller_Top_pcie_tl_tx_creditssp_o), //output [31:0] PCIE_Controller_Top_pcie_tl_tx_creditssp_o
24     .PCIE_Controller_Top_pcie_tl_tx_creditscpl_o(PCIE_Controller_Top_pcie_tl_tx_creditscpl_o), //output [31:0] PCIE_Controller_Top_pcie_tl_tx_creditscpl_o
25     .PCIE_Controller_Top_pcie_tl_cfg_busdev_o(PCIE_Controller_Top_pcie_tl_cfg_busdev_o), //output [12:0] PCIE_Controller_Top_pcie_tl_cfg_busdev_o
26     .PCIE_Controller_Top_pcie_linkup_o(PCIE_Controller_Top_pcie_linkup_o), //output PCIE_Controller_Top_pcie_linkup_o
27     .PCIE_Controller_Top_pcie_rstn_i(PCIE_Controller_Top_pcie_rstn_i), //input PCIE_Controller_Top_pcie_rstn_i
28     .PCIE_Controller_Top_pcie_clk_i(PCIE_Controller_Top_pcie_clk_i), //input PCIE_Controller_Top_pcie_clk_i
29     .PCIE_Controller_Top_pcie_tl_rx_wait_i(PCIE_Controller_Top_pcie_tl_rx_wait_i), //input PCIE_Controller_Top_pcie_tl_rx_wait_i
30     .PCIE_Controller_Top_pcie_tl_rx_masknp_i(PCIE_Controller_Top_pcie_tl_rx_masknp_i), //input PCIE_Controller_Top_pcie_tl_rx_masknp_i
31     .PCIE_Controller_Top_pcie_tl_tx_sop_i(PCIE_Controller_Top_pcie_tl_tx_sop_i), //input PCIE_Controller_Top_pcie_tl_tx_sop_i
32     .PCIE_Controller_Top_pcie_tl_tx_eop_i(PCIE_Controller_Top_pcie_tl_tx_eop_i), //input PCIE_Controller_Top_pcie_tl_tx_eop_i
33     .PCIE_Controller_Top_pcie_tl_tx_data_i(PCIE_Controller_Top_pcie_tl_tx_data_i), //input [255:0] PCIE_Controller_Top_pcie_tl_tx_data_i
34     .PCIE_Controller_Top_pcie_tl_tx_valid_i(PCIE_Controller_Top_pcie_tl_tx_valid_i), //input [7:0] PCIE_Controller_Top_pcie_tl_tx_valid_i
35     .PCIE_Controller_Top_pcie_tl_int_status_i(PCIE_Controller_Top_pcie_tl_int_status_i), //input PCIE_Controller_Top_pcie_tl_int_status_i
36     .PCIE_Controller_Top_pcie_tl_int_req_i(PCIE_Controller_Top_pcie_tl_int_req_i), //input PCIE_Controller_Top_pcie_tl_int_req_i
37     .PCIE_Controller_Top_pcie_tl_int_msinum_i(PCIE_Controller_Top_pcie_tl_int_msinum_i) //input [4:0] PCIE_Controller_Top_pcie_tl_int_msinum_i
38 );
39
40

```

付録 A PCIe 構成レジスタの情報

表 A-1 PCIe Capability

31:24	23:16	15:8	7:0	Byte Offset
Capabilities Register		Net Cap PTR	Capability ID	080h
Device Capabilities				084h
Device Status		Device Control		088h
Link Capabilities				08Ch
Link Status		Link Control		090h
Slot Capabilities				094h
Slot Status		Slot Control		098h
Root Capabilities		Root Control		09Ch
Root Status				0A0h
Device Capabilities 2				0A4h
Device Status 2		Device Control 2		0A8h
Link Capabilities				0ACh
Link Status		Link Control		0B0h
Slot Capabilities				0B4h
Slot Status		Slot Control		0B8h

