



Gowin JESD204B IP ユーザーガイド

IPUG1019-1.2.1J, 2024-10-25

著作権について(2024)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云  及び Gowin は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI 取引条件) に規定されている内容を除き、(明示的か又は黙示的かに拘わらず) いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ (不具合情報) については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2023/05/25	1.0J	初版。
2023/06/30	1.1J	最大 8 レーンをサポートするように更新。
2024/04/19	1.2J	● 「JESD204B Core Configuration」 タブに「Fix Concig Enable」オプションを追加。 ● 「PHY Configuration」 タブに「PCS WIDTH」オプションを追加。 ● 「AFE」 タブを追加。 ● 「Optional Ports Configuration」 タブを追加。
2024/10/25	1.2.1J	GW5AT-60 デバイスのサポートを追加。

目次

目次	i
図一覧	iv
表一覧	v
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	1
1.4 テクニカル・サポートとフィードバック	2
2 機能の紹介	3
2.1 概要	3
2.2 主な特徴	3
2.3 リソース使用量	4
3 機能の説明	5
3.1 ブロック図	5
3.1.1 トランスミッター	5
3.1.2 レシーバー	6
3.2 ポート一覧	7
3.2.1 TX コア・インターフェース	7
3.2.2 RX コア・インターフェース	12
3.2.3 DRP (Dynamic Reconfiguration Port)インターフェース	15
3.3 インターフェースのタイミング	17
3.3.1 TX コア・インターフェースのタイミング	17
3.3.2 RX コア・インターフェースのタイミング	17
3.3.3 DRP インターフェースのタイミング	18
3.4 各レジスタの説明	19
4 デザインの説明	31
4.1 ラインレート	31
4.2 クロック	31

4.2.1 コアクロック (core clk)	31
4.2.2 リファレンス・クロック	31
4.2.3 コンフィギュレーション・クロック (cfg clk)	32
4.2.4 SerDes PCS クロック	32
4.2.5 一般的なクロッキング方式.....	32
4.3 リセット.....	33
4.3.1 バス・リセット・ポート	33
4.3.2 ピンによるコアロジックのリセット	33
4.3.3 レジスタによるコアロジックのリセット.....	33
4.3.4 SerDes 関連のリセット.....	33
4.3.5 リセットの手順.....	33
4.4 サブクラス	34
4.5 SYSREF	34
4.5.1 SYSREF のタイミング	34
4.5.2 SYSREF Always	35
4.5.3 初期リンク立ち上げ時の SYSREF	35
4.5.4 リンク再同期化時の SYSREF	35
4.5.5 SYSREF Delay	36
4.6 最小確定レイテンシのサポート	36
4.7 リンク・テスト・モード	37
4.7.1 連続 K28.5 文字	37
4.7.2 連続 ILA シーケンス.....	37
4.7.3 連続 D21.5 文字	38
4.7.4 RPAT シーケンス	38
4.7.5 JSPAT シーケンス	38
4.8 リアルタイム構成	38
4.9 データインターフェース	39
5 GUI での構成.....	40
6 リファレンス・デザイン	47
6.1 アプリケーション	47
6.2 リファレンス・デザイン	48
6.2.1 ハードウェア・プラットフォーム.....	48
6.2.2 原理図	49
6.2.3 バスプロトコルとアドレス計画	50
6.3 ボードレベル・テスト.....	53
6.3.1 操作の説明	53
6.3.2 操作手順.....	53

7 提供されるファイル	56
7.1 ドキュメント	56
7.2 デザインのソースコード(暗号化).....	56
7.3 リファレンス・デザイン	56

図一覧

図 3-1 トランスミッターのブロック図	5
図 3-2 レシーバーのブロック図	6
図 3-3 Gowin JESD204B IP TX のポート図	8
図 3-4 Gowin JESD204B IP RX のポート図	12
図 3-5 DRP インターフェース	16
図 3-6 コンフィギュレーション・インターフェースの書き込みタイミング図	17
図 3-7 コンフィギュレーション・インターフェースの読み出しタイミング図	17
図 3-8 F=2、K=32 の場合の送信データインターフェースのタイミング図	17
図 3-9 F=2、K=32 の場合の受信データインターフェースのタイミング図	18
図 3-10 DRP インターフェースの読み出しタイミング	18
図 3-11 DRP インターフェースの書き込みタイミング	19
図 4-1 一般的なクロッキング方式	32
図 4-2 最小確定レイテンシの実現の説明図	37
図 4-3 Data Stream インターフェースのデータフォーマット	39
図 5-1 SerDes IP を開く	40
図 5-2 JESD204B Core Configuration タブ	41
図 5-3 PHY Configuration タブ	43
図 5-4 AFE タブ	44
図 5-5 Optional Ports Configuration タブ	45
図 5-6 jesd204b:JESD204B_Top	46
図 5-7 生成されるファイル	46
図 6-1 FPGA と ADC の接続	47
図 6-2 FPGA と DAC の接続	47
図 6-3 プラットフォームのブロック図	48
図 6-4 リファレンス・デザインの原理図	49
図 6-5 UART to Bus IP のパラメータの設定(その 1)	50
図 6-6 UART to Bus IP のパラメータの設定(その 2)	51
図 6-7 命令入力プロセス	55
図 6-8 DDS データのキャプチャ	55

表一覧

表 1-1 用語、略語	1
表 2-1 Gowin JESD204B IP の概要	3
表 2-2 Gowin JESD204B IP のリソース使用量	4
表 3-1 TX コアのポートの定義	9
表 3-2 RX コアのポートの定義	13
表 3-3 DRP ポートの定義	16
表 3-4 Gowin JESD204B IP のレジスタ	19
表 3-5 Version [Offset:0x004]	20
表 3-6 Reset [Offset:0x008]	20
表 3-7 ILA Support [Offset:0x00C]	21
表 3-8 Scrambling [Offset:0x010]	21
表 3-9 SYSREF Handling [Offset:0x014]	21
表 3-10 Test Modes [Offset:0x018]	22
表 3-11 F_and_K [Offset:0x01C]	22
表 3-12 Subclass Mode [Offset:0x020]	22
表 3-13 Sync Status [Offset:0x024]	23
表 3-14 Link Error Status (Lanes 0 to 7) [Offset:0x028]	23
表 3-15 Alarm Status [Offset:0x02C]	23
表 3-16 RXBUF_DELAY (RX ONLY) [Offset:0x030]	24
表 3-17 ERR_REPORT (RX ONLY) [Offset:0x034]	24
表 3-18 LINK_DEBUG (RX ONLY) [Offset:0x038]	25
表 3-19 ERR_CLEAR [Offset:0x040]	25
表 3-20 Lane ID [Offset: lane0-0x080, lane1-0x084 lane7-0x09C]	25
表 3-21 ILA Config Data 0 [Offset: lane0-0x0C0, lane1-0x100 lane7-0x280]	25
表 3-22 ILA Config Data 1 [Offset: lane0-0x0C4, lane1-0x104 lane7-0x284]	26
表 3-23 ILA Config Data 2 [Offset: lane0-0x0C8, lane1-0x108 lane7-0x288]	26
表 3-24 ILA Config Data 3 [Offset: lane0-0x0CC, lane1-0x10C lane7-0x28C]	26
表 3-25 ILA Config Data 4 [Offset: lane0-0x0D0, lane1-0x110 lane7-0x290]	27
表 3-26 ILA Config Data 5 [Offset: lane0-0x0D4, lane1-0x114 lane7-0x294]	27

表 3-27 ILA Config Data 6 [Offset: lane0-0x0D8, lane1-0x118 lane7-0x298]	28
表 3-28 ILA Config Data 7 [Offset: lane0-0x0DC, lane1-0x11C lane7-0x29C]	28
表 3-29 Test Mode Error Count [Offset: lane0-0x0E0, lane1-0x120 lane7-0x2A0].....	29
表 3-30 Link Error Count [Offset: lane0-0x0E4, lane1-0x124 lane7-0x2A4].....	29
表 3-31 Test Mode ILA Count [Offset: lane0-0x0E8, lane1-0x128 lane7-0x2A8]	29
表 3-32 Test Mode Multiframe Count [Offset: lane0-0x0EC, lane1-0x12C . lane7-0x2AC]	30
表 3-33 Buffer Adjust [Offset: lane0-0x0F0, lane1-0x130 lane7-0x2B0].....	30
表 6-1 レジスタアドレスの定義.....	52
表 7-1 ファイル一覧.....	56
表 7-2 Gowin JESD204B IP のソースコード一覧.....	56
表 7-3 Gowin JESD204B IP RefDesign フォルダのコンテンツ一覧.....	56

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、ユーザーが Gowin JESD204B IP を使いこなせるよう、その概要、機能、呼び出しと構成、およびリファレンス・デザインなどについて説明します。本マニュアルに記載のソフトウェア GUI のスクリーンショットは、Gowin ソフトウェア 1.9.9.02 バージョンの場合のもので、ソフトウェアのアップデートにより、一部の内容が変更される場合があります。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- Gowin ソフトウェア ユーザーガイド([SUG100](#))
- IPUG1022, Gowin UART to Bus IP ユーザーガイド([IPUG1022](#))
- GW5AT シリーズ FPGA 製品データシート([DS981](#))
- GW5AST シリーズ FPGA 製品データシート([DS1104](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
APB	Advanced Peripheral Bus	周辺バス
CGS	Code Group Sync	コードグループ同期
DDS	Direct Digital Synthesizer	ダイレクト・デジタル・シンセサイザ
DRP	Dynamic Reconfiguration Port	ダイナミック・リコンフィギュレーション・ポート

用語、略語	正式名称	意味
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
ILAS	Initial Lane Alignment Sequence	初期レーン・アライメント・シーケンス
IP	Intellectual Property	設計資産
LMFC	Local Multi-Frame Clock	ローカル・マルチフレーム・クロック
SerDes	Serializer/Deserializer	シリアライザ/デシリアライザ

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2機能の紹介

2.1 概要

JESD204B は、A/D コンバータ (ADC) や D/A コンバータ (DAC) をロジックデバイスに接続するために使用される高速シリアルインターフェースです。この IP は、コードグループ同期、初期レーン・アライメント・シーケンス、ユーザーデータの出力など、JESD204B プロトコルのデータリンク層機能を実装しています。現在、この IP はサブクラス 1 のみをサポートしています。

表 2-1 Gowin JESD204B IP の概要

Gowin JESD204B IP	
ロジックリソース	表 2-2 参照。
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンス・デザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis
統合開発環境	Gowin ソフトウェア (V1.9.9.Beta-2 以降)

注記：

デバイスのサポート情報は、Gowin セミコンダクターの[ホームページ](#)で確認できます。

2.2 主な特徴

- 1 つの IP コアで最大 8 レーン(選択したデバイスの SerDes レーン数を超えてはならない)をサポート
- 初期レーン・アライメントをサポート
- ス克蘭プリング/デスクランプリングをサポート

- 各フレームは 1～256 バイトに構成可能
- 各マルチフレームは 1～32 フレームに構成可能
- サブクラス 1 をサポート
- コンフィギュレーション(構成)インターフェースは、リアルタイムのパラメータ変更をサポート
- IP コアは、TX モード、RX モード、および TX&RX モードに構成可能

2.3 リソース使用量

JESD204B IP を Verilog で実装します。パフォーマンスとリソース使用量は、使用されているデバイスの密度、スピードグレードなどにより異なる場合があります。例えば、GW5AT-138 シリーズ FPGA の場合、PCS の幅が 32 ビットのと看、JESD204B IP のリソース使用量は表 2-2 に示すようになります。

表 2-2 Gowin JESD204B IP のリソース使用量

レーン数	タイプ	リソース使用量				
		Register	LUT	ALU	BSRAM	SSRAM
1	TX & RX	2358	2633	636	1	19
2	TX & RX	4066	4634	1032	2	38
4	TX & RX	7482	8479	1826	4	76
8	TX & RX	12816	13612	3402	8	153
1	TX	822	1141	274	0	19
2	TX	1224	1800	432	0	38
4	TX	2028	3150	750	0	76
8	TX	3915	5769	1374	0	153
1	RX	1537	1506	362	1	0
2	RX	2843	2854	600	2	0
4	RX	5455	5512	1076	4	0
8	RX	8901	7668	2028	8	0

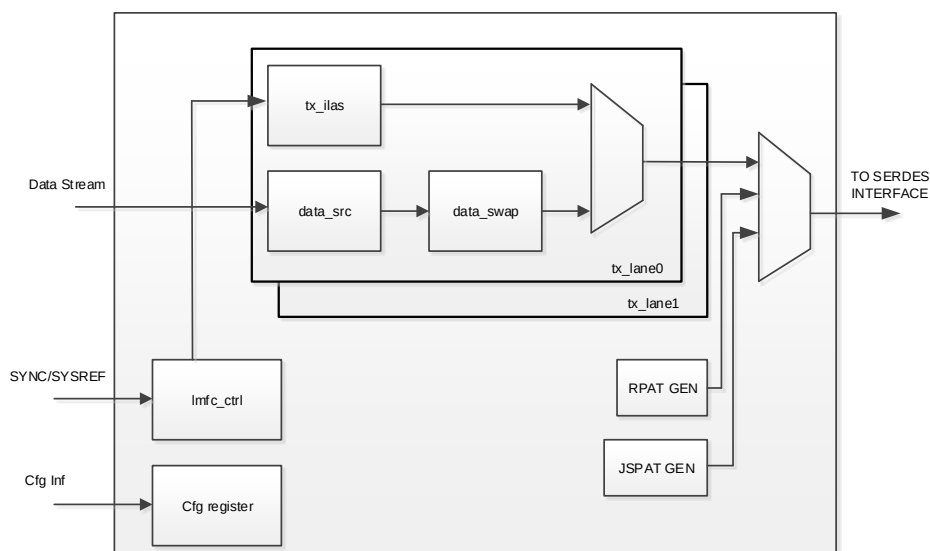
3 機能の説明

3.1 ブロック図

3.1.1 トランスミッター

JESD204B のトランスミッターの構造を図 3-1 に示します。

図 3-1 トランスミッターのブロック図



JESD204B TX コアは、構成可能なレーン数をサポートし、レーンが増えるごとに **tx_lane** モジュールが自動的に内部でインスタンス化されます。

tx_lane モジュールには以下が含まれます。

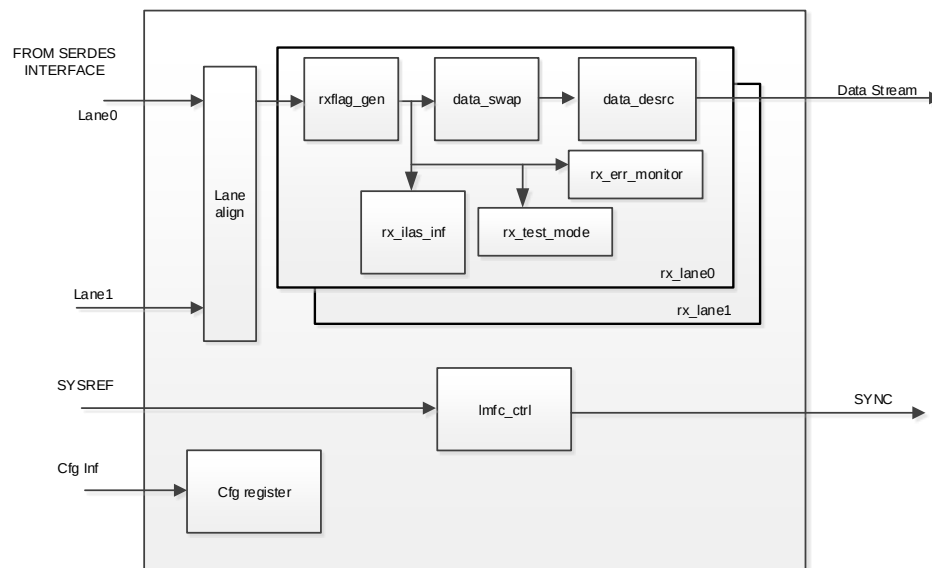
- **tx_ilas** モジュール：初期レーン・アライメント・シーケンスを生成するために使用されます
- **data_scr** モジュール：データのスクランブリングに使用されます。
- **data_swap** モジュール：特定のルールに従って、フレーム・テイルまたはマルチフレーム・テイルのバイトの置換を行うために使用されます。

- その他のモジュール：
- **RPAT** モジュール：**RPAT** シーケンスの生成に使用されます。
- **JSPAT** モジュール：**JSPAT** シーケンスの生成に使用されます。
- **tx_lmfc_ctrl** モジュール：サブクラス 1 でのローカル・マルチフレーム・クロックの生成に使用されます。
- **Cfg_register** モジュール：内部レジスタの構成と監視に使用されます。

3.1.2 レシーバー

JESD204B のレシーバーの構造を図 3-2 に示します。

図 3-2 レシーバーのブロック図



JESD204B RX コアは、構成可能なレーン数をサポートし、レーンが増えるごとに **rx_lane** モジュールが自動的に内部でインスタンス化されます。

rx_lane モジュールには以下が含まれます。

- **rxflag_en** モジュール：フレーム・ヘッダー、フレーム・テイル、マルチフレーム・ヘッダー、マルチフレーム・テイル、特殊文字の位置フラグの生成に使用されます。
- **rx_ilas_inf** モジュール：ILAS シーケンスの内容の抽出に使用されます。
- **data_swap** モジュール：特定のルールに従って、フレーム・テイルまたはマルチフレーム・テイルのバイトの置換を行うために使用されます。
- **data_descrc** モジュール：データのデスクランプリングに使用されます。
- **rx_test_mode** モジュール：テストモードで、受信した **SerDes** データのエラー数を集計するために使用されます。

- **rx_err_monitor** モジュール：通常モードで、**SerDes** データ、**ILAS** シーケンス、**data field** のエラー数を検出するために使用されます。
その他のモジュール：
- **Lane_align** モジュール：すべてのレーンのデータをバッファリングし、すべてのレーンが初期レーン・アライメント・シーケンスを受信したときにバッファを解放します。
- **tx_lmfc_ctrl** モジュール：サブクラス 1 でのローカル・マルチフレーム・クロックの生成に使用されます。
- **Cfg_register** モジュール：内部レジスタの構成と監視に使用されます。

3.2 ポート一覧

Gowin JESD204B IP の TX コアと RX コアのインターフェースは互いに独立しているため、以下で個別に紹介します。

3.2.1 TX コア・インターフェース

Gowin JESD204B IP の TX コアの IO ポートを図 3-3 に示します。

図 3-3 Gowin JESD204B IP TX のポート図

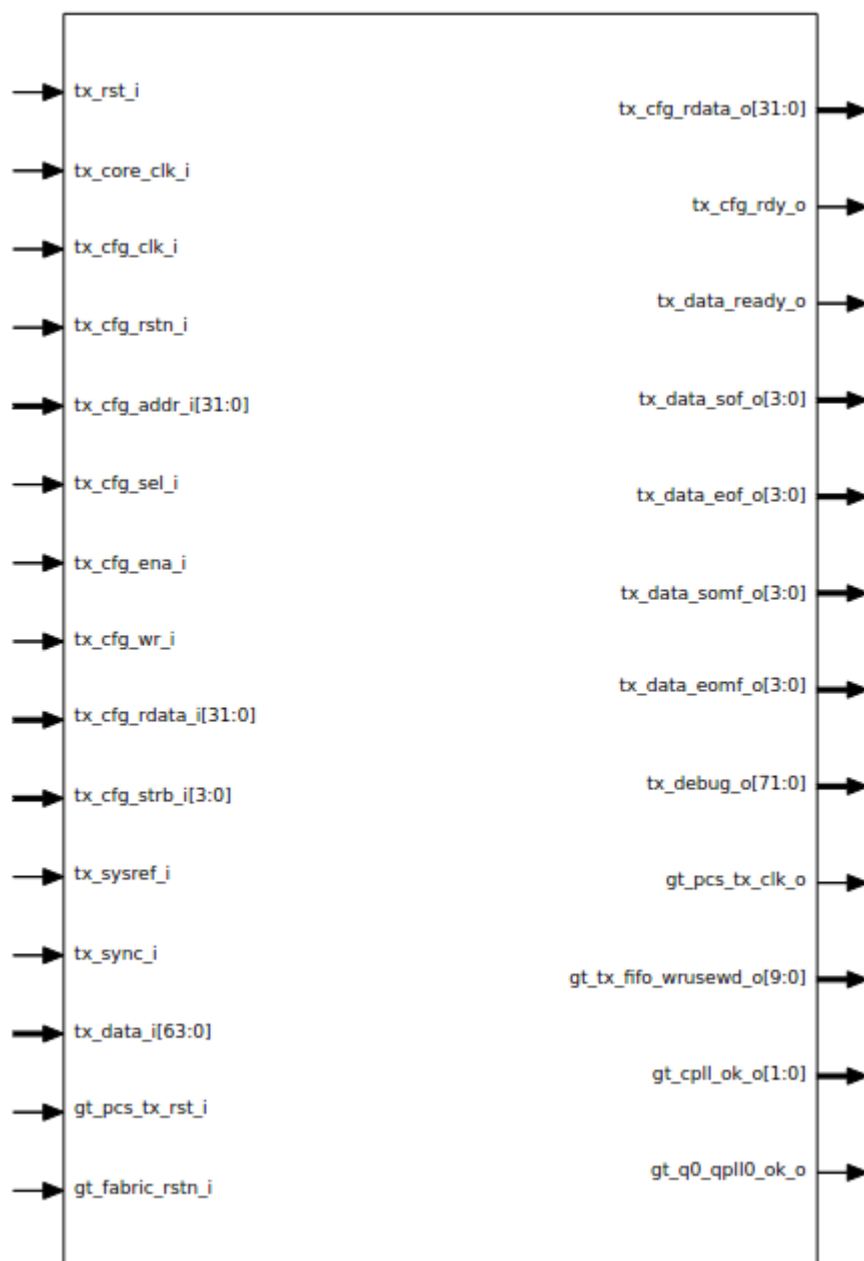


表 3-1 TX コアのポートの定義

信号名	方向	説明
tx_rst_i	IN	TX コアのリセット 1 : リセット 0 : 動作
tx_core_clk_i	IN	TX コアのクロック。周波数=ラインレート/ $Y^{[2]}/40$ 。
tx_cfg_clk_i	IN	バス構成(コンフィギュレーション)のクロック。 free-running clock 。
tx_cfg_rstn_i	IN	バス構成のリセット
tx_cfg_addr_i	IN	バス構成のアドレス
tx_cfg_sel_i	IN	バス構成の選択
tx_cfg_ena_i	IN	バス構成のイネーブル
tx_cfg_wr_i	IN	バスの方向 1 : 書き込み 0 : 読み出し
tx_cfg_rdata_o[31:0]	OUT	読み出しデータ
tx_cfg_wdata_i[31:0]	IN	書き込みデータ
tx_cfg_rdy_o	OUT	ready 信号
tx_cfg_strb_i[3:0]	IN	書き込みデータのストロブ信号 (4'hf に固定される)
tx_sysref_i	IN	SYSREF 入力。この信号はサブクラス 1 の場合に必須です。
tx_sync_n_i	IN	JESD204B では、同期信号はアクティブ Low の同期要求信号として定義されているため、この信号はコンマアライメントが完了するまで Low のままであり、ILA と通常のデータの要求時に High になります。
tx_data_ready_o	OUT	TX コアのデータ準備完了
tx_data_sof_o[4* $Y^{[2]}$ -1:0]	OUT	フレーム開始境界の表示。この $4 \times Y^{[2]}$ ビットの信号は、現在のクロックサイクルにおいてフレームの最初のバイトが tx_data のどこにあるかを示すために使用されます。例えば、$Y^{[2]} = 1$: ● tx_data_sof = 0001 の場合、フレームの最初のバイトは tx_data ワードのビット [7:0] にあり、次の 3 バイトはビット [31:8] にあります。 ● tx_data_sof = 0010 の場合、フレームの最初のバイトは tx_data ワードのビット [15:8] にあり、次の 2 バイトはビット [31:16] にあり、ビット [7:0] には前のフレームの末尾が入ります。 ● tx_data_sof = 0100 の場合、フレームの

信号名	方向	説明
		最初のバイトは tx_data ワードのビット [23:16] にあり、次のバイトはビット [31:24] にあり、ビット [15:0] には前のフレームの末尾が入ります。 ● tx_data_sof = 1000 の場合、tx_data のビット [23:0] には前のフレームの最後の 3 バイトが入り、ビット [31:24] には新しいフレームの最初のバイトが入ります。 注記： ● 1 フレームあたりのオクテット数に応じて、tx_data_sof の複数のビットを同じサイクルでアサートできます (たとえば、F = 1 の場合、tx_data_sof = 1111)。 ● $Y^{[2]} = 2$ の場合のルールは $Y^{[2]} = 1$ の場合と同じです。
tx_data_eof_o [4* $Y^{[2]} - 1:0$]	OUT	フレーム終了境界の表示。この $4 \times Y^{[2]}$ ビットの信号は、現在のクロックサイクルにおいてフレームの最後のバイトが tx_data のどこにあるかを示すために使用されます。
tx_data_somf_o [4* $Y^{[2]} - 1:0$]	OUT	マルチフレーム開始境界の表示。各マルチフレームの最初のバイトの位置は、 tx_data_eof と同じ方法でエンコードされます。
tx_data_eomf_o [4* $Y^{[2]} - 1:0$]	OUT	マルチフレーム終了境界の表示。各マルチフレームの最後のバイトの位置は、 tx_data_eof と同じ方法でエンコードされます。
tx_data_i [32* $Y^{[2]} * N^{[1]} - 1:0$]	IN	送信データ。最下位有効バイトは最初に送信されます。 tx_tdata[32* $Y^{[2]} - 1:0$] のデータはシリアルレーン 0 で送信されます。 tx_tdata[64* $Y^{[2]} - 1:32 \times Y^{[2]}$] のデータはシリアルレーン 1 で送信されます。 tx_tdata[((N + 1) * $Y^{[2]} \times 32$) - 1: (N * $Y^{[2]} \times 32$)] のデータはシリアルレーン N で送信されます。
tx_debug_o [36* $Y^{[2]} * N^{[1]} - 1:0$]	OUT	デバッグポート
SerDes 関連インターフェース		
gt_q0_qpll0_ok_o	OUT	Quad0 QPLL0 ロックの表示。この信号は、Quad0 QPLL0 が使用されている場合にのみ存在します。
gt_q0_qpll1_ok_o	OUT	Quad0 QPLL1 ロックの表示。この信号は、Quad0 QPLL1 が使用されている場合にのみ存在します。
gt_q1_qpll0_ok_o	OUT	Quad1 QPLL0 ロックの表示。この信号は、Quad1 QPLL0 が使用されている場合にのみ存在します。

信号名	方向	説明
gt_q1_qpll1_ok_o	OUT	Quad1 QPLL1 ロックの表示。この信号は、Quad1 QPLL1 が使用されている場合にのみ存在します。
gt_cppll_ok_o[N -1:0]	OUT	各レーンの CPLL ロックの表示。
gt_fabric_rstn_i	IN	コアに接続されたレーンの PMA リセット
gt_pcs_tx_clk_o	OUT	レーン PCS 送信クロック。複数レーンの場合はデフォルトで 1 レーン目の PCS 送信クロックが出力されます。
gt_pcs_tx_rst_i	IN	コアに接続されたレーンの送信 PCS のリセット
gt_tx_fifo_wrusewd_o[5*N ^[1] -1:0]	OUT	レーン送信 FIFO に書き込まれたデータ量

注記：

^[1]表中の N はレーン数を示します。

^[2]Y の値：PCS の幅が 32 ビットの場合、Y = 1 ; PCS の幅が 64 ビットの場合、Y=2。

3.2.2 RX コア・インターフェース

Gowin JESD204B IP の RX コアの IO ポートを図 3-4 に示します。

図 3-4 Gowin JESD204B IP RX のポート図

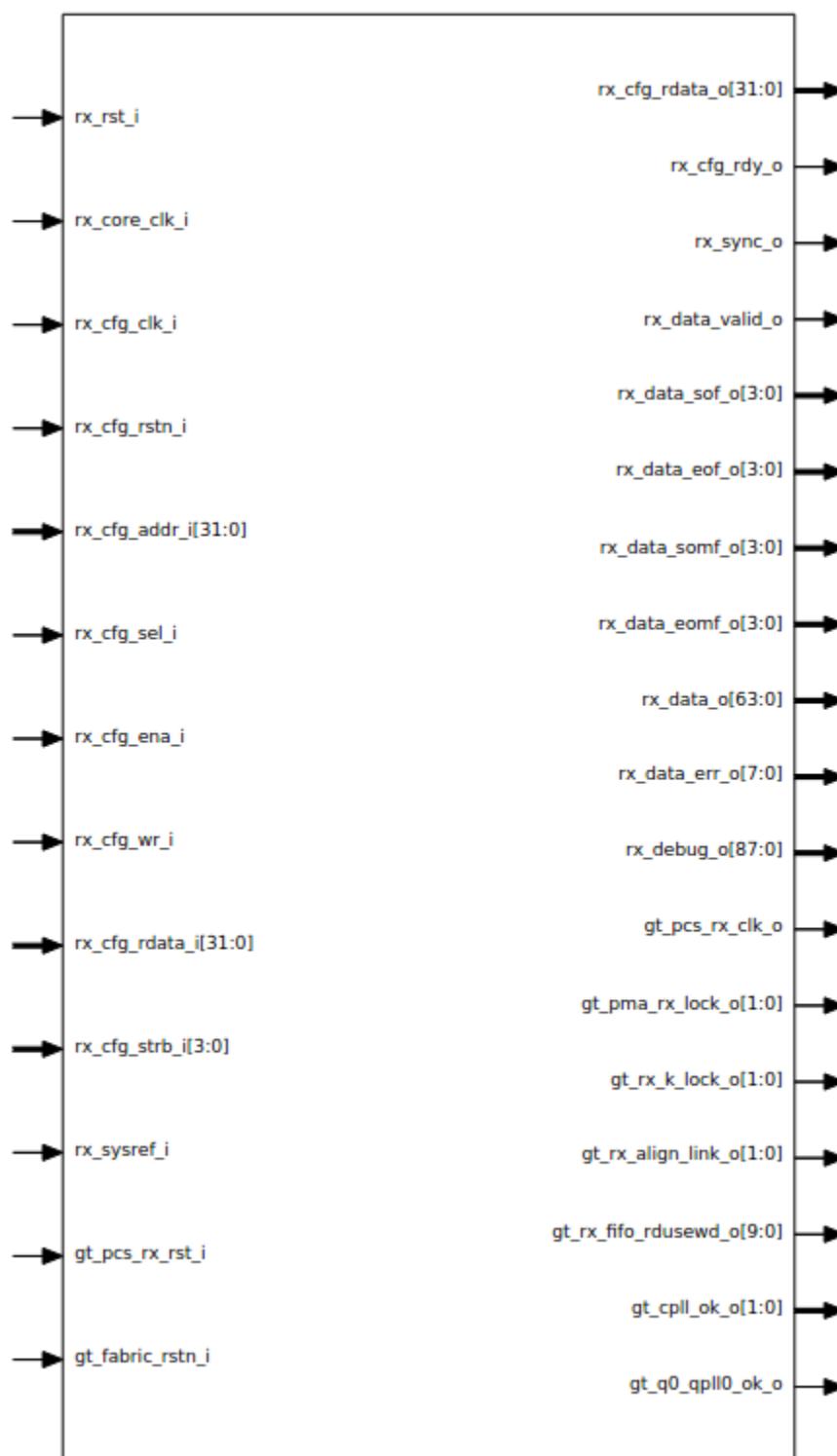


表 3-2 RX コアのポートの定義

信号名	方向	説明
rx_rst_i	IN	RXコアのリセット 1 : リセット 0 : 動作
rx_core_clk_i	IN	RXコアのクロック。周波数=ラインレート/ $Y^{[2]}/40$ 。
rx_cfg_clk_i	IN	バス構成(コンフィギュレーション)のクロック。free-running clock。
rx_cfg_rstn_i	IN	バス構成のリセット
rx_cfg_addr_i	IN	バス構成のアドレス
rx_cfg_sel_i	IN	バス構成の選択
rx_cfg_ena_i	IN	バス構成のイネーブル
rx_cfg_wr_i	IN	バスの方向 1 : 書き込み 0 : 読み出し
rx_cfg_rdata_o[31:0]	OUT	読み出しデータ
rx_cfg_wdata_i[31:0]	IN	書き込みデータ
rx_cfg_rdy_o	OUT	ready信号
rx_cfg_strb_i[3:0]	IN	書き込みデータのストローブ信号 (4'hfに固定される)。
rx_sysref_i	IN	SYSREF入力。この信号はサブクラス1の場合に必須です。
rx_sync_o	OUT	JESD204Bでは、同期信号はアクティブLowの同期要求信号として定義されているため、この信号はコンマアライメントが完了するまでLowのままであり、ILAと通常のデータの要求時にHighになります。
rx_data_valid_o	OUT	受信データの準備完了。
rx_data_sof_o [4* $Y^{[2]}$ -1:0]	OUT	フレーム開始境界の表示。この $4 \times Y^{[2]}$ ビットの信号は、現在のクロックサイクルにおいてフレームの最初のバイトがrx_dataのどこにあるかを示すために使用されます。例えば、 $Y^{[2]} = 1$: ● rx_data_sof = 0001の場合、フレームの最初のバイトはrx_dataワードのビット[7:0]にあり、次の3バイトはビット[31:8]にあります。 ● rx_data_sof = 0010の場合、フレームの最初のバイトはrx_dataワードのビット[15:8]にあり、次の2バイトはビット[31:16]にあり、ビット[7:0]には前のフレームの末尾

信号名	方向	説明
		が入ります。 ● rx_data_sof = 0100の場合、フレームの最初のバイトはrx_dataワードのビット[23:16]にあり、次のバイトはビット[31:24]にあり、ビット[15:0]には前のフレームの末尾が入ります。 ● rx_data_sof = 1000の場合、rx_dataのビット[23:0]には前のフレームの最後の3バイトが入り、ビット[31:24]には新しいフレームの最初のバイトが入ります。 注記： ● 1フレームあたりのオクテット数に応じて、rx_data_sofの複数のビットを同じサイクルでアサートできます (たとえば、F = 1の場合、rx_data_sof = 1111)。 ● $Y^{[2]} = 2$の場合のルールは$Y^{[2]} = 1$の場合と同じです。
rx_data_eof_o [4* $Y^{[2]} - 1:0$]	OUT	フレーム終了境界の表示。この4* $Y^{[2]}$ ビットの信号は、現在のクロックサイクルにおいてフレームの最後のバイトが rx_data のどこにあるかを示すために使用されます。
rx_data_somf_o [4* $Y^{[2]} - 1:0$]	OUT	マルチフレーム開始境界の表示。各マルチフレームの最初のバイトの位置は、 rx_data_sof と同じ方法でエンコードされます。
rx_data_eomf_o [4* $Y^{[2]} - 1:0$]	OUT	マルチフレーム終了境界の表示。各マルチフレームの最後のバイトの位置は、 rx_data_eof と同じ方法でエンコードされます。
rx_data_o [$N^{[1]} * Y^{[2]} - 1:0$]	OUT	受信データ。最下位有効バイトは最初に受信されます。 シリアルレーン0で受信されるデータはrx_data[32* $Y^{[2]} - 1:0$] シリアルレーン1で受信されるデータはrx_data[64* <math>Y^{[2]} - 1: 32* $Y^{[2]}$]</math> シリアルレーンNで受信されるデータはtx_tdata[((N + 1) * <math>Y^{[2]} * 32) - 1: (N * $Y^{[2]} * 32)$)]</math>
rx_data_err_o [$N^{[1]} * Y^{[2]} - 4:0$]	OUT	バイトエラーこの信号は、データストリームに1バイトのエラーがあることを示します。各ビットは rx_data_o 内のバイトに対応します。

信号名	方向	説明
rx_debug_o [44* Y ^[2] *N ^[1] -1:0]	OUT	デバッグポート
SerDes関連インターフェース		
gt_q0_qpll0_ok_o	OUT	Quad0 QPLL0ロックの表示。この信号は、Quad0 QPLL0が使用されている場合にのみ存在します。
gt_q0_qpll1_ok_o	OUT	Quad0 QPLL1ロックの表示。この信号は、Quad0 QPLL1が使用されている場合にのみ存在します。
gt_q1_qpll0_ok_o	OUT	Quad1 QPLL0ロックの表示。この信号は、Quad1 QPLL0が使用されている場合にのみ存在します。
gt_q1_qpll1_ok_o	OUT	Quad1 QPLL1ロックの表示。この信号は、Quad1 QPLL1が使用されている場合にのみ存在します。
gt_cppll_ok_o[N ^[1] -1:0]	OUT	各レーンのCPLLロックの表示。
gt_fabric_rstn_i	IN	IPコアに接続されたレーンのPMAのリセット
gt_pcs_rx_clk_o	OUT	レーンPCS受信クロック。複数レーンの場合はデフォルトで1レーン目のPCS受信クロックが出力されます。
gt_pma_rx_lock_o[N ^[1] -1:0]	OUT	レーン受信PMA層のロックの表示。1はロックを示します。
gt_rx_k_lock_o[N ^[1] -1:0]	OUT	レーンKキャラクタのロックの表示。1はロックを示します。
gt_rx_align_link_o[N ^[1] -1:0]	OUT	レーン・バイト・アライメントの表示。1はアライメントを示します。
gt_pcs_rx_rst_i	IN	コアに接続されたレーンの受信PCSのリセット
gt_rx_fifo_rdusewd_o[5*N ^[1] -1:0]	IN	レーン受信FIFO内の読み出し可能データ数

注記：

^[1]表中の N はレーン数を示します。

^[2]Y の値：PCS の幅が 32 ビットの場合、Y = 1；PCS の幅が 64 ビットの場合、Y=2。

3.2.3 DRP (Dynamic Reconfiguration Port)インターフェース

「DRP Ports」を有効にした場合、以下のポートが存在します(図 3-5)。

図 3-5 DRP インターフェース

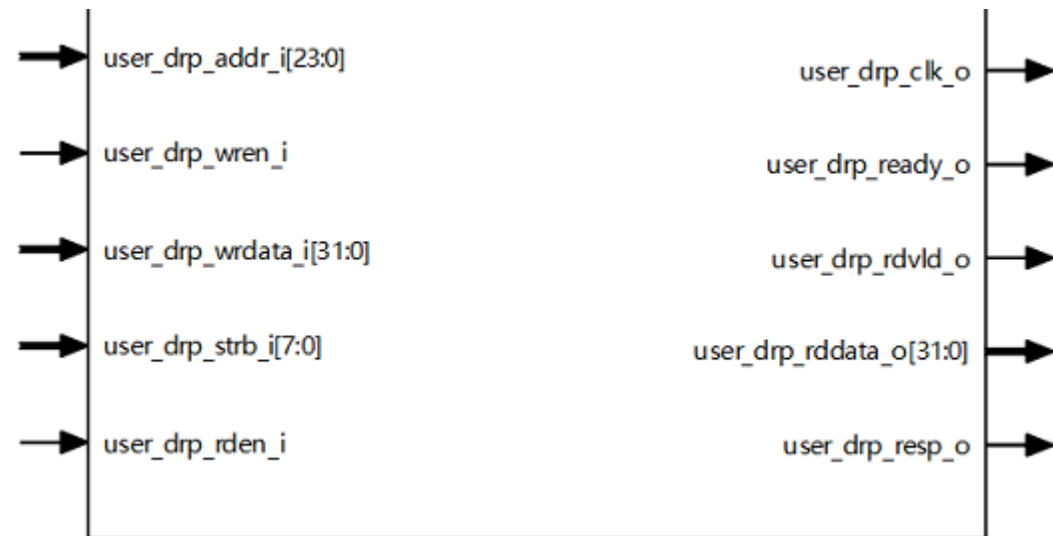


表 3-3 DRP ポートの定義

信号名	方向	説明
<code>user_drp_clk_o</code>	OUT	DRPインターフェースの同期クロック信号
<code>user_drp_addr_i[23:0]</code>	IN	DRPインターフェースの読み出し/書き込みアドレス信号
<code>user_drp_wren_i</code>	IN	DRPインターフェースの書き込みイネーブル信号
<code>user_drp_wrdata_i[31:0]</code>	IN	DRPインターフェースの書き込みデータ信号
<code>user_drp_strb_i[7:0]</code>	IN	DRPインターフェースの書き込みマスク信号
<code>user_drp_ready_o</code>	OUT	DRPインターフェースの書き込みハンドシェイク信号
<code>user_drp_rden_i</code>	IN	DRPインターフェースの読み出しイネーブル信号
<code>user_drp_rdvld_o</code>	OUT	DRPインターフェースの読み出しデータ有効信号
<code>user_drp_rddata_o[31:0]</code>	OUT	DRPインターフェースの読み出しデータ信号
<code>user_drp_resp_o</code>	OUT	DRPインターフェースの今回読み出し/書き込み操作無効信号。読み出し/書き込みアドレスがアクセス可能な空間を超える場合に1にセットされます。

3.3 インターフェースのタイミング

3.3.1 TX コア・インターフェースのタイミング

コンフィギュレーション・インターフェースのタイミング図

内部レジスタのコンフィギュレーション(構成)は、バス経由で実行されます。図 3-6 と図 3-7 はそれぞれバス構成の書き込みタイミング図と読み出しタイミング図です。このインターフェースは APB スレーブのタイミングと一致しているため、APB マスターモジュールに直接接続することができます。

図 3-6 コンフィギュレーション・インターフェースの書き込みタイミング図

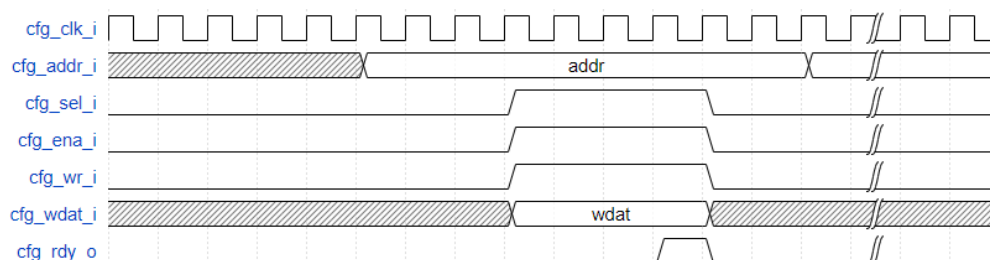
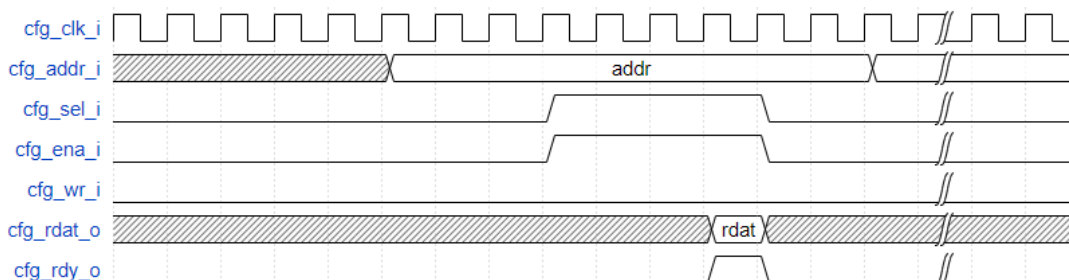
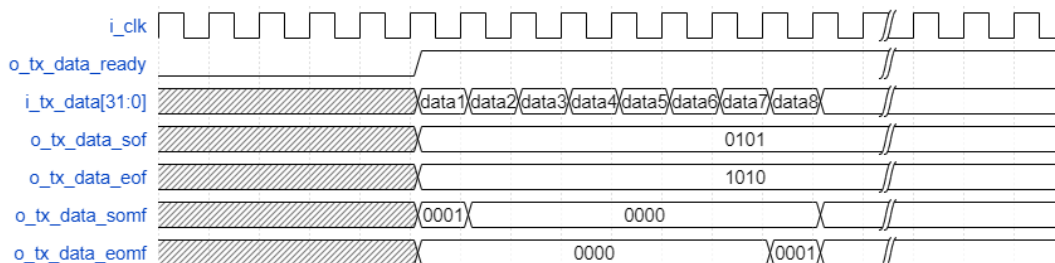


図 3-7 コンフィギュレーション・インターフェースの読み出しタイミング図



データインターフェースのタイミング図

図 3-8 F=2、K=32 の場合の送信データインターフェースのタイミング図



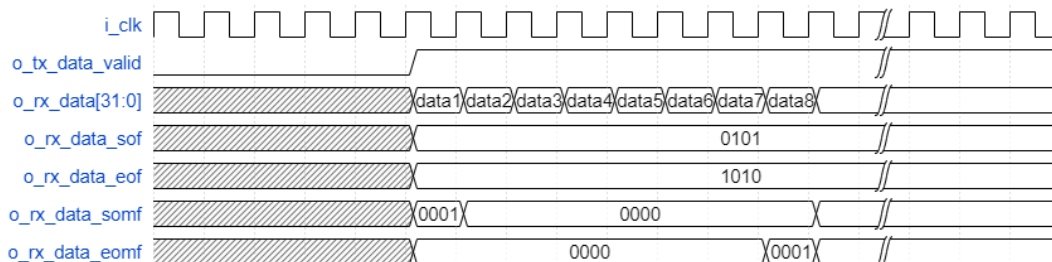
3.3.2 RX コア・インターフェースのタイミング

コンフィギュレーション・インターフェースのタイミング図：

RX コアのコンフィギュレーション・インターフェースのタイミングは TX コアと同様であるため、とを参照してください。

データインターフェースのタイミング図

図 3-9 F=2、K=32 の場合の受信データインターフェースのタイミング図



3.3.3 DRP インターフェースのタイミング

ユーザーは、DRP インターフェースを介して SerDes 内部レジスタにアクセスできます。

読み出しの際、drp_rden_i を High にセットし、drp_rden_i が High になった最初のクロックサイクルでレジスタ読み出しアドレスを drp_addr_i[23:0]に入力します。drp_rdvld_o が High になるまで、drp_rden_i を High のままにします。drp_rdvld_o が High の際の対応する drp_rddata_o[31:0]データは、読み出された読み出しデータです。drp_rdvld_o が High になった後の次のクロックサイクルで drp_rden_i を Low にする必要があります。これでこの読み出し動作が終了します。DRP インターフェースの読み出しタイミングを図 3-10 に示します。

書き込みの際、drp_wren_i を High にセットし、drp_wren_i が High になった最初のクロックサイクルでレジスタ書き込みアドレスを drp_addr_i[23:0]に入力し、同じクロックサイクルで drp_wrdata_i[31:0]に書き込みデータを入力し、drp_strb_i[7:0]に常に 8'hff を入力します。drp_ready_o が High になるまで、drp_wren_i を High のままにします。High の drp_ready_o は、この書き込み動作の完了を示します。drp_ready_o が High になった後の次のクロックサイクルで drp_wren_i を Low にする必要があります。これでこの書き込み動作が終了します。書き込みタイミングを図 3-11 に示します。

図 3-10 DRP インターフェースの読み出しタイミング

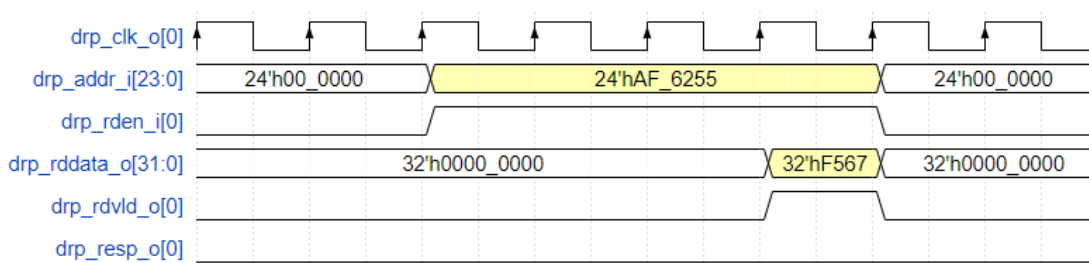
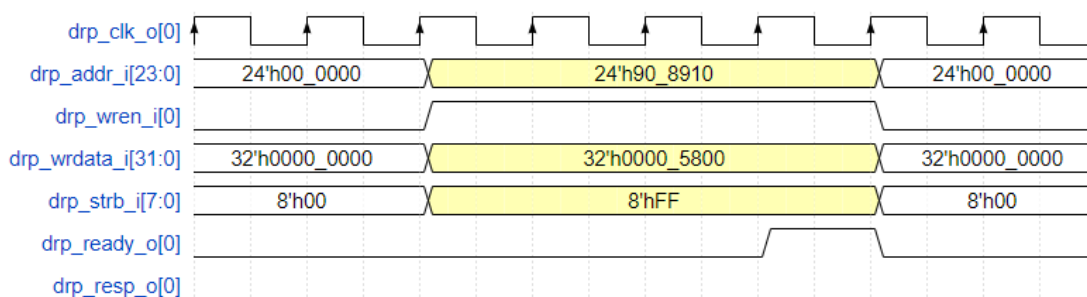


図 3-11 DRP インターフェースの書き込みタイミング



3.4 各レジスタの説明

Gowin JESD204B IP には、バスインターフェースを介して構成される TX コアと RX コアの 2 セットのレジスタが含まれています。アドレスはバイト単位です。

表 3-4 Gowin JESD204B IP のレジスタ

RX コア レジスタ			TX コア レジスタ	
アドレス オフセット	説明	R/W	説明	R/W
0x000	Reserved	-	Reserved	-
0x004	Version	R	Version	R
0x008	Reset	WR	Reset	WR
0x00C	ILA Support	WR	ILA Support	WR
0x010	Scrambling	WR	Scrambling	WR
0x014	SYSREF Handling	WR	SYSREF Handling	WR
0x018	Test Modes	WR	Test Modes	WR
0x01C	F_and_K	WR	F_and_K	WR
0x020	Subclass Mode	WR	Subclass Mode	WR
0x024	Sync Status	R	Sync Status	R
0x028	Link Error Status (Lanes 0 to 7)	R	Reserved	-
0x02C	Alarm Status	R	Alarm Status	R
0x030	RXBUF_DELAY	WR	Reserved	-
0x034	ERR_REPORT	WR	Reserved	-
0x038	LINK_DEBUG	R	Reserved	-
0x040	CLEAR_ERR	WR	Reserved	-
0x080	Reserved	-	Lane ID Lane0	WR
0x084	Reserved	-	Lane ID Lane1	WR
0x088	Reserved	-	Lane ID Lane2	WR
0x08C	Reserved	-	Lane ID Lane3	WR
0x090	Reserved	-	Lane ID Lane4	WR
0x094	Reserved	-	Lane ID Lane5	WR
0x098	Reserved	-	Lane ID Lane6	WR

RXコアレジスタ			TXコアレジスタ	
0x09C	Reserved	-	Lane ID Lane7	WR
0x0C0	lane 0 ILA Config Data 0	R	-	-
0x0C4	lane 0 ILA Config Data 1	R	-	-
0x0C8	lane 0 ILA Config Data 2	R	-	-
0x0CC	lane 0 ILA Config Data 3	R	ILA Config Data 3	WR
0x0D0	lane 0 ILA Config Data 4	R	ILA Config Data 4	WR
0x0D4	lane 0 ILA Config Data 5	R	ILA Config Data 5	WR
0x0D8	lane 0 ILA Config Data 6	R	ILA Config Data 6	WR
0x0DC	lane 0 ILA Config Data 7	R	ILA Config Data 7	WR
0x0E0	lane 0 Test Mode Error Count	R	-	-
0x0E4	lane 0 Link Error Count	R	-	-
0x0E8	lane 0 Test Mode ILA Count	R	-	-
0x0EC	lane 0 Test Mode Multiframe Count	R	-	-
0x0F0	lane 0 Buffer Adjust	R	-	-
0x0F4-0xF4C	Reserved	-	-	-
0x100-0x13C	Same as 0x0c0-0x0fc for lane1	R	-	-
0x140-0x17C	Same as 0x0c0-0x0fc for lane2	R	-	-
0x180-0x1BC	Same as 0x0c0-0x0fc for lane3	R	-	-

表 3-5 Version [Offset:0x004]

ビット	デフォルト値	W/R	説明
31:24	-	-	Reserved
23:16	-	R	バージョン : Major
15:8	-	R	バージョン : Minor
7:0	-	R	バージョン : Revision

表 3-6 Reset [Offset:0x008]

ビット	デフォルト値	W/R	説明
31:1	-	-	Reserved
0	0x0	WR	リセット。 1を書き込むとリセット状態が保持されます 0を書き込むとリセット状態が解除され、コアが動作し始めます。

表 3-7 ILA Support [Offset:0x00C]

ビット	デフォルト値	W/R	説明
31:12	-		Reserved
11:4	0x3	WR	ILASに含まれるマルチフレーム数 パラメータの範囲：4～256。レジスタへの書き込み時に1を引く必要があります。 例えば、マルチフレーム数が4の場合、3を書き込む必要があります。
3:1	-		Reserved
0	0x0	WR	1：ILA Supportを有効にします。 0：ILA Supportを有効にしません。

表 3-8 Scrambling [Offset:0x010]

ビット	デフォルト値	W/R	説明
31:1	-	-	Reserved
0	0x0	WR	1：Scrambling を有効にします 0：Scrambling を有効にしません

表 3-9 SYSREF Handling [Offset:0x014]

ビット	デフォルト値	W/R	説明
31:1	-	-	Reserved
8	-	-	リンク再同期にSYSREFが必要 ● TXコアは、SYSREFがLMFCを再アラインするまでK28.5を送信します。 ● RXコアは、SYSREFがLMFCを再アラインするまでSYNCを1にセットしません。 リンク再同期にSYSREFが不要 ● TXコアは次のLMFCでILAシーケンスを送信します。 ● RXコアは、次のLMFCでSYNCを1にセットします。
7:4	-	WR	SYSREF delay：SYSREFによるLMFCカウンターの再アライメントに遅延を追加します 1111：15 core_clkクロックサイクルの遅延 0000：0 core_clkクロックサイクルの遅延
3:1	-	-	Reserved
0	0	WR	SYSREF Always 1：すべてのSYSREFがLMFCカウンターを再アラインメントします。

ビット	デフォルト値	W/R	説明
			0 : リセット後の最初のSYSREFのみがLMFCカウンタをアラインメントし、それ以降のSYSREFは無視されます。

表 3-10 Test Modes [Offset:0x018]

ビット	デフォルト値	W/R	説明
31:1	-	-	Reserved
2:0	000	WR	テストモードの選択 000 : ノーマルモード 001 : 常にK28.5を送受信します。 010 : 同期後、ILAシーケンスの送信を繰り返します。 011 : 常にD21.5を送受信します。 100 : 変更されたランダムパターン(RPAT)を送信(TXのみ) 101 : スクランプリングされたジッターパターン(JSPAT)を送信 (TXのみ)

表 3-11 F_and_K [Offset:0x01C]

ビット	デフォルト値	W/R	説明
31:13	-	-	Reserved
12:8	0x1F	WR	1マルチフレームあたりのフレーム数(K) パラメータの範囲は1～32。レジスタへの書き込み時に1を引く必要があります。 例えば、F=32の場合、0x1Fを書き込む必要があります。
7:0	0x3	WR	1フレームあたりのオクテット数 (F) パラメータの範囲 : 1～256。レジスタへの書き込み時に1を引く必要があります。 例えば、F=4の場合、3を書き込む必要があります。

表 3-12 Subclass Mode [Offset:0x020]

ビット	デフォルト値	W/R	説明
31:2	-	-	Reserved
1:0	0x1	WR	11 : Reserved 10 : サブクラス2 01 : サブクラス1 (現在、サブクラス1のみサポート)

ビット	デフォルト値	W/R	説明
			ートされます) 00 : サブクラス0

表 3-13 Sync Status [Offset:0x024]

ビット	デフォルト値	W/R	説明
31:5	-	-	Reserved
4	-	R	SYSREFの検出 (サブクラス1のみ) 1 : SYSREFが検出されました 0 : SYSREFが検出されていません
3:1	-		Reserved
0	-	R	SYNCの状態 1 : リンク同期が完了しました 0 : リンク同期が完了していません

表 3-14 Link Error Status (Lanes 0 to 7) [Offset:0x028]

ビット	デフォルト値	W/R	説明
31:24	-		Reserved
23:21	-	R	Link Error Status, Lane 7
20:18	-	R	Link Error Status, Lane 6
17:15	-	R	Link Error Status, Lane 5
14:12	-	R	Link Error Status, Lane 4
11:9	-	R	Link Error Status, Lane 3
8:6	-	R	Link Error Status, Lane 2
5:3	-	R	Link Error Status, Lane 1。そのフォーマットは lane 0 と同じです。
2:0	-	R	Link Error Status, Lane 0 Bit2 : 1 : 異常な K 文字を受信しました Bit1 : 1 : 8B10B Disparity Error を受信しました Bit0 : 1 : 8B10B Not In Table Error を受信しました 各ビットは、少なくとも 1 つのエラーが発生したことを示します エラーをクリアするには、0x40 レジスタを操作する必要があります。

表 3-15 Alarm Status [Offset:0x02C]

ビット	デフォルト値	W/R	説明
31:5	-	-	Reserved

ビット	デフォルト値	W/R	説明
8	-	R	AlignErrDet_alm 1: 不正な位置でマルチフレーム制御文字が受信されました。累積 10 回以上の文字エラー、または disperr と notintable err の累積 10 回以上の文字エラーが発生した場合、警告が表示されます。
7	-	-	Reserved
6	-	R	lmfc_cfg_alarm 1: F*K が 4 の整数倍ではありません
5	-	R	lmfc_size_alarm 1: F*K が [17,1024] の範囲にありません。
4	-	R	lmfc_mis_alarm 1: SYSREF は LMFC に対してアライメントが合いません
3:1	-	-	Reserved
0	-	R	RxBufOvrflow_alm 1: RX レーン・アライメント・バッファのオーバーフロー

表 3-16 RXBUF_DELAY (RX ONLY) [Offset:0x030]

ビット	デフォルト値	W/R	説明
31:10	-	-	Reserved
9:0	0	WR	RXバッファ遅延は、レーンから読み出されたRXバッファ調整値と合わせてプログラムすることで、全体的なRXレイテンシを最小限に抑えることができます。

表 3-17 ERR_REPORT (RX ONLY) [Offset:0x034]

ビット	デフォルト値	W/R	説明
31:5	-	-	Reserved
4	0	WR	Reserved
3:1	-	-	Reserved
0	0	WR	リンク・エラー・カウンターのイネーブル 1: リンク・エラー・カウン터를有効にします (リンクエラーがカウントされ、各レーンのLink Error Countレジスタにより報告されます。) 0: リンク・エラー・カウン터를有効にしません

表 3-18 LINK_DEBUG (RX ONLY) [Offset:0x038]

ビット	デフォルト値	W/R	説明
31:28	-	R	Link Debug status Lane 7 as per lane 0
27:24	-	R	Link Debug status Lane 6 as per lane 0
23:20	-	R	Link Debug status Lane 5 as per lane 0
19:16	-	R	Link Debug status Lane 4 as per lane 0
15:12	-	R	Link Debug status Lane 3 as per lane 0
11:8	-	R	Link Debug status Lane 2 as per lane 0
7:4	-	R	Link Debug status Lane 1 as per lane 0
3:0	-	R	Link Debug status Lane 0 BIT3 : 1 : データの開始が検出されました BIT2 : 1 : ILAの開始が検出されました BIT1 : 1 : レーンはコードグループ同期 (CGS) を完了しました BIT0 : 1 : レーンはK28.5を受信しています

表 3-19 ERR_CLEAR [Offset:0x040]

ビット	デフォルト値	W/R	説明
31:1	-	-	Reserved
0	0	WR	0 : 4 つのフラグ量の検出をオンにします 1 : AlignErrDet、全レーンの K 文字受信エラー、8B10B 極性エラー、8B10B NotInTable エラーの 4 つのエラーフラグをクリアし、これら 4 つのフラグ量の検出をオフにします

表 3-20 Lane ID [Offset: lane0-0x080, lane1-0x084 …… lane7-0x09C]

ビット	デフォルト値	W/R	説明
31:5	-	-	Reserved
4:0	N	WR	レーンNのID。値の範囲は0～31。デフォルト値のNはレーン番号として設定されています。

注記：

これは、すべてのレーンに含まれるレジスタです。

表 3-21 ILA Config Data 0 [Offset: lane0-0x0C0, lane1-0x100 …… lane7-0x280]

ビット	デフォルト値	W/R	説明
31:7	-	-	Reserved
6:4	-	R	JESD204のバージョン 000 : JESD204A 001 : JESD204B

ビット	デフォルト値	W/R	説明
3	-	-	Reserved
2:0	-	R	サブクラス : 000-サブクラス0 001-サブクラス1 010-サブクラス2

注記 :

これは、すべてのレーンに含まれるレジスタです(RX コアのみ)。

表 3-22 ILA Config Data 1 [Offset: lane0-0x0C4, lane1-0x104 …… lane7-0x284]

ビット	デフォルト値	W/R	説明
31:8	-	-	Reserved
7:0	-	R	F(1フレームあたりのオクテット数)。バイナリ値から1を引いた値。

注記 :

これは、すべてのレーンに含まれるレジスタです(RX コアのみ)。

表 3-23 ILA Config Data 2 [Offset: lane0-0x0C8, lane1-0x108 …… lane7-0x288]

ビット	デフォルト値	W/R	説明
31:5	-	-	Reserved
4:0	-	R	K(1マルチフレームあたりのフレーム数)。バイナリ値から1を引いた値。

注記 :

これは、すべてのレーンに含まれるレジスタです(RX コアのみ)。

表 3-24 ILA Config Data 3 [Offset: lane0-0x0CC, lane1-0x10C …… lane7-0x28C]

ビット	デフォルト値	W/R	説明
31:22	-	-	Reserved
21:17	-	R(RX)	L (1 リンクあたりのレーン数)。バイナリ値。
16:12	-	R(RX)	LID (レーン ID)。バイナリ値。
11:8	0x0	R(RX) WR(TX)	BID(bank ID), Binary value TX コアの場合、ILA シーケンスで全レーンに送信されるフィールドを設定します。 RX コアの場合、各レーンは ILA シーケンス情報を受信してこのフィールドを取得します。
7:0	0x00	R(RX) WR(TX)	DID(Device ID), Binary value. TX コアの場合、ILA シーケンスで全レーンに送信されるフィールドを設定します。 RX コアの場合、各レーンは ILA シーケンス情報を受信してこのフィールドを取得します。

注記 :

これは、すべてのレーンに含まれるレジスタです。

表 3-25 ILA Config Data 4 [Offset: lane0-0x0D0, lane1-0x110 …… lane7-0x290]

ビット	デフォルト値	W/R	説明
31:21	-	-	Reserved
20:16	-	R(RX) WR(TX)	N' (Totals bits per Sample), Binary value minus 1
15:13	-	-	Reserved
12:8	0x0	R(RX) WR(TX)	N (Convertor Resolution), Binary value minus 1 TX コアの場合、ILA シーケンスで全レーンに送信されるフィールドを設定します。 RX コアの場合、各レーンは ILA シーケンス情報を受信してこのフィールドを取得します。
7:0	0x00	R(RX) WR(TX)	M (Convertors per Device), Binary value minus 1 TX コアの場合、ILA シーケンスで全レーンに送信されるフィールドを設定します。 RX コアの場合、各レーンは ILA シーケンス情報を受信してこのフィールドを取得します。

注記：

これは、すべてのレーンに含まれるレジスタです。

表 3-26 ILA Config Data 5 [Offset: lane0-0x0D4, lane1-0x114 …… lane7-0x294]

ビット	デフォルト値	W/R	説明
31:21	-	-	Reserved
20:16	-	R(RX) WR(TX)	CF (Control Words per Frame). Binary value TX コアの場合、ILA シーケンスで全レーンに送信されるフィールドを設定します。 RX コアの場合、各レーンは ILA シーケンス情報を受信してこのフィールドを取得します。
15:13	-	-	Reserved
12	-	R(RX) WR(TX)	HD (High Density format) TX コアの場合、ILA シーケンスで全レーンに送信されるフィールドを設定します。 RX コアの場合、各レーンは ILA シーケンス情報を受信してこのフィールドを取得します。
11:9	-	-	Reserved
8:4	0x0	R(RX) WR(TX)	S (Samples per Converter per Frame). Binary value minus 1. TX コアの場合、ILA シーケンスで全レーンに送信されるフィールドを設定します。 RX コアの場合、各レーンは ILA シーケンス情報を受信してこのフィールドを取得します。
3:1	-	-	Reserved
0	0x00	R(RX)	SCR (Scrambling Enable) 1：有効にします

注記：

これは、すべてのレーンに含まれるレジスタです。

表 3-27 ILA Config Data 6 [Offset: lane0-0x0D8, lane1-0x118 …… lane7-0x298]

ビット	デフォルト値	W/R	説明
31:28	-	-	Reserved
27:20	0x0	R(RX)	FCHK (Checksum)。バイナリ値。
19:12	0x0	R(RX) WR(TX)	RES2 (Reserved Field 2) TXコアの場合、ILAシーケンスで全レーンに送信されるフィールドを設定します。 RXコアの場合、各レーンはILAシーケンス情報を受信してこのフィールドを取得します。
11:4	0x0	R(RX) WR(TX)	RES1 (Reserved Field 1) TXコアの場合、ILAシーケンスで全レーンに送信されるフィールドを設定します。 RXコアの場合、各レーンはILAシーケンス情報を受信してこのフィールドを取得します。
3:2	-	-	Reserved
1:0	0x0	R(RX) WR(TX)	CS (1サンプルあたりの制御ビット数)。バイナリ値。 TXコアの場合、ILAシーケンスで全レーンに送信されるフィールドを設定します。 RXコアの場合、各レーンはILAシーケンス情報を受信してこのフィールドを取得します。

注記：

これは、すべてのレーンに含まれるレジスタです。

表 3-28 ILA Config Data 7 [Offset: lane0-0x0DC, lane1-0x11C …… lane7-0x29C]

ビット	デフォルト値	W/R	説明
31:9	-	-	Reserved
8	0x0	R(RX) WR(TX)	ADJDIR (方向調整) [サブクラス2のみ]。バイナリ値。 TXコアの場合、ILAシーケンスで全レーンに送信されるフィールドを設定します。 RXコアの場合、各レーンはILAシーケンス情報を受信してこのフィールドを取得します。
7:5	-	-	Reserved
4	0x0	R(RX) WR(TX)	PHADJ (位相調整要求) [サブクラス2のみ]。バイナリ値。 TXコアの場合、ILAシーケンスで全レーンに送信されるフィールドを設定します。 RXコアの場合、各レーンはILAシーケンス情報を受信してこのフィールドを取得します。
3:0	0x0	R(RX) WR(TX)	ADJCNT (調整分解能のステップ数) [サブクラス2のみ]。バイナリ値。

ビット	デフォルト値	W/R	説明
			TXコアの場合、ILAシーケンスで全レーンに送信されるフィールドを設定します。 RXコアの場合、各レーンはILAシーケンス情報を受信してこのフィールドを取得します。

注記：

これは、すべてのレーンに含まれるレジスタです。

表 3-29 Test Mode Error Count [Offset: lane0-0x0E0, lane1-0x120 …… lane7-0x2A0]

ビット	デフォルト値	W/R	説明
31:0	-	R	テストモードで受信したエラー数 (Test Mode Error Count) テストモードが001 (連続K28.5) の場合：受信したすべての非K28.5文字をカウントします。 テストモード：010 (連続ILA)：受信した不正な文字をカウントします。 テストモードが変更されると、このカウンタは0にリセットされます。

注記：

これは、すべてのレーンに含まれるレジスタです。

表 3-30 Link Error Count [Offset: lane0-0x0E4, lane1-0x124 …… lane7-0x2A4]

ビット	デフォルト値	W/R	説明
31:0	-	R	Link Error Count Link Error Counterが有効な場合に、受信したリンクエラーの総数（レーンごとに）をカウントします。 リンクエラーには、Disparity ErrorとNotInTable Errorが含まれます。 エラーカウンタは、エラー・レポート・レジスタの制御ビットを用いて無効にした後に再有効にすることによりリセットできます。

注記：

これは、すべてのレーンに含まれるレジスタです。

表 3-31 Test Mode ILA Count [Offset: lane0-0x0E8, lane1-0x128 …… lane7-0x2A8]

ビット	デフォルト値	W/R	説明
31:0	-	R	Test Mode ILA Count テストモード = 010 (連続ILA)の場合に受信したILAシーケンスの総数

注記：

これは、すべてのレーンに含まれるレジスタです。

表 3-32 Test Mode Multiframe Count [Offset: lane0-0x0EC, lane1-0x12C . lane7-0x2AC]

ビット	デフォルト値	W/R	説明
31:0	-	R	Test Mode Multiframe Count テストモード = 010 (連続 ILA)の場合に受信した ILA マルチフレームの総数

注記：

これは、すべてのレーンに含まれるレジスタです。

表 3-33 Buffer Adjust [Offset: lane0-0x0F0, lane1-0x130 …… lane7-0x2B0]

ビット	デフォルト値	W/R	説明
31:10			Reserved
9:0	-	R	RX Buffer Adjust RX バッファの充填レベル(レーンごとに)

注記：

これは、すべてのレーンに含まれるレジスタです。

4 デザインの説明

4.1 ラインレート

JESD204B 仕様では、JESD204B リンクのために特定のシリアル・ラインレートを定義していませんが、JESD204B コアは、デバイスとスピード・グレードの選択に応じてラインレートをサポートします。

ほとんどの場合、シリアル・ラインレートの選択は、コアが接続される ADC/DAC コンバータ・デバイスの仕様に依存します。必要な動作シリアル・ラインレートは、コアロジックが動作するクロックレート (コアクロック) に直接関連します。また、シリアル・ラインレートは、トランシーバーが必要とするリファレンス・クロックの選択も決定します。

4.2 クロック

4.2.1 コアクロック (core clk)

JESD204B コアクロックは、PCS の幅によって決定されます。PCS の幅が 32 ビットの場合は、32 ビット (4 バイト) のデータパスを使用して動作します。コアクロックの周波数は、ラインレートを 40 で割った値です。例えば、シリアル・ラインレートが 4.9152Gbs の場合、コアクロック周波数は 122.88MHz です。データストリームの RX と TX インターフェースは、このコアクロック周波数で動作します。

PCS の幅が 64 ビットの場合は、64 ビット (8 バイト) のデータパスを使用して動作します。コアクロックの周波数は、常にラインレートを 80 で割った値です。例えば、シリアル・ラインレートが 9.8304Gbs の場合、コアクロック周波数は 122.88MHz です。データストリームの RX と TX インターフェースは、このコアクロック周波数で動作します。

このクロックは、JESD204B コアだけでなく、内部 SerDes PCS クロック・インターフェースにも接続されます。

4.2.2 リファレンス・クロック

シリアルトランシーバーには、範囲がデバイスとスピードグレードに関連した、安定した低ジッタのリファレンス・クロックが必要です。リフ

アレンス・クロックの選択時は、必要なラインレートがサポートされるかを確認する必要があります。

4.2.3 コンフィギュレーション・クロック(cfg clk)

このコアは、コンフィギュレーション・インターフェースを介してレジスタの読み出し書き込みを行います。このインターフェースのクロックは、コアクロックやリファレンス・クロックとは独立したクロックです。このクロックとコアクロックやリファレンス・クロックとの間に依存関係はありません。

4.2.4 SerDes PCS クロック

JESD204B コアは、SerDes レーン PCS 受信クロックを中継して出力し、複数レーンの場合は、デフォルトで 1 レーン目の PCS 受信クロックを出力します。このクロックの周波数はコアクロックと同じであり、gt_pcs_tx_clk_o または gt_pcs_rx_clk_o ピンを core_clock ポートに接続しコアクロックとして使用することも可能です。

4.2.5 一般的なクロッキング方式

図 4-1 一般的なクロッキング方式

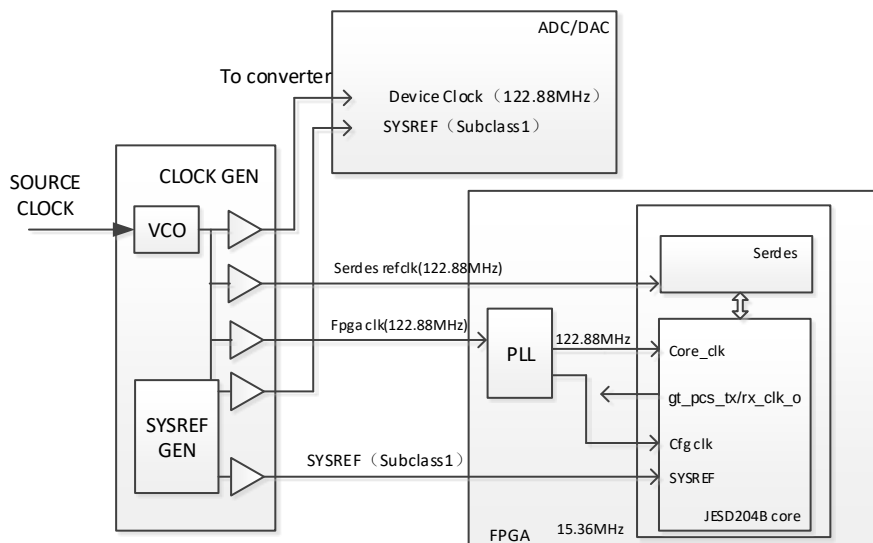


図 4-1 に、外部のクロック生成モジュールが SerDes のリファレンス・クロックと FPGA の fabric クロックをそれぞれ提供する、最も汎用的で柔軟なクロッキング方式を示します。このコンフィギュレーション(構成)では、リファレンス・クロックと fabric クロックは物理的に独立したクロックであり、追加の制限なしに独立した周波数で動作することができます。リファレンス・クロックは、選択したラインレートを達成するためにトランシーバーの制限の範囲内で任意の周波数で動作することができます。fabric クロック（または PLL 経由のクロック）は常に必要なレートで動作します。

コンフィギュレーション・クロック cfg_clk は、クロックソースとクロック周波数の両方において、コアクロックやリファレンス・クロックが

ら独立しています。

図に示した 122.88MHz などの周波数値は例に過ぎず、その他の周波数が使用可能です。

4.3 リセット

4.3.1 バス・リセット・ポート

バス・コンフィギュレーション・インターフェースは、コンフィギュレーション・レジスタをデフォルト値にリセットする個別のリセット信号 (tx/rx_cfg_rstn_i) を提供します。

4.3.2 ピンによるコアロジックのリセット

コアロジック全体をリセットするための非同期リセットが提供されています。トランスミッターでは、この信号は tx_rst_i、レシーバーではこの信号は rx_rst_i です。バス・コンフィギュレーションとコンフィギュレーション・レジスタは、これらのリセット信号の影響を受けません。

4.3.3 レジスタによるコアロジックのリセット

バス・コンフィギュレーション・インターフェースを介して、ソフトウェア制御によって送信または受信ロジックのデータパスのリセット動作をトリガーするレジスタ 0x8 が提供されます。コンフィギュレーション・レジスタは、この動作の影響を受けません。この機能は、ピンによるリセットと同じです。

4.3.4 SerDes 関連のリセット

JESD204B コアは、SerDes との接続により、SerDes に対して PMA リセットと PCS リセットを実行するインターフェースを提供します。ここで、gt_fabric_rstn_i ピンは、受送信の PMA に対して有効です。

4.3.5 リセットの手順

ユーザーは、上記のリセットピンを利用してリセットを実行することができます。ビットストリームを FPGA にロードした後、SerDes とコアの両方がリセット状態になり、SerDes とコアのリセットを順番に解除すると、ロジック全体が動作し始めます。

推奨されるリセット手順は以下の通りです：

TX コア

1. 電源投入後、tx_rst_i を High のままにするか、レジスタ 0x8 を 1 にセットします。
2. QPLL または CPLL LOCK 信号がロックされているかどうかを判断し、ロックされていればリファレンス・クロックが準備できています。
3. gt_fabric_rstn_i ピンを使用して SerDes PMA をリセットします。
4. tx_rst_i リセットを解除し、その後、TX コアロジックが動作を開始し

ます。

RX コア

1. 電源投入後、`rx_rst_i` を High のままにするか、レジスタ `0x8` を 1 にセットします。
2. QPLL または CPLL LOCK 信号がロックされているかどうかを判断し、ロックされていればリファレンス・クロックが準備できています。
3. `gt_fabric_rstn_i` ピンを使用して SerDes PMA をリセットします。
4. TX 側が準備できた後、`gt_pma_rx_lock_o`、`gt_rx_k_lock_o`、`gt_rx_align_link_o` の状態を判断し、全てが High になった後 `rx_rst_i` リセットを解除します。その後、RX コアロジックが動作を開始します。

4.4 サブクラス

JESD204B 仕様には、サブクラス 0、サブクラス 1、サブクラス 2 の 3 つのサブクラスが存在します。ただし、JESD204B コアは、当面はサブクラス 1(Subclass1)のみをサポートしています。

4.5 SYSREF

4.5.1 SYSREF のタイミング

JESD204B がサブクラス 1 に使用される場合、SYSREF 信号がシステムのマスター・タイミング・リファレンスとなります。正確な確定レイテンシを実現するためには、SYSREF 信号はコアクロックと同期してキャプチャされる必要があります。PCS の幅が 32 ビットの場合は、コアは 4 バイトの内部データパスを使用するため、SYSREF の周期は 4 バイトのクロック周期の倍数である必要があります。PCS の幅が 64 ビットの場合は、コアは 8 バイトの内部データパスを使用するため、SYSREF の周期は 8 バイトのクロック周期の倍数である必要があります。

サブクラス 1 の操作には、SYSREF の適切な処理が重要です。JESD204B 規格では、次の方法で SYSREF を生成することができます。

- 周期的 (Periodic)
- ワンショット (One-Shot)
- 間欠周期的 (Gapped Periodic)

JESD204B コアは、最大限の柔軟性をサポートするために、サブクラス 1 操作で SYSREF を処理する方法についていくつかのオプションを提供します。

SYSREF の周期はマルチフレームの周期の整数倍である必要があり、4 バイト (PCS = 32 ビット) または 8 バイト (PCS = 64 ビット) の整数倍である必要もあります。

4.5.2 SYSREF Always

コアは、内部で周期的 **SYSREF** を使用する方法を選択できるプログラマブルなオプションを提供しています。このオプションは、**SYSREF** 処理レジスタの **SYSREF Always** 制御ビットを使用して選択できます (表 3-9)。

SYSREF Always が 0 にセットされている場合は、リセット後(またはリンクの再同期化時)に見られた初期 **SYSREF** イベントのみが、内部 **LMFC** カウンターのアラインメントに使用されます。

SYSREF Always が 1 にセットされている場合は、すべての **SYSREF** イベントが **LMFC** カウンターの(再)アラインメントに使用されます。この設定を使用するには、**SYSREF** の周期がマルチフレームの周期の正確な倍数である必要があります。

4.5.3 初期リンク立ち上げ時の SYSREF

リセット後、**JESD204B** コアは、内部 **LMFC** カウンターをアライメントしてリンクを立ち上げるために、少なくとも 1 つの **SYSREF** イベントが必要です。

- **RX** コアは、**LMFC** をアライメントするために初期 **SYSREF** イベントを必要とし、コードグループの同期が達成されると、次の **LMFC** 境界で **SYNC** を High にします。**RX** コアは、初期 **SYSREF** イベントが検出されるまで **SYNC** を High にしません。
- **TX** コアは、**LMFC** をアライメントするために **SYSREF** イベントを必要とします。**SYNC** がディアサートされた後に、コアは、**LMFC** 境界で **ILA** 送信を開始します。**TX** コアは、初期 **SYSREF** イベントが検出されるまで **ILA** 送信を開始しません。

システムは、コアがリセットを完了した後、**JESD204B** コアへの **SYSREF** が確実に生成されるようにする必要があります。システムが One-shot の **SYSREF** で動作している場合、これは特に重要です。

4.5.4 リンク再同期化時の SYSREF

リンクが最初に立ち上げられた後、(受信側デバイスによる **SYNC** のディアサーションによって)リンクの再同期化が要求された場合、**SYSREF** 処理レジスタの **SYSREF Required on Re-Sync** 制御ビットを使用して、**SYSREF** 関連の動作を制御できます。

SYSREF Required on Re-Sync が 0 にセットされた場合、リンクの再同期化に **SYSREF** イベントは不要です(**LMFC** カウンターが自走式で有効であることを前提とする)。

- **RX** コアは、コードグループの同期後に次の **LMFC** 境界で **SYNC** を High にします。
- **TX** コアは、**SYNC** がディアサートされた後に次の **LMFC** 境界で **ILA** シーケンスを送信します。

SYSREF Required on Re-Sync が 1 にセットされた場合、リンクは再同期化要求後に **SYNC** を再確立するために **SYSREF** イベントが必要です。

- **RX** コアは、**LMFC** カウンターを再アライメントするために **SYSREF** イベントを待機し、次の **LMFC** 境界で **SYNC** を **High** にします。
- **TX** コアは、**LMFC** カウンターを再アライメントするために **SYSREF** イベントを待機し、**SYNC** が **High** にされた後に **LMFC** 境界で **ILA** 送信を開始します。

4.5.5 SYSREF Delay

JESD204B 規格で定義された確定レイテンシのメカニズムは、マルチフレームのサイズがリンク上の可能な最大遅延より大きいことを要求しています。実際には、特に小さなフレームサイズの場合、これを実現するのは困難です。ただし、マルチフレームのサイズがリンク上の遅延の最大変動より大きい限り、確定レイテンシを実現することができます。

遅延の最大変動により、全体的なレイテンシが、隣接する 2 つの **LMFC** 周期間の境界をまたぐ場合は、問題が発生する可能性があります。この場合、複数のシステム再起動の間に、ちょうど 1 **LMFC** 周期のレイテンシの変動が確認されます。

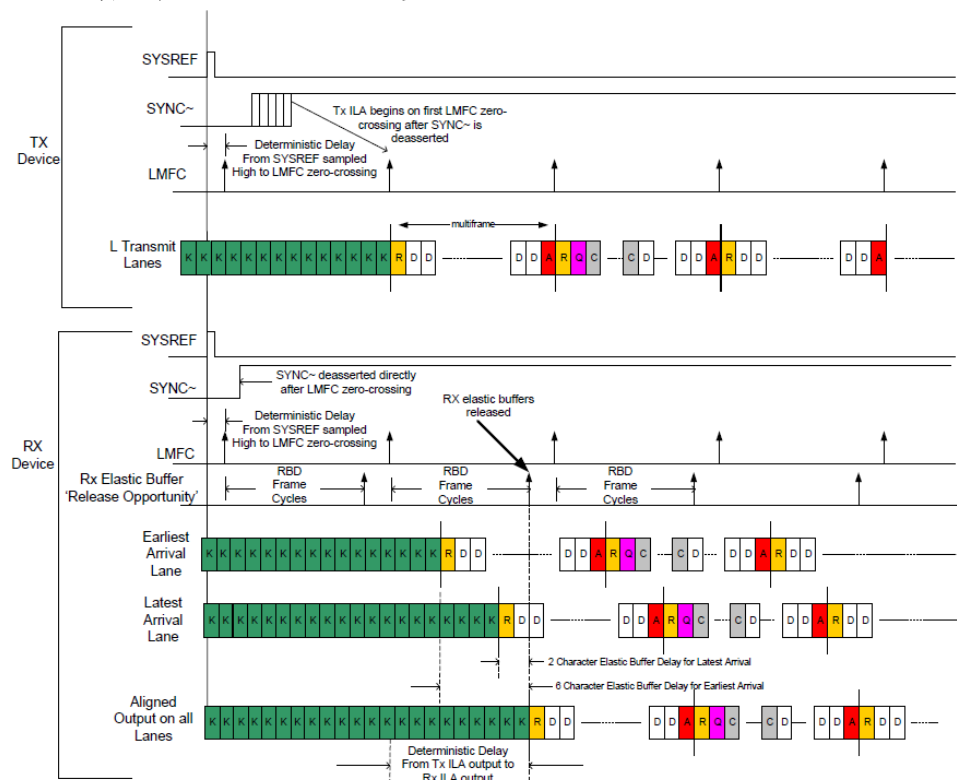
このような状況が発生した場合、**TX** または **RX** デバイスの **SYSREF** に遅延を追加することで、**TX** または **RX** デバイスの **LMFC** 境界を相対的に移動させることができます。**JESD204** コアは、内部 **SYSREF** 処理ロジックの追加遅延を許容することで、このような内部 **LMFC** のシフトをサポートします。これは、**SYSREF** 境界レジスタの **SYSREF Delay** フィールドを使用してプログラムされます。**SYSREF** イベントの検出から **LMFC** カウンターのリセットまでの間に 0~15 コアクロック周期の遅延を挿入することができます。**SYSREF** の遅延値を変更するには、コアのリセットによりリンクの再アライメントを強制する必要があります。

4.6 最小確定レイテンシのサポート

サブクラス 1 で **JESD204B** リンクが最初に確立されると、レシーバーはデータを出力します。すべてのレーンで有効なデータが検出された後、**LMFC** 交差点でデータが出力されます。**buffer_delay** レジスタに入力されるオクテットの数を調整し、最小レイテンシをサポートすることができます。レイテンシの最大許容削減量の表示は、**buffer_adjust** レジスタに出力されます。これは各レーンのレシーバー・エラスティック・バッファの書き込みポインターと読み出しポインターの差を示します。各 10 ビット値に出力されるオクテット数は、各レーンのバッファ充填レベルを示します。与えられた最小数を使用して値を計算することができ、この値を **buffer_delay** レジスタにプログラムし、そのオクテット数だけ全体的なレイテンシを削減できます。バッファ遅延レジスタにプログラムされる最大値は、8 オクテットのマージンを考慮する必要があります。したがって、**buffer_adjust** の最低値から 8 を引いた値を超えてはなりません。**JESD204** 受信コアのリセットと完全なリンク再同期化サイクルは、変更されたレイ

テンシ設定が機能する前に行われなければなりません。下図に最小レイテンシの例を示します。

図 4-2 最小確定レイテンシの実現の説明図



4.7 リンク・テスト・モード

4.7.1 連続 K28.5 文字

このモードでは、トランスミッターは K28.5 文字を連続送信します。このモードを有効にするためには、レジスタ 0x18 を 0x1 にセットする必要があります。

レシーバーは K28.5 文字を連続受信し、各レーンの Test Mode Error Count レジスタは全ての非 K28.5 文字の数をカウントします。このモードを有効にするには、RX コアのレジスタ 0x18 を 0x1 にセットする必要があります。

4.7.2 連続 ILA シーケンス

このモードでは、トランスミッターは SYNC アサーションを受信した後、ILA シーケンスを連続送信します。このモードを有効にするには、TX コアのレジスタ 0x18 を 0x2 にセットする必要があります。

トランスミッターは、ILA シーケンス受信フェーズに入った後、ILA 数をカウントし続け、各レーンの Test Mode Error Count は、受信した ILA シーケンスの数がカウントします。このモードを有効にするには、RX コアのレジスタ 0x18 を 0x2 にセットする必要があります。

また、各レーンの Test Mode ILA Count レジスタは ILA シーケンス数

をカウントし、各レーンの **Test Mode Multiframe Count** はマルチフレーム数をカウントします。

4.7.3 連続 D21.5 文字

このモードでは、**D21.5** 文字を連続送信します。このモードを有効にするためには、**TX** コアのレジスタ **0x18** を **0x3** にセットする必要があります。

4.7.4 RPAT シーケンス

このモードは、連続したランダムなシーケンスを送信します。このモードは **RPAT** モジュールによって生成され、**Gowin IDE** で選択する必要があります(追加のリソースを消費)。このモードを有効にするには、**TX** コアのレジスタ **0x18** を **0x4** にセットする必要があります。

4.7.5 JSPAT シーケンス

このモードは、連続したランダムなシーケンスを送信します。このモードは **RPAT** モジュールによって生成され、**Gowin IDE** で選択する必要があります(追加のリソースを消費)。このモードを有効にするには、**TX** コアのレジスタ **0x18** を **0x5** にセットする必要があります。

4.8 リアルタイム構成

ESD204B コアのランタイム動作は、**APB** レジスタインターフェースを介して構成されます。レジスタマッピングの詳細については、[3.4 各レジスタの説明](#)を参照してください。

JESD204B リンクを正しく開始し、動作させるためには、リンクの両端においてメジャー・フレーミングとリンク動作パラメータが一致しなければなりません。

- 1 フレームあたりのバイト数
- 1 マルチフレームあたりのフレーム数
- スクランプルのオン/オフ
- サブクラスモード
- **SYSREF** 処理 (サブクラス 1 モード)

これらのパラメータは、コアが接続される **ADC/DAC** デバイス内で利用可能な構成によって決定されます。

TX コアの場合、これらのパラメータに加えて、リンク開始時に **ILA** シーケンスで転送される構成データの一部の追加内容が、レジスタインターフェースを介してプログラムされます。**ILA** 構成データで転送されるデータ値は、通常、リンクの動作にとって重要ではありませんが、これは受信デバイスの動作に依存します。

RX コアの場合、**ILA** シーケンスで受信される構成データはレーンごとにキャプチャされ、レジスタインターフェースを使用して検証することが

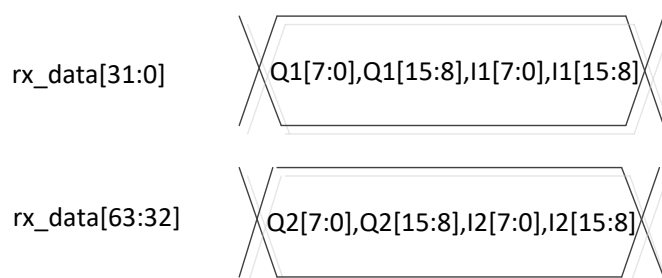
できます。

構成が完了した後、コアが正常に動作できるよう、コアのリセットが必要です。

4.9 データインターフェース

DATA Stream データ受送信インターフェースは、**JESD204B** フォーマットのデータをコアに送受信するために使用されます。コアのデータ入出力は、各レーンに 1 クロックサイクルあたり 4 バイトで、各 32 ビットブロックの最下位バイトの位置が **ADC** から受信される、または **DAC** へ送信される最初のバイトを格納します。図 4-3 は、**JESD204B** データが **DATA Stream** インターフェースにマッピングされる例を示しています。

図 4-3 Data Stream インターフェースのデータフォーマット



例えば、ADI AD9371 ADC 4 コンバータ、 2 レーンモード：

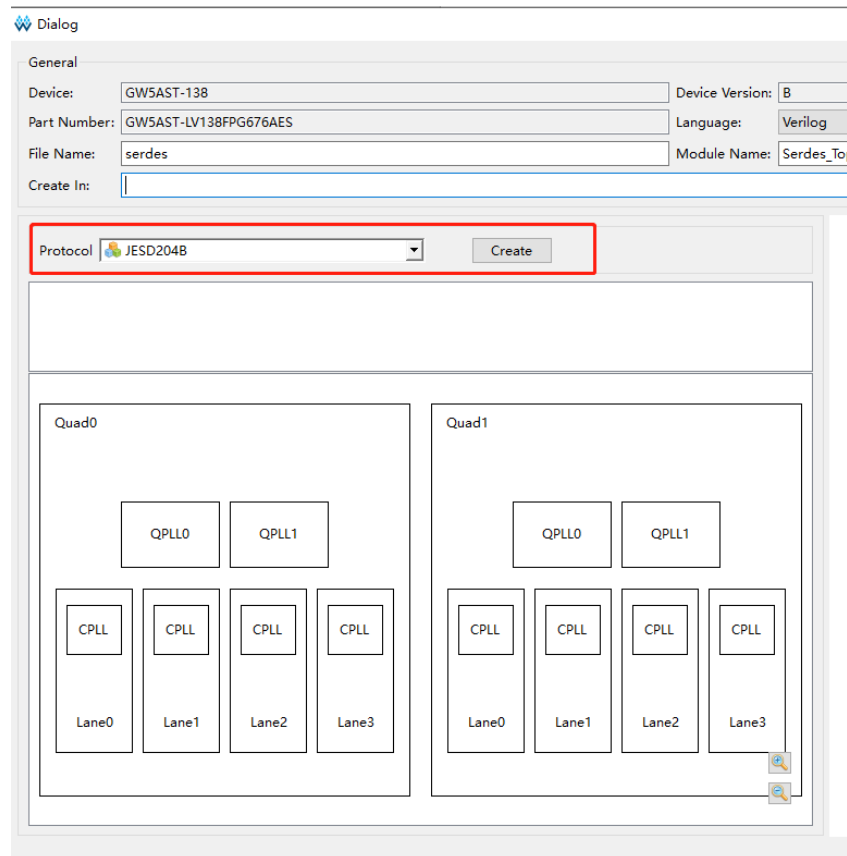
122.88MHz のサンプルレート、2 レーン(4.9152GHz)。コンバータ 16bit のデータ幅の場合、コアクロックは 122.88MHz。

- Adc0_sample = {rx_data[07:00],rx_data[15:08]};
- Adc1_sample = {rx_data[23:16],rx_data[31:24]};
- Adc2_sample = {rx_data[39:32],rx_data[47:40]};
- Adc3_sample = {rx_data[55:48],rx_data[63:56]};

5 GUI での構成

IP ライブラリで **SerDes IP** を選択します(図 5-1)。「Protocol」ドロップダウン・リストで「**JESD204B**」を選択し、「**Create**」ボタンをクリックすると、JESD204B IP の構成画面が表示されます。

図 5-1 SerDes IP を開く



Gowin JESD204B IP の構成画面は図 5-2 に示すとおりです。

図 5-2 JESD204B Core Configuration タブ

- Core Mode : 「Receive」、「Transmit」、「Both Receive And Transmit」。
- Number of Lanes : コアのレーン数(1～8)。
- LMFC Buffer : (単位はバイト) レーンアライメントと確定レイテンシのサポートに使用されるバッファで、LMFC Buffer サイズの選択により、適切な場合に最小限のリソースを使用することができます。LMFC Buffer のサイズは、実装されたデザインで使用する最大マルチフレームのサイズよりも大きい必要があります (マルチフレームのサイズは $F \times K$ であり、ここで F = フレームあたりのバイト数、 K = マルチフレームあたりのフレーム数)。
- Pattern Generator : 必要に応じて、「Include RPAT Generator」または

「Include JSPAT Generator」を選択して、これらのテストパターンに必要なロジックを生成することができます。これらには追加のリソースが必要です。

- **Default Link Parameters** : 以下のすべてのパラメータは、対応するレジスタのデフォルト値です。レジスタの定義を参照してください。ランタイム中に構成バスを介して関連するレジスタを書き込むと、デフォルト値は上書きされます。
- **Default SYSREF Always** : レジスタ 0x14 の SYSREF Always フィールドの初期値を設定します。
- **Default Scrambling ON/OFF** : レジスタ 0x10 の Scrambling フィールドの初期値を設定します。
- **Default F** : レジスタ 0x1C の F フィールドの初期値を設定します。
- **Default K** : レジスタ 0x1C の K フィールドの初期値を設定します。
- **Default SYSREF Required on Re-Sync** : レジスタ 0x14 の SYSREF Required on Re-Sync フィールドの初期値を設定します。
- **Fixed Config Enable** : 有効にすると、IP コアは F と Scrambling パラメータを動的に変更できなくなるが、かなりのロジックリソースの消費が削減され、タイミング性能も向上します。
- **Config Clock Frequency** : 構成バスのクロック周波数(1MHz~100MHz)を設定します。

図 5-3 PHY Configuration タブ

The screenshot shows the 'PHY Configuration' tab with the following settings:

- Base Parameters:**
 - PCS WIDTH: ☒ 32bit ☐ 64bit
 - Line Rate(Gbps): 4.9152
 - Reference Clock Source: Q1 REFCLK0
 - Reference Clock Frequency(MHz): 122.88
 - PLL Selection: QPLL1
 - Loopback Mode: LB_NES
 - Calculate button
- Lane Connect:**
 - JESD204B Lane0 connect with: Q1 Lane0
 - JESD204B Lane1 connect with: Q1 Lane1
 - JESD204B Lane2 connect with: Q0 Lane2
 - JESD204B Lane3 connect with: Q0 Lane3
 - JESD204B Lane4 connect with: Q1 Lane0
 - JESD204B Lane5 connect with: Q1 Lane1
 - JESD204B Lane6 connect with: Q1 Lane2
 - JESD204B Lane7 connect with: Q1 Lane3

- **PCS WIDTH** : コアクロック周波数とデータ入出力幅に影響する PCS の幅を構成します。シナリオによっては、32 ビット幅ではタイミングを満たすことが難しいため、64 ビット幅を使用する必要があります。
- **Line Rate** : ラインレート
- **Reference_Clock_Source** : リファレンス・クロック・ソース、ロックソース 0 とクロックソース 1 のいずれかを選択することができます。これは、ハードウェアのピン接続によって決まります。
- **Reference_Clock_Frequency** : リファレンス・クロックの周波数。

注記 :

ラインレートとリファレンス・クロックの間に制限関係があるため、リファレンス・クロックが上記のラインレートを生成できるかどうかを確認してください。

- **PLL Selection** : PLL ソース。QPLL0、QPLL1、CPLL などを選択できます。
- **Loopback_Mode** : ループバックモード。OFF、LB_NES、LB_FES、LB_ENC などを選択できます。
- **Calculate** : ラインレートとリファレンス・クロックの対応関係が妥当

かどうかをチェックするボタンです。

- **JESD204B LaneX connect with** : この 8 つのドロップダウンボックスで、JESD204B レーンと SerDes レーンの対応を設定できます。

図 5-4 AFE タブ

The screenshot shows the 'AFE' configuration tab with the following settings:

Section	Parameter	Value	Range
TX	Differential Swing	900mV	
	FFE Mode	Auto	
	Cm	0	(0~19)
	C0	40	(21~40)
RX	SD Threshold	100mV	
	Equalization Mode	Auto	
	ATT	7	(0~10)
	BOOST	9	(0~15)
	BIAS	7	(0~15)

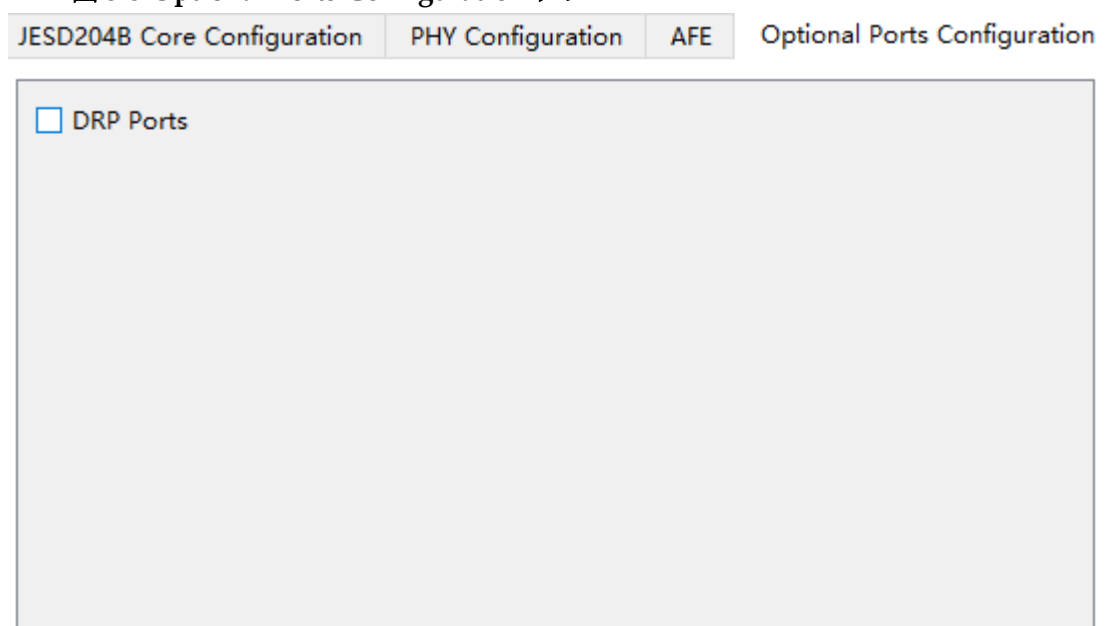
- **Differential Swing** : 180mV~900mV の範囲の送信差動スイング。
- **FFE mode** : FFE 動作モード。Auto を選択した場合、SerDes はハードウェア環境に応じて FFE 係数を自動的に調整しますが、Cm、C0、C1 の構成は無効になります。Manual を選択した場合、Cm 係数と C1 係数を手動で調整でき、C0 は Cm 係数と C1 係数に基づいて自動的に計算されます。
- **SD Threshold** : 受信信号の電圧スレッシュホールド。受信差動信号がスレッシュホールドより大きい場合、SerDes は有効なデータを受信したと判断します。受信差動信号がスレッシュホールドより小さい場合、SerDes は有効なデータを受信していないと判断し、Electrical Idle 状態になります。
- **Equaliaztion Mode** : 受信イコライゼーションモード。「Auto」が選択されている場合、イコライザーは自動モードになり、このモードでは、SerDes の受信側でイコライザーは現在の受信データ品質に基づいてイコライザーを最適な状態に自動的に調整します。この場合、ATT オプションと BOOST オプションは構成不可です。「Manual」が選択されている場合、イコライザーは手動モードになり、このモードでは、イコライザーを最適な状態にするには、ユーザーが ATT オプションと BOOST オプションを手動で構成する必要があります。
- **ATT** : 受信中間周波数の減衰を調整するために使用されるアッテネータです。0~10 の範囲で、値が小さいほど減衰が大きくなります。
- **BOOST** : analog boost で、受信高周波数の増幅を調整するために使用されます。0~15 の範囲で、値が大きいほどゲインが大きくなります。

注記 :

ユーザーがイコライザーを **Manual** に構成した場合、最適な **SerDes** を実現するには、**ATT** オプションと **BOOST** オプションの組み合わせを繰り返し試す必要があります。したがって、**Auto** モードを優先することをお勧めします。**Auto** モードで最適な状態に適応できない場合は、**Manual** モードを試してください。

- **BIAS : SerDes** 受信信号の増幅パラメータを構成するために使用されます。受信信号レートが高く、減衰が大きい場合、ユーザーはこのオプションの構成を変更できます。このオプションの値が大きいほど、信号増幅効果が強くなります。このオプションの構成は、**QUAD** 全体に対する構成です。つまり、あるレーンの構成が変更されると、このレーンが含まれている **QUAD** 内のすべてのレーンの構成が同時に変更されます。

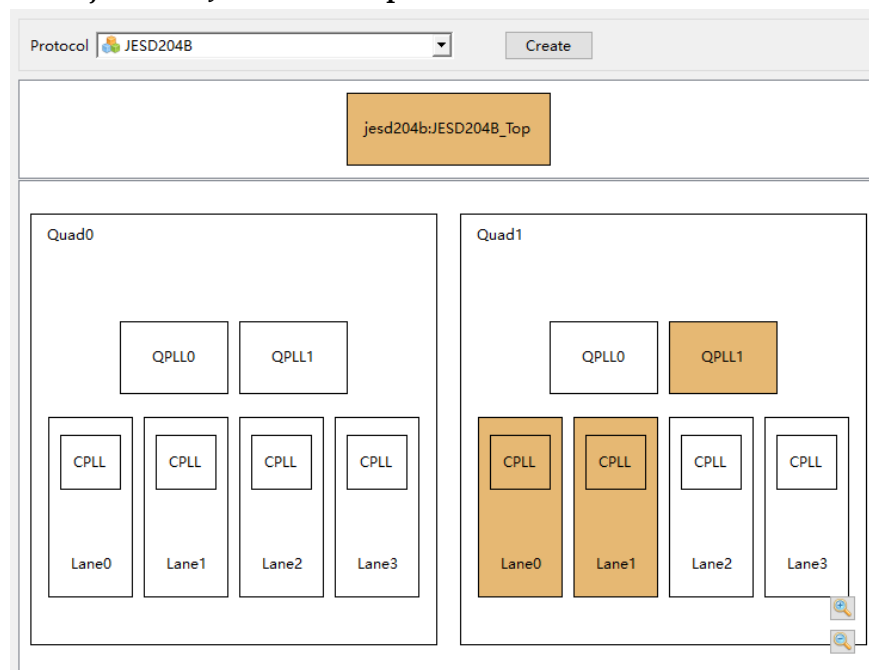
図 5-5 Optional Ports Configuration タブ



DRP Ports : ループバックの動的構成など、**DRP** インターフェースを介して **SerDes** を動的に構成する機能を提供します。

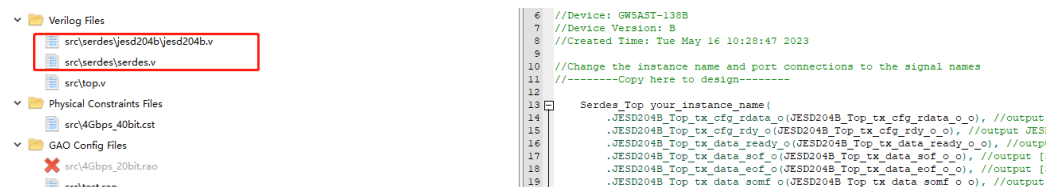
パラメータの設定が完了した後、「**OK**」をクリックすると、**SerDes** 画面に設定されたプロトコルとレーンの位置、および **PLL** の使用状況が表示されます。

図 5-6 jesd204b:JESD204B_Top



そしてもう一度「OK」をクリックすると、jesd204b ip ファイルと、serdes.v などの SerDes プリミティブを含むテキストファイルが自動的に生成されて、プロジェクトに追加されます。ユーザーは呼び出すだけでいいです。

図 5-7 生成されるファイル



6 リファレンス・デザイン

詳細については、GOWIN のホームページにおける [JESD204B IP リファレンス・デザイン](#) を参照してください。

6.1 アプリケーション

JESD204B は、主にロジックデバイスと ADC や DAC を接続するために使用されます。下図は、FPGA と ADC や DAC を 4 レーンで接続する JESD204B インターフェースを示すものです。

図 6-1 FPGA と ADC の接続

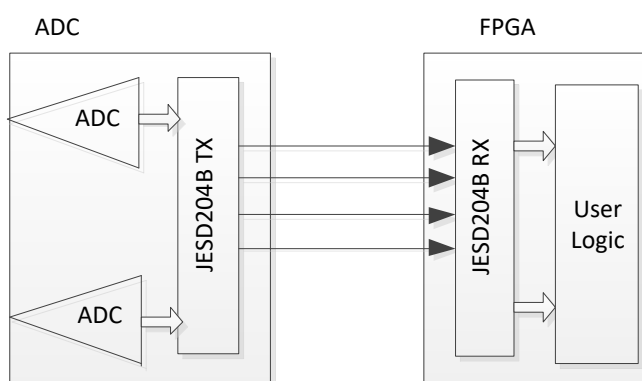
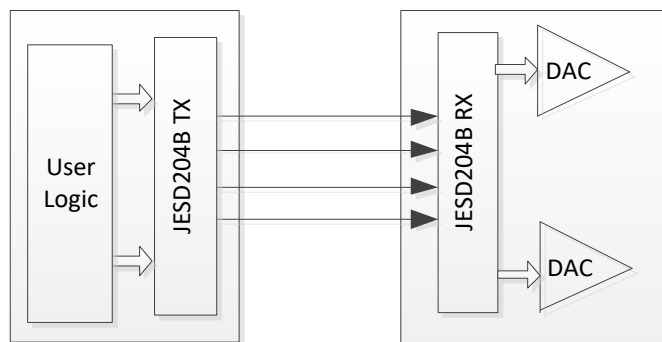


図 6-2 FPGA と DAC の接続

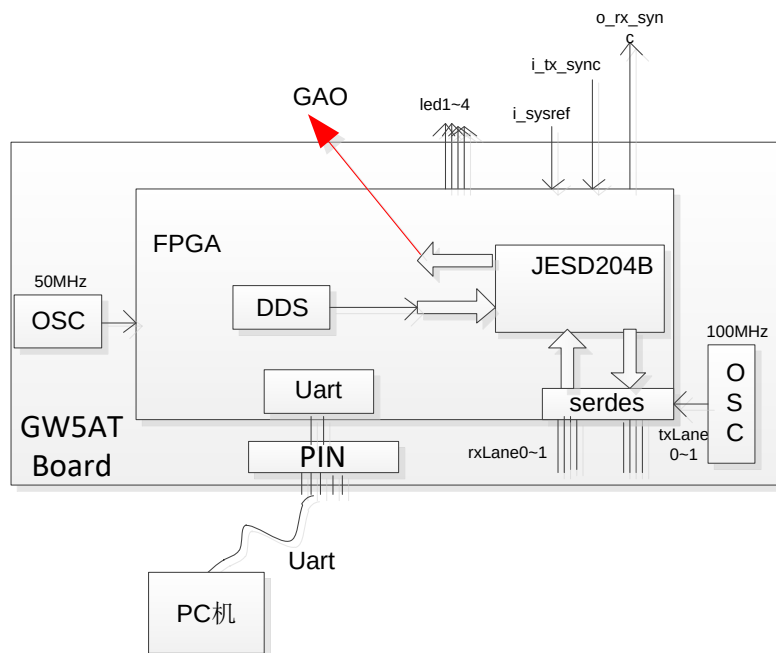


6.2 リファレンス・デザイン

このセクションでは、Gowin JESD204B IP のリファレンス・デザイン例の構成とその使用方法について説明します。

6.2.1 ハードウェア・プラットフォーム

図 6-3 プラットフォームのブロック図



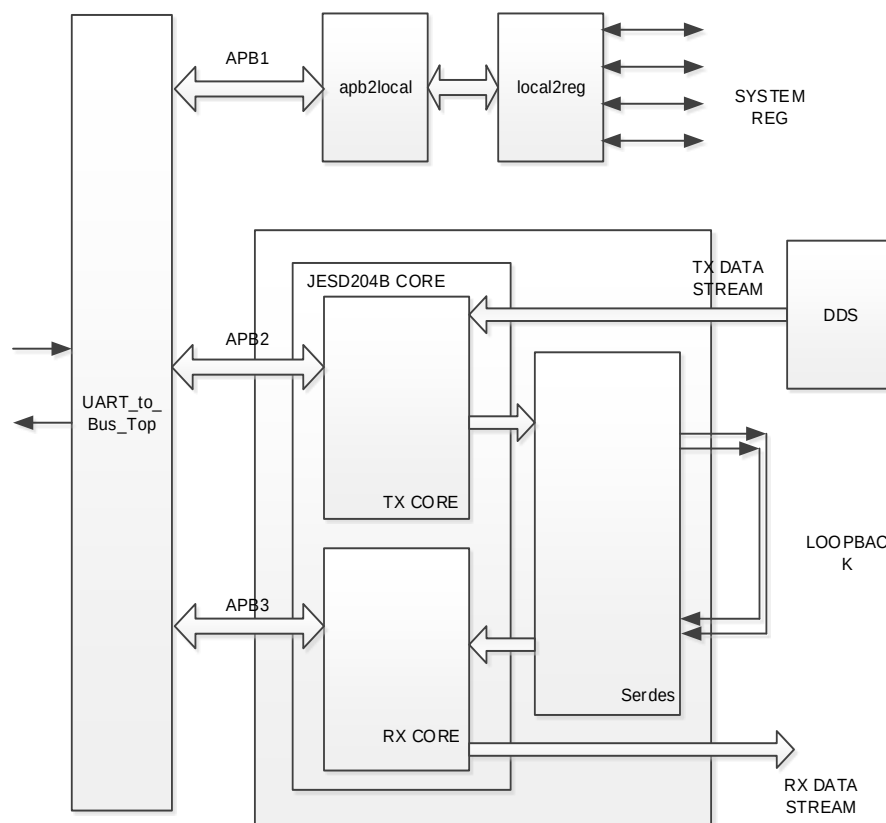
GW5AT ボードでは、次のようなリファレンス例が実装されています。

1. オンボード 50MHz 水晶発振器からのソースは、PLL IP を経て 10MHz の出力クロックになります。この 10MHz のクロックは、コンフィギュレーション・クロック(構成クロック)の生成に使用され、バス構成のクロック、SerDes AHB クロック、JESD204B コア構成クロックなどに使用されます。
2. SerDes のリファレンス・クロックはオンボードの 100MHz 水晶発振器により生成されます。
3. ボードは、ピンヘッダーを介して PC のシリアルポートに接続され、FPGA の内部レジスタは、シリアル・デバッグ・ツールまたはホストコンピュータによって制御されます。
4. リンク立ち上げの状態を示すために 4 つの LED があります。
 - LED D1 - TX コアが受信した SYNC の表示
 - LED D2 - TX コアのデータ送信準備完了表示
 - LED D3 - RX コアが送信した SYNC の表示
 - LED D4 - TX コアのデータ受信有効表示

5. 外部入力信号である **sysref**、**tx_sync**、および出力信号である **rx_sync** がサポートされています。また、上記 3 ポートを使用しない内部ループバック・テストをレジスタで設定することが可能です。

6.2.2 原理図

図 6-4 リファレンス・デザインの原理図



UART_to_Bus IP モジュールは、カスタム・バス・プロトコルを APB インターフェースに変換するために必要なパースを行い、グローバルパラメーター管理用の APB1、ESD204B TX CORE 管理用の APB2、JESD204B RX CORE 管理用の APB3 をそれぞれマウントします。

SerDes の 2 レーンはループバックモードに設定され、TX CORE は DDS からの SINE/COSINE 信号を受信し、TX SerDes インターフェースを介して RX SerDes インターフェースにループバックし、最後に RX CORE は DDS の SINE/COSINE 信号を受信します。

主なモジュールは以下の通りです。

- UART_to_Bus IP モジュール：シリアルポート - バス・モジュールであり、シリアル・デバッグ・ツールやホストコンピュータからのシリアル命令をバス制御のタイミングに変換します。
- DDSDDS モジュール：SINE/COSINE 信号の生成に使用されます。
- Apb2local モジュールと local2reg モジュール：ローカルシステム構成

レジスタの生成に使用されます。

- JESD204B モジュール：このモジュールの構成を図 5-2 と図 5-3 に示します。

6.2.3 バスプロトコルとアドレス計画

Gowin UART to Bus IP は、UART インターフェースを介して内部バスにアクセスすることに使用できるシンプルな命令(コマンド)パーサーです。バスの書き込み・読み出しのプロトコルは以下のように規定されています：

バスの書き込み：「W AAAA BBBBBB」

バスの読み出し：「R AAAA」

バスの読み出しによって次の命令「G AAAA BBBBBB」が返されます。

W は書き込み、R は読み出し、G は読み出し結果返却を意味します。命令内はスペースで区切り、最後にはキャリッジリターンが必要です。AAAA は 16 ビットのアドレス、BBBBBBBB は 32 ビットのデータを意味します。詳細については、『Gowin Uart to Bus IP ユーザーガイド (IPUG1022)』を参照してください。

このリファレンス・デザインでは、UART to Bus IP のパラメータは以下のように設定されています：

図 6-5 UART to Bus IP のパラメータの設定(その 1)

The screenshot shows the configuration interface for the UART to Bus IP. The 'Slave Address' tab is selected. The 'Bus Config' section includes 'Bus Mode' (APB selected), 'Address Width' (16 bits), 'Data Width' (32 bits), and 'Timeout Value' (16 clocks). The 'Uart Config' section shows 'Clock Frequency' (10.000 MHz) and 'Baudrate Value' (115200). The 'Generation Config' section has the 'Disable I/O Insertion' checkbox checked.

図 6-6 UART to Bus IP のパラメータの設定(その 2)

Slave	Base Address	High Address
☒ slave0	0x0000	0x00FF
☒ slave1	0x0100	0x01FF
☒ slave2	0x0200	0x02FF

- Slave0 : APB1 のアドレス範囲は 0x0000～0x00FF です。
 - Slave1 : APB2 のアドレス範囲は 0x0100～0x01FF です。
 - Slave2 : APB3 のアドレス範囲は 0x0200～0x02FF です。
- 詳細なレジスタアドレスの定義は以下の通りです。

表 6-1 レジスタアドレスの定義

オフセットアドレス(32bit)	デフォルト値	W/R	説明
APB1			
0x00	0	WR	シリアル - バス・モジュールが正しく動作しているかどうかを確認するために使用されます。 このレジスタにXが入力された場合、0x80レジスタはX+1を返します。
0x10	0	WR	SerDes PMAのリセット 0 : リセット 1 : 動作
0x11	0	WR	SerDes TX PCSのリセット 0 : 動作 1 : リセット
0x12	0	WR	SerDes RX PCSのリセット 0 : 動作 1 : リセット
0x13	0	WR	JESD204B TXコアのリセット 0 : リセット 1 : 動作
0x14	0	WR	JESD204B RXコアのリセット 0 : リセット 1 : 動作
0x15	0	WR	テストモード : 0 : 外部デバイスと通信します 1 : ループバックテストであり、内部sysrefを使用し、rx_syncをtx_syncに接続します
0x16	0	WR	テストデータ 0 : 0を送信します 1 : DDSを送信します
0x8A	32'h20230406	R	開発日付
0x8B	-	R	開発バージョン
0x90	-	R	[0] : TX CORE syncの表示 [1] : TX CORE data_readyの表示
0x91	-	R	[0] : RX CORE syncの表示 [1] : RX CORE data_validの表示
0x92	-	R	[0] : Quad0 qpll0ロックの表示 [1] : Quad0 qpll1ロックの表示 [2] : Quad1 qpll0ロックの表示 [3] : Quad1 qpll1ロックの表示 [5:4] : 各レーンのcpllロックの表示

オフセットアドレス(32bit)	デフォルト値	W/R	説明
0x93	-	R	[1:0]: 各受信レーンのバイト・アライメントの表示 [9:8]: 各受信レーンのKキャラクタのロックの表示
0x94	-	R	[1:0]: 各受信レーンのPMA CDRのロックの表示
APB2 ---- TX coreバス構成インターフェースに接続されています 注記: カスタム・シリアル・プロトコルでは1アドレス=4バイト、IPコア内のバスでは1アドレス=1バイト、この対応関係に注意してください。			
APB3 ---- RX coreバス構成インターフェースに接続されています 注記: カスタム・シリアル・プロトコルでは1アドレス=4バイト、IPコア内のバスでは1アドレス=1バイト、この対応関係に注意してください。			

6.3 ボードレベル・テスト

6.3.1 操作の説明

このサンプルプロジェクトは、
DK_START_GW5AT-LV138FPG676A_V2.0 開発ボードでテストされ、実装されました。このボードをお持ちでない方がこのサンプルプロジェクトを実行したい場合は、シリアルポートピンとクロック入力ピンをお使いのボードに合わせて変更してからテストに使用してください。

変更が完了した後、ビットストリームファイルを生成して **FPGA** にダウンロードし、テストを開始します。

6.3.2 操作手順

リファレンス・デザインをテストするには、2つの方法があります。

シリアル命令による操作

シリアル命令はリセットの制御だけでなく、IP コアの内部レジスタの設定や監視にも使用できます。シリアルポートのボーレートは **115200** に設定されています。

1. ビットストリームファイルが **FPGA** にダウンロードされた後、まずシリアル命令が機能しているかを確認する必要があります。

入力: **R 008A**

返り: **G 008A 20230406**

これは、PC と **FPGA** の間の通信に問題がないことを意味し、そうでない場合は、次のステップに進む前にまず、通信できない理由をトラブルシューティングする必要があります。

2. **TX** コアと **RX** コアのパラメータを設定します

通常、主要なパラメータは **GUI** で設定できますが、必要に応じて命令

で設定することも可能です。このサンプルプロジェクトでは、設定しなくていいです。

例えば、F と K パラメータのデフォルトは F=4、K=32 なので、F=2、K=16 に設定する手順は次のとおりです。

F と K パラメータのレジスタ領域 0x01C (F_and_K) です。対応するシリアル・プロトコル・アドレスは、0x0107(TX コア)、0x207(RX コア)です。まず、この 2 つのレジスタをクエリします。

R 0107

R 0207

次の命令を送信します

W 0107 00000F01

W 0207 00000F01

この 2 つのレジスタをもう一度リードバックして、正しく設定されているかどうかを確認します。

3. QPLL のロックを検証します

入力 : R 0092

返り : G 0092 00000008

これは、Quad1 QPLL1 がロックされていることを示します

4. ループバックモードを設定します

命令を送信 : W 0015 00000001

5. SerDes PMA のリセットを解除します

命令を送信 : W 0010 00000001

6. TX コアのリセットを解除します

命令を送信 : W 0013 00000001

7. RX コアのリセットを解除します

命令を送信 : W 0014 00000001

8. DDS を送信します

命令を送信 : W 0016 00000001

9. リンクの立ち上げ状況をクエリします

命令を送信 : R 0090、R 0091

次の命令が返された場合、

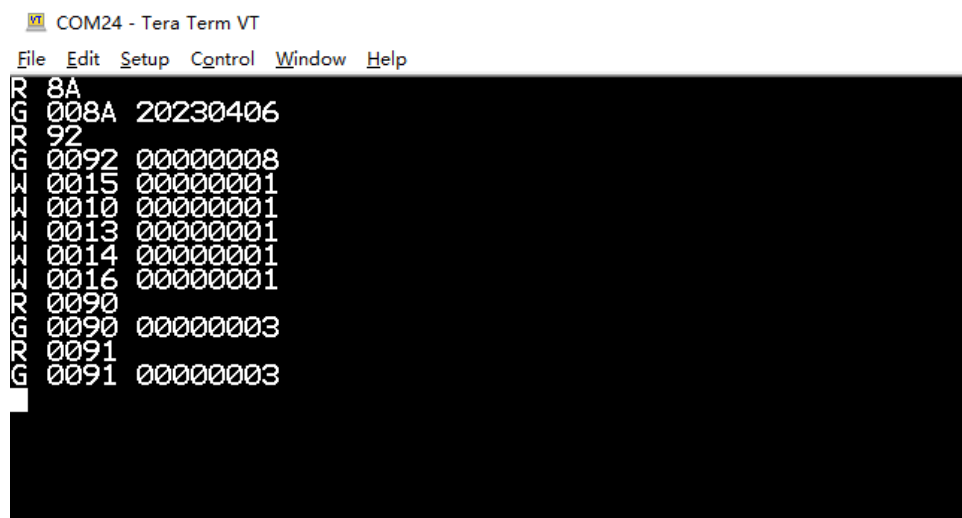
G 0090 00000003

G 0091 00000003

返された値は 3 であり、TX と RX の両方が正常にリンクされたことを

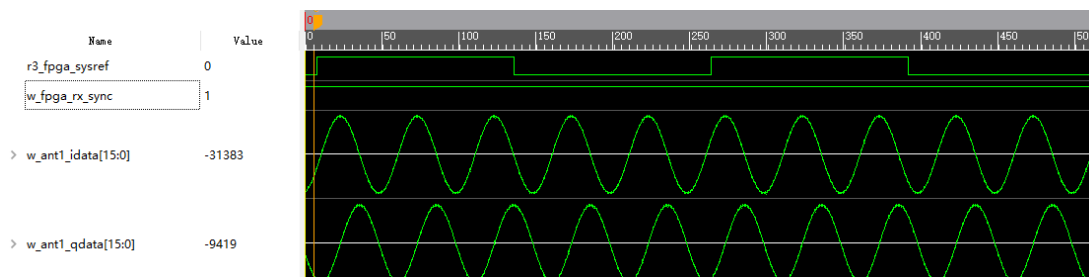
意味します。命令入力プロセスを次の図に示します。

図 6-7 命令入力プロセス



また、4つのLEDがすべて点灯していることも、TXとRXの両方が正常にリンクされたことを意味します。受信したDDSデータは、GAOでキャプチャすることができます。

図 6-8 DDSデータのキャプチャ



簡単なスイッチ操作

シリアルポートによる操作の条件が整わない場合は、キー押しによる操作も可能です。DK_START_GW5AT-LV138FPG676A_V2.0 開発ボードのスイッチ SW1 (L25) を切り替えることで、内部コードが自動的にループバックモード、SerDes PMA リセット解除、TX コアリセット解除、RX コアリセット解除、DDS 送信などの操作を実行します。スイッチ操作後、4つのLEDがすべて点灯していることは、TXとRXの両方が正常にリンクされたことを意味します。受信したDDSデータは、GAOでキャプチャすることができます。

7 提供されるファイル

提供されるファイルには主に、ドキュメント、デザインのソースコード、およびリファレンス・デザインが含まれています。

7.1 ドキュメント

フォルダには主にユーザーガイドの PDF ファイルが含まれています。

表 7-1 ファイル一覧

名称	説明
Gowin JESD204B IP ユーザーガイド (IPUG1019)	即ち、本マニュアル

7.2 デザインのソースコード(暗号化)

暗号化コードのフォルダには、GUI で使用される、Gowin JESD204B IP の RTL 暗号化コードが含まれています。

表 7-2 Gowin JESD204B IP のソースコード一覧

名称	説明
jesd204b_core.v	暗号化されている、IP コアのトップレベル・ファイル。ユーザーにインターフェース情報を提供します。

7.3 リファレンス・デザイン

Gowin JESD204B IP RefDesign フォルダには、主に Gowin JESD204B IP のネットリスト・ファイル、リファレンス・デザイン、制約ファイル、トップレベル・ファイル、およびプロジェクト・フォルダなどが含まれています。

表 7-3 Gowin JESD204B IP RefDesign フォルダのコンテンツ一覧

名称	説明
top.v	リファレンス・デザインのトップ・モジュール
top.cst	物理制約ファイル
top.sdc	タイミング制約ファイル
jesd204b.v	JESD204B IP のトップレベル・ファイル(暗号化)

名称	説明
Serdes.v	SerDes プリミティブと jesd204b のインスタンス
Uart_to_Bus_Top.v	シリアル - バス IP
Cos_sin_table.v	SINE/COSINE 信号生成モジュール
sysreg.v	SysReg 生成モジュール
Gowin_pll.v	PLL IP ファイル

