



Gowin CPRI IP ユーザーガイド

IPUG1017-1.4J, 2024-10-25

著作権について(2024)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

 **GOWIN** 及び **Gowin** は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI取引条件) に規定されている内容を除き、(明示的か又は黙示的に拘わらず) いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ (不具合情報) については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2023/05/25	1.0J	初版。
2023/07/06	1.0.1J	「表 3-1 Gowin CPRI IP のポート一覧」を更新。
2023/08/18	1.1J	● リソース使用量を更新。 ● ポート一覧を更新。 ● リファレンス・デザインを更新。
2023/09/08	1.2J	8.11008Gbps および 10.1376Gbps のサポートを追加。
2024/03/19	1.3J	● 12.16512Gbps のサポートを追加。 ● AFE Configuration タブを追加。 ● Optional Ports Configuration タブを追加。
2024/10/25	1.4J	構成オプション「Reference Clock Source」の説明を更新。

目次

目次	i
図一覧.....	iii
表一覧.....	v
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	1
1.4 テクニカル・サポートとフィードバック	2
2 機能の紹介	3
2.1 概要	3
2.2 主な特徴	3
2.3 リソース使用量	4
3 機能の説明	6
3.1 ブロック図	6
3.2 各モジュールの機能	7
3.3 ユーザーインターフェース	9
3.4 ポート一覧	9
3.5 ユーザーインターフェースのタイミング	21
3.5.1 フレームカウント・インターフェースのタイミング図	21
3.5.2 IQ インターフェースのタイミング図	23
3.5.3 HDLC インターフェースのタイミング図	26
3.5.4 イーサネットインターフェースのタイミング図	27
3.5.5 Vendor インターフェースのタイミング図	27
3.5.6 リアルタイム vendor カスタム・インターフェースのタイミング図	29
3.5.7 コンフィギュレーションインターフェースのタイミング図	30
3.5.8 DRP インターフェースのタイミング図	30
3.6 レジスタインターフェース	31
3.6.1 リンク状態 (0x0)	33

3.6.2 状態機械状態 (0x4)	34
3.6.3 現在レート (0x8)	34
3.6.4 プロトコルバージョン状態 (0xc)	35
3.6.5 送信スクランブリング・シード (0x10)	35
3.6.6 受信デスクランブリング・シード (0x14)	35
3.6.7 HDLC レート (0x18)	36
3.6.8 Ethernet レート (0x1c)	37
3.6.9 HDLC ユーザー定義 (0x20)	37
3.6.10 受信エラー統計 (0x24)	38
3.6.11 ループバック構成 (0x28)	38
3.6.12 遅延レジスタ (0x2C)	39
3.6.13 SerDes 受信同期状態 (0x30)	39
4 GUI での構成	40
5 リファレンス・デザイン	48
5.1 アプリケーション	48
5.2 リファレンス・デザインの特性	48
5.3 CPRI IP リファレンス・デザイン・プロジェクト	49
5.4 リファレンス・デザイン・ボードテスト	50
6 提供されるファイル	57
6.1 ドキュメント	57
6.2 デザインのソースコード(暗号化).....	57
6.3 リファレンス・デザイン	57

図一覧

図 3-1 ブロック図	6
図 3-2 Gowin CPRI IP のポート図	10
図 3-3 送信方向フレームカウント・インターフェースのタイミング図	21
図 3-4 受信方向フレームカウント・インターフェースのタイミング図	22
図 3-5 9.8304Gbps 送信方向 I/Q インターフェース	24
図 3-6 6.144Gbps 送信方向 I/Q インターフェース	24
図 3-7 3.072Gbps 送信方向 I/Q インターフェース	25
図 3-8 9.8304Gbps 受信方向 I/Q インターフェース	25
図 3-9 6.144Gbps 受信方向 I/Q インターフェース	25
図 3-10 3.072Gbps 受信方向 I/Q インターフェース	26
図 3-11 HDLC 送信インターフェースのタイミング図	26
図 3-12 HDLC 受信インターフェースのタイミング図	26
図 3-13 イーサネット送信インターフェースのタイミング図	27
図 3-14 イーサネット受信インターフェースのタイミング図	27
図 3-15 Vendor 送信インターフェースのタイミング図	28
図 3-16 Vendor 受信インターフェースのタイミング図	29
図 3-17 リアルタイム vendor カスタム送信インターフェースのタイミング図	29
図 3-18 リアルタイム vendor カスタム受信インターフェースのタイミング図	30
図 3-19 コンフィギュレーションインターフェースの読み出しタイミング図	30
図 3-20 コンフィギュレーションインターフェースの書き込みタイミング図	30
図 3-21 DRP インターフェースの書き込みタイミング	31
図 4-1 SerDes IP の構成画面	40
図 4-2 CPRI IP の構成画面	41
図 4-3 CPRI Core プロトコルの構成画面	42
図 4-4 CPRI PHY の構成画面	43
図 5-1 アプリケーション例のブロック図	48
図 5-2 リファレンス・デザイン例の基本構造	50
図 5-3 テスト環境のブロック図	51
図 5-4 シリアル・ポート・ツールの表示(その 1)	53

図 5-5 シリアル・ポート・ツールの表示(その 2).....	53
図 5-6 シリアル・ポート・ツールの表示(その 3).....	54
図 5-7 シリアル・ポート・ツールの表示(その 4).....	54
図 5-8 シリアル・ポート・ツールの表示(その 5).....	54
図 5-9 シリアル・ポート・ツールの表示(その 6).....	55
図 5-10 シリアル・ポート・ツールの表示(その 7).....	55

表一覧

表 1-1 用語、略語	1
表 2-1 Gowin CPRI IP の概要	3
表 2-2 Gowin CPRI IP のリソース使用量	4
表 3-1 Gowin CPRI IP のポート一覧	11
表 3-2 レジスタ一覧	31
表 3-3 リンク状態レジスタ	33
表 3-4 L1 状態機械状態レジスタ	34
表 3-5 現在レートレジスタ	34
表 3-6 プロトコルバージョン状態レジスタ	35
表 3-7 送信スクランプリング・シード・レジスタ	35
表 3-8 受信デスクランプリング・シード・レジスタ	35
表 3-9 HDLC レートレジスタ	36
表 3-10 Ethernet レートレジスタ	37
表 3-11 HDLC ユーザー定義レジスタ	37
表 3-12 受信エラー統計レジスタ	38
表 3-13 ループバック構成レジスタ	38
表 3-14 遅延レジスタ	39
表 3-15 SerdDes 受信同期状態レジスタ	39
表 4-1 CPRI IP の構成画面のパラメータ	43
表 5-1 サポートされるラインレート	48
表 5-2 testreg レジスタ一覧	51
表 6-1 ファイル一覧	57
表 6-2 Gowin CPRI IP のソースコード一覧	57
表 6-3 Gowin CPRI IP RefDesign フォルダのコンテンツ一覧	57

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、ユーザーが Gowin CRPI IP を使いこなせるよう、その機能、機能の説明、GUI での呼び出し、およびリファレンス・デザインなどについて説明します。本マニュアルに記載のソフトウェア GUI のスクリーンショットは、Gowin ソフトウェア 1.9.10.03 バージョンの場合のもので、ソフトウェアのアップデートにより、一部の内容が変更される場合があります。

1.2 関連ドキュメント

GOWIN セミコンダクターの[ホームページ](#)から、以下の関連ドキュメントがダウンロード、参考できます：

- Gowin ソフトウェア ユーザーガイド([SUG100](#))
- GW5AT シリーズ FPGA 製品データシート([DS981](#))
- GW5AST シリーズ FPGA 製品データシート([DS1104](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
CPRI	Common Public Radio Interface	共通公衆無線インターフェイス
DRP	Dynamic Reconfiguration Port	ダイナミック・リコンフィギュレーション・ポート
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
GMII	Gigabit Media Independent Interface	ギガビット媒体独立インターフェース
HDLC	High level Data Link Control	ハイレベルデータリンク制

用語、略語	正式名称	意味
		御手順
IP	Intellectual Property	設計資産
IQ	In-Phase and Quadrature	同相/直交
MII	Medium Independent Interface	媒体独立インタフェース
PRBS	Pseudo-Random Binary Sequence	擬似ランダム・バイナリ・シーケンス
RE	Remote Radio Equipment	リモート無線装置
REC	Radio Equipment Control	無線装置制御装置

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 機能の紹介

2.1 概要

Gowin CPRI IP は、Common Public Radio Interface（CPRI）プロトコル V7.0 をサポートし、Radio Equipment Control（REC）と Remote Radio Equipment（RE）間の高速シリアル信号伝送をサポートしています。この IP には、CPRI IP プロトコルのフレーミング/デフレーミング設計と SerDes 側の RTL 設定が含まれ、また、IQ インターフェース、イーサネットインターフェース、HDLC インターフェース、Vendor インターフェース、および内部フレーム構造カウントインターフェースを含むユーザー側インターフェースが提供されています。

表 2-1 Gowin CPRI IP の概要

Gowin CPRI IP	
ロジックリソース	表 2-2 参照。
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンス・デザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis®
統合開発環境	Gowin ソフトウェア(V1.9.9Beta-1 以降)

注記：

デバイスのサポート情報は、Gowin セミコンダクターの[ホームページ](#)で確認できます。

2.2 主な特徴

CPRI IP の主な特徴は次のとおりです。

- CPRI プロトコル V7.0 バージョンに準拠
- 1.2288Gbps、2.4576Gbps、3.072Gbps、4.9152Gbps、6.144Gbps、

9.8304Gbps、8.11008Gbps、10.1376Gbps、12.16512Gbps のラインレートをサポート

注記：

固定のラインレートをサポートし、つまり複数のレートのオンラインネゴシエーション・スイッチングはサポートしていません。

- REC または RE をサポート
- HDLC トランスペアレント伝送モードをサポート
- GMII インターフェースまたは MII インターフェースのいずれかを選択できるイーサネット伝送をサポート
- 管理インターフェースをサポート
- カスタム・コントロールワードの伝送をサポート
- ステータスインターフェースを提供

注記：

プロトコルバージョン番号ネゴシエーション、HDLC レートネゴシエーション、イーサネットレートネゴシエーションはサポートされていません。この機能は、コンフィギュレーション(構成)インターフェースを介してレジスタを操作することで実装できます。

2.3 リソース使用量

Gowin CPRI IP は Verilog で実装されます。パフォーマンスとリソース使用量は、使用されているデバイスの密度、スピードグレードなどにより異なる場合があります。例えば、GW5AT シリーズ FPGA の場合、CPRI IP のリソース使用量は表 2-2 に示すようになります。

表 2-2 Gowin CPRI IP のリソース使用量

レート (Gbps)	Fixed Config	リソース使用量				
		Register	LUT	ALU	BSRAM	SSRAM
1.2288	イネーブル	1759	873	281	11	0
	ディセーブル	1954	1042	301	11	0
2.4576	イネーブル	1825	882	281	11	0
	ディセーブル	2018	1044	301	11	0
3.072	イネーブル	1865	905	281	11	0
	ディセーブル	2056	1049	301	11	0
4.9152	イネーブル	2991	1519	288	11	0
	ディセーブル	3341	1849	308	11	0

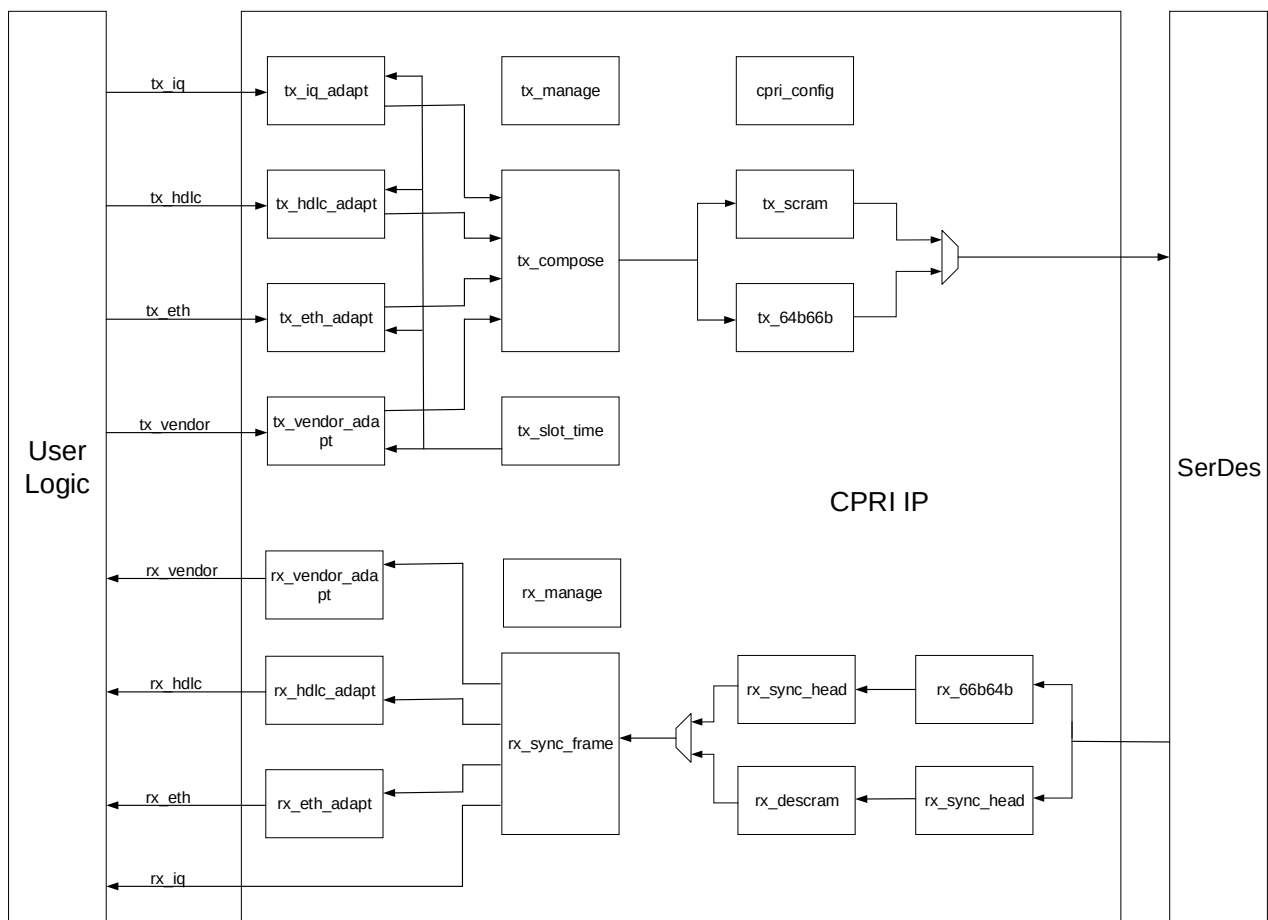
レ ー ト (Gbps)	Fixed Config	リソース使用量				
		Register	LUT	ALU	BSRAM	SSRAM
6.144	イネーブル	3063	1525	295	11	0
	ディセーブル	3411	1858	308	11	0
9.8304	イネーブル	4354	2319	295	11	0
	ディセーブル	4852	2870	308	11	0
8.11008	イネーブル	7077	3466	441	15	0
	ディセーブル	7573	4050	454	15	0
10.1376	イネーブル	7077	3475	441	15	0
	ディセーブル	7573	4037	454	15	0
12.16512	イネーブル	7154	4353	467	15	0
	ディセーブル	7650	4889	480	15	0

3 機能の説明

3.1 ブロック図

Gowin CPRI IP には、送信方向と受信方向があります。送信方向は、ユーザが入力した IQ、HDLC、Vendor、および Ethernet データのフレーミングを実行し、フレーミング後のデータを SerDes 経由で送信します。受信方向は SerDes からデータを受信し、そして、CPRI プロトコルに従って、IQ、HDLC、Vendor、および Ethernet データのデフレーミングを実行します。そのブロック図を図 3-1 に示します。

図 3-1 ブロック図



3.2 各モジュールの機能

Gowin CPRI IP の各サブモジュールの概要は次のとおりです。

- **tx_iq_adapt** モジュール: IQ データを対応する CPRI フレームのタイムスロットにパディングします。
- **tx_hdlc_adapt** モジュール: HDLC データを対応する CPRI フレームのタイムスロットにパディングします。
- **tx_eth_adapt** モジュール: イーサネット・パケットを対応する CPRI フレームのタイムスロットに送信します。
- **tx_vendor_adapt** モジュール: vendor データを対応するタイムスロットにパディングします。
- **tx_compose** モジュール: IQ データ、HDLC データ、Ethernet データ、vendor データを 1 つの CPRI プロトコルフレームにします
- **tx_manage** モジュール: 他のモジュールのリセット、ラインレートや HDLC のレートなどのパラメータの設定用の送信管理モジュールです
- **tx_slot_time** モジュール: タイムスロットのカウント、chip のカウント、ハイパーフレームのカウント、10ms フレームのカウントなどを生成するカウンターです
- **cpri_config** モジュール: CPRI IP 内部のレジスタリストを保持します
- **tx_scram** モジュール: 8B10B 際のスクランブリング・モジュールです。構成されたスクランブリング・シードに基づいてデータをスクランブリングし、4.9152G、6.144G、9.8304G の場合にのみ、プロトコルのバージョンに応じてスクランブリングするかどうかを選択します
- **tx_64b66b** モジュール: 64B66B エンコード際のクロック・ドメイン・クロッシング、64B66B エンコード、スクランブリング、および Gearbox 機能の処理に使用されます。このモジュールは 8.11008G、10.1376G などのレートに予約されており、8B10B エンコード/デコードの場合はこのモジュールを通過しません
- **rx_66b64b** モジュール: 66B64B デコード際の Gearbox 機能、bitflip 機能、デスクランブリング、66B64B デコード、クロック・ドメイン・クロッシングに使用されます。このモジュールは、8.11008G、10.1376G などのレートに予約されており、8B10B エンコード/デコードの場合このモジュールを通過しません
- **rx_descram** モジュール: 8B10B 際のデスクランブリング・モジュールです。受信側で解析されたデスクランブリング・シードに基づいてデータをデスクランブリングし、4.9152G、6.144G、9.8304G の場合にのみ、プロトコルのバージョンに応じてデスクランブリングするかどうかを選択します
- **rx_sync_head** モジュール: リンクの状態の判定、内部タイムスロット

/chip/ハイパーフレームなどのカウンターの再補正に使用されます

- **rx_sync_frame module** : IQ データを抽出します。
- **rx_manage** モジュール : 他のモジュールのリセット、ラインレートや HDLC のレートなどのパラメータの設定用の受信管理モジュールです
- **rx_hdlc_adapt** モジュール : 受信した CPRI フレームから HDLC データを抽出します
- **rx_eth_adapt** モジュール : 受信した CPRI フレームからイーサネット・パケットを抽出します
- **rx_vendor_adapt** モジュール : 受信した CPRI フレームから vendor データを抽出します

3.3 ユーザーインターフェース

CPRI が提供するユーザー側インターフェースの概要は、次のとおりです。

- **I/Q インターフェース**：I/Q データのリアルタイム転送インターフェース
- **フレームカウント・インターフェース**：CPRI 内部の送受信フレームのカウントを出力します
- **同期インターフェース**：送信側が入力の **10ms** フレームヘッダーに再同期化することをサポートし、送信側からの **10ms** フレームヘッダーとフレーム ID の入力をサポートし、受信側の **10ms** フレームヘッダーとフレーム ID の出力をサポートします
- **HDLC インターフェース**：送受信のランスペアレント伝送をサポートします
- **イーサネット・インターフェース**：MII インターフェースまたは GMII インターフェースのイーサネット・メッセージの伝送をサポートします。CPRI IP にはイーサネットのバッファが内蔵されています
- **vendor カスタム・インターフェース**：vendor のカスタム・コントロールワードの送受信をサポートします
- **リアルタイム vendor カスタム・インターフェース**：10.1376Gbps 以上のレートの場合、vendor カスタム・コントロールワード、IQ データ、プロトコル・コントロールワードに加え、プロトコルは、データの転送のために追加の帯域幅を提供しますユーザーは、IQ データまたはカスタムデータを追加の帯域幅で転送するか選択できます
- **管理インターフェース**：IP 内部レジスタリストにアクセスするためのコンフィギュレーションインターフェースを提供します
- **Z130_0 プロトコル・コントロールワード・インターフェース**：Z130.0 プロトコル・コントロールワードの送受信のランスペアレント伝送をサポートします
- **ステータスインターフェース**：遅延値、同期ステータスなどを報告します。
- **SerDes 関連インターフェース**：クロック、リセットなど。

3.4 ポート一覧

Gowin CPRI IP の IO ポートを図 3-2 に示します。

図 3-2 Gowin CPRI IP のポート図

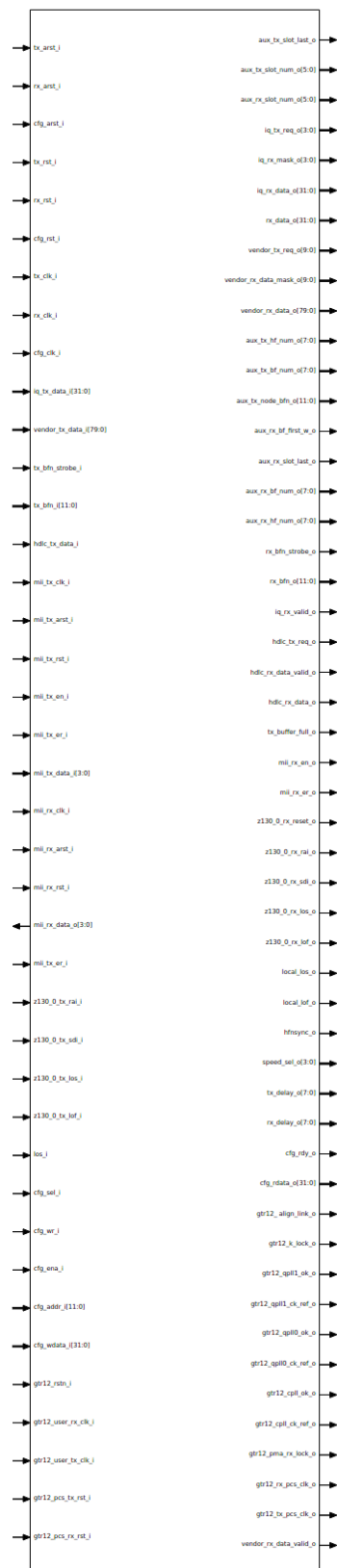


表 3-1 Gowin CPRI IP のポート一覧

ポート名	I/O	幅	説明
クロックとリセット			
tx_arst_i	入力	1	送信方向の非同期リセット信号、アクティブ High。
rx_arst_i	入力	1	受信方向の非同期リセット信号、アクティブ High。
cfg_arst_i	入力	1	構成モジュールの非同期リセット信号、アクティブ High。
tx_rst_i	入力	1	送信方向の同期リセット信号、アクティブ High。
rx_rst_i	入力	1	受信方向の同期リセット信号、アクティブ High。
cfg_rst_i	入力	1	構成モジュールの同期リセット信号、アクティブ High。
tx_clk_i	入力	1	CPRI IP の送信方向のクロック。その周波数はレートに依存します ● 1.2288G, 61.44M ● 2.4576G, 122.88M ● 3.072G, 153.6M ● 4.9152G, 122.88M ● 6.144G, 153.6M ● 9.8304G, 122.88M ● 8.11008G, 122.88M ● 10.1376G, 153.6M ● 12.16512G, 184.32M
rx_clk_i	入力	1	CPRI IP の受信方向のクロック。その周波数は tx_clk_i と同じです。
cfg_clk_i	入力	1	コンフィギュレーションクロック。その周波数はインターフェース「Config clk Period」オプションを使用して入力できます。
フレームカウント・インターフェース			
aux_tx_slot_last_o	出力	1	送信フレームのカウント。アクティブ High。各 chip の最後のタイムスロットを示します。
aux_tx_slot_num_o	出力	[N-1:0]	送信フレームのカウント。タイムスロット・カウンタ： ● 1.2288G の場合、0～15 でループカウント ● 2.4576G の場合、0～31 でループカウント ● 3.072G の場合、0～39 でループカウント

ポート名	I/O	幅	説明
			● 4.9152G の場合、0～31 でループカウント ● 6.144G の場合、0～39 でループカウント ● 9.8304G の場合、0～31 でループカウント ● 8.11008G の場合、0～31 でループカウント ● 10.1376G の場合、0～39 でループカウント ● 12.16512G の場合、0～47 でループカウント
aux_tx_bf_num_o	出力	[7:0]	送信フレームのカウント。chip カウンター(0~255)。
aux_tx_hf_num_o	出力	[7:0]	送信フレームのカウント。ハイパーフレーム・カウンタ(0~149)。
aux_tx_node_bfn_o	出力	[11:0]	送信フレームのカウント。10ms フレームシーケンス番号
aux_rx_bf_first_w_o	出力	1	受信フレームのカウント。アクティブ High。各 chip の最初のタイムスロットを示します。
aux_rx_slot_last_o	出力	1	受信フレームのカウント。アクティブ High。各 chip の最後のタイムスロットを示します。
aux_rx_slot_num_o	出力	[N-1:0]	受信フレームのカウント。タイムスロット・カウンタ： ● 1.2288G の場合、0～15 でループカウント ● 2.4576G の場合、0～31 でループカウント ● 3.072G の場合、0～39 でループカウント ● 4.9152G の場合、0～31 でループカウント ● 6.144G の場合、0～39 でループカウント ● 9.8304G の場合、0～31 でループカウント ● 8.11008G の場合、0～31 でループカウント ● 10.1376G の場合、0～39 でループカウント ● 12.16512G の場合、0～47 でループカウント
aux_rx_bf_num_o	出力	[7:0]	受信フレームのカウント。chip カウンター

ポート名	I/O	幅	説明
			(0~255)。
aux_rx_hf_num_o	出力	[7:0]	受信フレームのカウント。ハイパーフレーム・カウンタ(0~149)。
フレーム同期信号			
tx_bfn_strobe_i	入力	1	送信フレームの開始信号。アクティブ High。送信側のタイムスロットを補正するために使用されます。
tx_bfn_i	入力	[11:0]	送信 10ms フレームシーケンス番号。
rx_bfn_strobe_o	出力	1	受信フレームの開始信号。アクティブ High。10ms フレームの始点を示します。
rx_bfn_o	出力	[11:0]	受信 10ms フレームシーケンス番号。
IQ インターフェース			
iq_tx_req_o	出力	[N-1:0]	送信 IQ データ要求信号。アクティブ High。 ● 1.2288G の場合、[1:0]が有効 ● 2.4576G の場合、[1:0]が有効 ● 3.072G の場合、[1:0]が有効 ● 4.9152G の場合、[3:0]が有効 ● 6.144G の場合、[3:0]が有効 ● 9.8304G の場合、[7:0]が有効 ● 8.11008G の場合、[7:0]が有効 ● 10.1376G の場合、[7:0]が有効 ● 12.16512G の場合、[7:0]が有効
iq_tx_data_i	入力	[N-1:0]	送信 IQ データ。iq_tx_req_o が有効な場合、データ iq_tx_data_i は iq_tx_req_o より 1 クロックサイクル遅延してこのインターフェースに入力されます。 ● 1.2288G の場合、[15:0]が有効 ● 2.4576G の場合、[15:0]が有効 ● 3.072G の場合、[15:0]が有効 ● 4.9152G の場合、[31:0]が有効 ● 6.144G の場合、[31:0]が有効 ● 9.8304G の場合、[63:0]が有効 ● 8.11008G の場合、[63:0]が有効 ● 10.1376G の場合、[63:0]が有効 ● 12.16512G の場合、[63:0]が有効
iq_rx_valid_o	出力	1	受信 IQ データ有効信号。アクティブ High。
iq_rx_mask_o	出力	[N-1:0]	受信 byte インジケータ 注記： iq_rx_valid_o が有効である場合にのみ意味があります。そのデータ幅は iq_tx_req_o と同じです。
iq_rx_data_o	出力	[N-1:0]	受信した IQ データ。そのデータ幅は iq_tx_data_i と同じです。

ポート名	I/O	幅	説明
rx_data_o	出力	[N-1:0]	受信した CPRI データ。そのデータ幅は iq_tx_data_i と同じです。
HDLC インターフェース			
hdlc_tx_req_o	出力	1	HDLC 送信要求信号。アクティブ High。
hdlc_tx_data_i	入力	1	hdlc_tx_req_o が有効な場合、HDLC データ hdlc_tx_data_i は hdlc_tx_req_o より 1 クロックサイクル遅延してこのインターフェースに入力されます。
hdlc_rx_data_valid_o	出力	1	HDLC データ有効信号。アクティブ High。
hdlc_rx_data_o	出力	1	受信した HDLC データ。
イーサネット MII インターフェース (MII インターフェースまたは GMII インターフェース)			
mii_tx_clk_i	入力	1	送信方向、イーサネットインターフェースの動作クロック、25MHz。
mii_tx_arst_i	入力	1	送信方向、イーサネットインターフェースの非同期リセット。
mii_tx_rst_i	入力	1	送信方向、イーサネットインターフェースの同期リセット。
mii_tx_en_i	入力	1	送信方向、イーサネットインターフェースのイネーブル。アクティブ High。
mii_tx_er_i	入力	1	送信方向、イーサネットインターフェース・エラーの表示。アクティブ High。 mii_tx_en_i が有効である場合にのみ mii_tx_er_i が判断されます。
mii_tx_data_i	入力	[3:0]	送信方向、イーサネットデータ
tx_buffer_full_o	出力	1	送信方向。送信バッファが full で、新しいパケットをバッファリングできないことを示します。アクティブ High。
mii_rx_clk_i	入力	1	受信方向、イーサネットインターフェースの動作クロック、25MHz。
mii_rx_arst_i	入力	1	受信方向、イーサネットインターフェースの非同期リセット。
mii_rx_rst_i	入力	1	受信方向、イーサネットインターフェースの同期リセット。
mii_rx_en_o	出力	1	受信方向、イーサネットインターフェースのイネーブル。アクティブ High。
mii_rx_data_o	出力	[3:0]	受信方向、イーサネットデータ
mii_rx_er_o	出力	1	受信方向、イーサネットインターフェース・エラーの表示。アクティブ High。 mii_rx_en_o が有効である場合にのみ mii_rx_er_o が判断されます。
イーサネット GMII インターフェース (MII インターフェースまたは GMII インター			

ポート名	I/O	幅	説明
フェース)			
gmii_tx_clk_i	入力	1	送信方向、イーサネットインターフェースの動作クロック、125MHz。
gmii_tx_arst_i	入力	1	送信方向、イーサネットインターフェースの非同期リセット。
gmii_tx_rst_i	入力	1	送信方向、イーサネットインターフェースの同期リセット。
gmii_tx_en_i	入力	1	送信方向、イーサネットインターフェースのイネーブル。アクティブ High。
gmii_tx_er_i	入力	1	送信方向、イーサネットインターフェース・エラーの表示。アクティブ High。 gmii_tx_en_i が有効である場合にのみ gmii_tx_er_i が判断されます。
gmii_tx_data_i	入力	[7:0]	送信方向、イーサネットデータ
gmii_tx_buffer_full_o	出力	1	送信方向。送信バッファが full で、新しいパケットをバッファリングできないことを示します。アクティブ High。
gmii_rx_clk_i	入力	1	受信方向、イーサネットインターフェースの動作クロック、125MHz。
gmii_rx_arst_i	入力	1	受信方向、イーサネットインターフェースの非同期リセット。
gmii_rx_rst_i	入力	1	受信方向、イーサネットインターフェースの同期リセット。
gmii_rx_en_o	出力	1	受信方向、イーサネットインターフェースのイネーブル。アクティブ High。
gmii_rx_data_o	出力	[7:0]	受信方向、イーサネットデータ
gmii_rx_er_o	出力	1	受信方向、イーサネットインターフェース・エラーの表示。アクティブ High。 gmii_rx_en_o が有効である場合にのみ gmii_rx_er_o が判断されます。
vendor カスタム・コントロールワード・インターフェース			
vendor_tx_req_o	出力	[N-1:0]	送信方向。vendor カスタムデータ要求信号。アクティブ High。 ● 1.2288G の場合、[1:0]が有効 ● 2.4576G の場合、[3:0]が有効 ● 3.072G の場合、[4:0]が有効 ● 4.9152G の場合、[7:0]が有効 ● 6.144G の場合、[9:0]が有効 ● 9.8304G の場合、[15:0]が有効 ● 8.11008G の場合、[15:0]が有効 ● 10.1376G の場合、[15:0]が有効 ● 12.16512G の場合、[15:0]が有効
vendor_tx_data_i	入力	[N-1:0]	送信方向。vendor カスタム・コントロール

ポート名	I/O	幅	説明
			ワード。 vendor_tx_req_o が有効な場合、 vendor カスタム・コントロールワード・データ vendor_tx_data_i は vendor_tx_req_o より 1 クロックサイクル遅延してこのインターフェースに入力されます。 ● 1.2288G の場合、[15:0]が有効 ● 2.4576G の場合、[31:0]が有効 ● 3.072G の場合、[39:0]が有効 ● 4.9152G の場合、[63:0]が有効 ● 6.144G の場合、[79:0]が有効 ● 9.8304G の場合、[127:0]が有効 ● 8.11008G の場合、[127:0]が有効 ● 10.1376G の場合、[127:0]が有効 ● 12.16512G の場合、[127:0]が有効
vendor_rx_data_valid_o	出力	1	受信方向。 vendor データ有効信号。アクティブ High。
vendor_rx_data_mask_o	出力	[N-1:0]	受信方向。 vendor カスタム・コントロールワード・バイト・インジケータ。そのデータ幅は vendor_tx_req_o と同じです。
vendor_rx_data_o	出力	[N-1:0]	受信方向。受信した vendor データ。そのデータ幅は vendor_tx_data_i と同じです。
リアルタイム vendor カスタム・コントロールワード・インターフェース			
up10g_rt_tx_req_o	出力	[7:0]	送信方向。リアルタイム vendor カスタム・コントロール・データ要求信号。アクティブ High。
up10g_rt_tx_data_i	入力	[63:0]	送信方向。リアルタイム vendor カスタム・コントロール・データ。
up10g_rt_rx_data_o	出力	[63:0]	受信方向。リアルタイム vendor カスタム・コントロール・データ。
up10g_rt_rx_mask_o	出力	[7:0]	受信方向。リアルタイム vendor カスタム・コントロールワード・バイト・インジケータ。
up10g_rt_rx_valid_o	出力	1	受信方向。データ有効信号。アクティブ High。
プロトコル・コントロールワード・インターフェース			
z130_0_tx_reset_i	入力	1	送信方向。 Z.130.0 プロトコル・コントロールワード Reset。 0 : リセットしません 1 : リセットします DL : リセット要求 UL : リセット確認
z130_0_tx_rai_i	入力	1	送信方向。 Z.130.0 プロトコル・コントロールワード RAI 。

ポート名	I/O	幅	説明
z130_0_tx_sdi_i	入力	1	送信方向。 Z.130.0 プロトコル・コントロールワード SDI。
z130_0_tx_los_i	入力	1	送信方向。 Z.130.0 プロトコル・コントロールワード LOS。
z130_0_tx_lof_i	入力	1	送信方向。 Z.130.0 プロトコル・コントロールワード LOF。
z130_0_rx_reset_o	出力	1	受信方向。 Z.130.0 プロトコル・コントロールワード Reset。 0 : リセットしません 1 : リセットします DL : リセット要求 UL : リセット確認
z130_0_rx_rai_o	出力	1	受信方向。 Z.130.0 プロトコル・コントロールワード RAI。
z130_0_rx_sdi_o	出力	1	受信方向。 Z.130.0 プロトコル・コントロールワード SDI。
z130_0_rx_los_o	出力	1	受信方向。 Z.130.0 プロトコル・コントロールワード LOS。
z130_0_rx_lof_o	出力	1	受信方向。 Z.130.0 プロトコル・コントロールワード LOF。
ステータスインターフェース			
local_los_o	出力	1	ローカル LOS ステータス。
local_lof_o	出力	1	ローカル LOF ステータス。
hfnsync_o	出力	1	ローカル・ハイパー・フレーム番号同期ステータス。
speed_sel_o	出力	[3:0]	IP 内部の現在の動作ラインレート。固定のラインレートのみをサポートし、オンラインネゴシエーション・スイッチングはサポートしていません。 ● 1.2288G の場合、 4'd1 ● 2.4576G の場合、 4'd2 ● 3.072G の場合、 4'd3 ● 4.9152G の場合、 4'd4 ● 6.144G の場合、 4'd5 ● 9.8304G の場合、 4'd6 ● 8.11008G の場合、 4'd8 ● 10.1376G の場合、 4'd9 ● 12.16512G の場合、 4'd10
tx_delay_o	出力	[7:0]	IP 送信方向の処理遅延(SerDes 部分は含まれていません)。
rx_delay_o	出力	[7:0]	IP 受信方向の処理遅延(SerDes 部分は含まれていません)。
los_i	入力	1	光信号の消失を示します。アクティブ

ポート名	I/O	幅	説明
			High。
構成インターフェース			
cfg_sel_i	入力	1	チップセレクト信号。
cfg_wr_i	入力	1	書き込み制御信号。High は、現在の動作が書き込みであることを示します。
cfg_ena_i	入力	1	伝送イネーブル信号。High は、現在の伝送が有効であることを示します。
cfg_addr_i	入力	[11:0]	アドレスライン。バイトアドレス。
cfg_wdata_i	入力	[31:0]	書き込みデータバス。
cfg_rdy_o	出力	1	Ready 信号。
cfg_rdata_o	出力	[31:0]	読み出しデータバス。
ユーザー側の SerDes 制御関連インターフェース			
gtr12_rstn_i	入力	1	SerDes レーンリセット信号。アクティブ Low。プロトコルに対応する単一レーンのみをリセットします。
gtr12_pcs_tx_rst_i	入力	1	SerDes PCS 層の送信方向リセット、アクティブ High。
gtr12_pcs_rx_rst_i	入力	1	SerDes PCS 層の受信方向リセット、アクティブ High。
gtr12_user_rx_clk_i	入力	1	SerDes ユーザー側受信クロック。クロックの周波数はレートに依存します。 ● 1.2288G, 61.44M ● 2.4576G, 122.88M ● 3.072G, 153.6M ● 4.9152G, 122.88M ● 6.144G, 153.6M ● 9.8304G, 122.88M ● 8.11008G, 126.72M ● 10.1376G, 158.4M ● 12.16512G, 190.08M
gtr12_user_tx_clk_i	入力	1	SerDes ユーザー側送信クロック。クロックの周波数はレートに依存します。 ● 1.2288G, 61.44M ● 2.4576G, 122.88M ● 3.072G, 153.6M ● 4.9152G, 122.88M ● 6.144G, 153.6M ● 9.8304G, 122.88M ● 8.11008G, 126.72M ● 10.1376G, 158.4M ● 12.16512G, 190.08M
gtr12_align_link_o	出力	1	SerDes レーン・アライメント・ステータ

ポート名	I/O	幅	説明
			ス。High は正常なリンクを示します。
gtr12_k_lock_o	出力	1	SerDes レーン K キャラクタ・ロック・ステータス。High は正常なリンクを示します。
gtr12_pll_ok_o	出力	1	SerDes PLL ロック・ステータスを出力します。High はクロックロックを示し、構成画面の PLL_Selection オプションで選択した PLL ロック・ステータス(QPLL0、QPLL1、または CPLL)に対応します。
gtr12_pll_ck_ref_o	出力	1	SerDes PLL リファレンスクロックを出力します。
gtr12_pma_rx_lock_o	出力	1	SerDes レーン受信 PMA 層ロック・ステータス。High は正常なリンクを示します。
gtr12_rx_pcs_clk_o	出力	1	SerDes レーン PMA 受信クロック。スレーブ側で外部位相同期回路のリファレンス・クロックとして出力できます。 ● 1.2288G, 61.44M ● 2.4576G, 122.88M ● 3.072G, 153.6M ● 4.9152G, 122.88M ● 6.144G, 153.6M ● 9.8304G, 122.88M ● 8.11008G, 126.72M ● 10.1376G, 158.4M ● 12.16512G, 190.08M
gtr12_tx_pcs_clk_o	出力	1	SerDes レーン PCS 送信クロック。 ● 1.2288G, 61.44M ● 2.4576G, 122.88M ● 3.072G, 153.6M ● 4.9152G, 122.88M ● 6.144G, 153.6M ● 9.8304G, 122.88M ● 8.11008G, 126.72M ● 10.1376G, 158.4M ● 12.16512G, 190.08M
gtr12_rx_fifo_rdusewd_o	出力	[4:0]	遅延値計算のための、SerDes 受信方向 GearFIFO 読み出し書き込みポイントの距離。
gtr12_tx_fifo_wrusewd_o	出力	[4:0]	遅延値計算のための、SerDes 送信方向 GearFIFO 読み出し書き込みポイントの距離。
SerDes ハードコアインターフェース			
SerDes_*	-	-	serdes_で始まる信号は、CPRI IP と SerDes ハードコアの接続信号であり、EDA

ポート名	I/O	幅	説明
			によって自動的に接続されるため、無視しても構いません。
SerDes 構成インターフェース			
loopback_en_i	入力	1	SerDes ループバックのイネーブル。 High の場合、対応する loopback_mode_i データが有効になります。対応するクロック・ドメインは user_drp_clk_o です。
loopback_mode_i	入力	[1:0]	SerDes ループバック ードの選択。対応するクロック・ドメインは user_drp_clk_o です。 ● 2'b00 : Normal モード ● 2'b01 : SerDes PMA 層セルフループバック ● 2'b10 : SerDes PMA 層外部ループバック
user_drp_clk_o	出力	1	SerDes 内部レジスタの設定に使用される DRP(Dynamic Reconfiguration Port)バス。DRP インターフェースのクロック信号。
user_drp_ready_o	出力	1	SerDes 内部レジスタの設定に使用される DRP バス。DRP インターフェースの書き込みハンドシェイク信号、アクティブ High。
user_drp_rdvld_o	出力	1	SerDes 内部レジスタの設定に使用される DRP バス。DRP インターフェースの読み出しデータ有効信号。アクティブ High。
user_drp_rddata_o	出力	[31:0]	SerDes 内部レジスタの設定に使用される DRP バス。DRP インターフェースの読み出しデータ信号。
user_drp_resp_o	出力	1	SerDes 内部レジスタの設定に使用される DRP バス。DRP インターフェースの今回読み出し/書き込み操作無効信号。現在のところ予約されています。
user_drp_addr_i	入力	[23:0]	SerDes 内部レジスタの設定に使用される DRP バス。DRP インターフェースの読み出し/書き込みアドレス信号。
user_drp_wren_i	入力	1	SerDes 内部レジスタの設定に使用される DRP バス。DRP インターフェースの書き込み要求信号、アクティブ High。
user_drp_wrdata_i	入力	[31:0]	SerDes 内部レジスタの設定に使用される DRP バス。DRP インターフェースの書き込みデータ信号。
user_drp_strb_i	入力	[7:0]	SerDes 内部レジスタの設定に使用される DRP バス。DRP インターフェースの書き込みマスク信号。すべて High に固定されています。

ポート名	I/O	幅	説明
user_drp_rden_i	入力	1	SerDes 内部レジスタの設定に使用される DRP バス。DRP インターフェースの読み出し要求信号、アクティブ High。

3.5 ユーザーインターフェースのタイミング

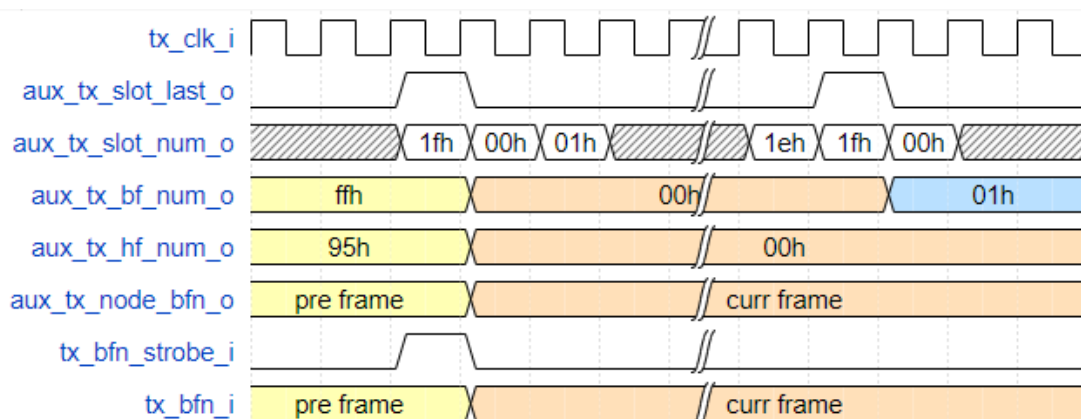
3.5.1 フレームカウント・インターフェースのタイミング図

Gowing CPRI IP は、内部で送受信フレームカウントのセットを維持しており、ユーザーはフレームカウント・インターフェースを通じて IP 内部の送受信の統計情報にアクセスすることができます。

送信方向のフレームカウントのタイミングは、図 3-3 に示すとおりです。aux_tx_slot_last_o が各ベーシックフレームの終了であり、aux_tx_slot_num_o、aux_tx_bf_num_o、および aux_tx_hf_num_o は、CPRI プロトコルで規定されているフレーム形式に基づいてループカウントされます。1 無線フレームの長さは 10ms であり、各無線フレーム終了後 aux_tx_node_bfn_o に 1 が加算されます。

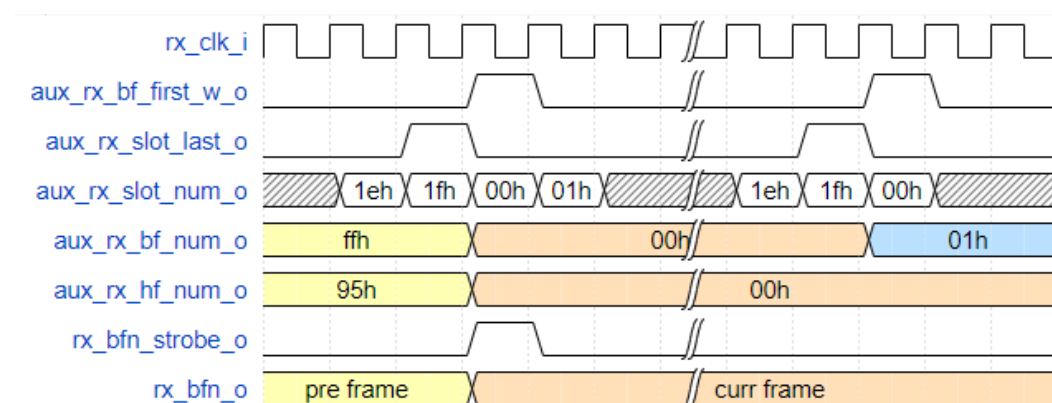
送信方向は、ユーザー側で入力されたフレーム ID (tx_bfn_i) とフレーム開始 (tx_bfn_strobe_i) に基づく内部フレームカウント統計の補正をサポートします。ユーザーがこの機能を必要としない場合は、フレーム開始を 0 にすると、IP は内部タイマカウンタに従って動作します。

図 3-3 送信方向フレームカウント・インターフェースのタイミング図



受信方向のフレームカウントのタイミングは、図 3-3 に示すとおりです。aux_rx_bf_first_w_o が各ベーシックフレームの開始、aux_rx_slot_last_o が各ベーシックフレームの終了であり、aux_rx_slot_num_o、aux_rx_bf_num_o、および aux_rx_hf_num_o は、CPRI プロトコルで規定されているフレーム形式に基づいてループカウントされます。1 無線フレームの長さは 10ms であり、rx_bfn_strobe_o はフレームの開始を示し、各無線フレームの終了後 rx_bfn_o に 1 が加算されます。

図 3-4 受信方向フレームカウント・インターフェースのタイミング図



CPRI IP はフレーム形式に基づいてループカウントし、slot_num のカウント範囲はレートによって異なり、次に示すとおりです。bf_num のカウント範囲は 0 ～ 255 で、hf_num のカウント範囲は 0 ～ 149 で、 bfn 無線フレーム番号のカウント範囲は 0 ～ 1023 です。

- 1.2288G の場合、 slot_num は 0 ～ 15 でループカウント。
- 2.4576G の場合、 slot_num は 0 ～ 31 でループカウント。
- 3.072G の場合、 slot_num は 0 ～ 39 でループカウント。
- 4.9152G の場合、 slot_num は 0 ～ 31 でループカウント。
- 6.144G の場合、 slot_num は 0 ～ 39 でループカウント。
- 9.8304G の場合、 slot_num は 0 ～ 31 でループカウント。
- 8.11008G の場合、 slot_num は 0 ～ 31 でループカウント。
- 10.1376G の場合、 slot_num は 0 ～ 39 でループカウント。
- 12.16512G の場合、 slot_num は 0 ～ 47 でループカウント。

3.5.2 IQ インターフェースのタイミング図

IQ インターフェースは、リアルタイムでの I/Q データの伝送に使用されます。

9.8304Gbps のラインレートでの送信方向の I/Q インターフェースを図 3-5 に示します。iq_tx_data_i は IQ データの伝送に使用され、データ幅は 64bit です。iq_tx_req_o は、送信 IQ データ要求信号であり、iq_tx_data_i より 1 クロックサイクル早く送信され、そのデータ幅は 8 ビットです。iq_tx_req_o の各ビットは iq_tx_data_i のバイトに対応しています。例えば、iq_tx_req_o のビット 0 が High の場合はデータ[7:0]を要求し、iq_tx_req_o のビット 1 が High の場合はデータ[15:8]を要求し、以降も同様とします。iq_tx_req_o の各ビットは全部アクティブ High です。

9.8304G 以外のレートは、そのタイミングは 9.8304G と類似しており、違いはフレーム構造が異なることだけです。次に示すとおりです。

- 1.2288G の場合 : iq_tx_data_i のデータ幅は 16bit で、iq_tx_req_o のデータ幅は 2bit で、slot_num が 0 のときに iq_tx_req_o は 2'b00 (要求されるデータ[15:0]は無効) で、slot_num が 1~15 のときに iq_tx_req_o は 2'b11 (要求されるデータ[15:0]は有効) です。
- 2.4576G の場合 : iq_tx_data_i のデータ幅は 16bit で、iq_tx_req_o のデータ幅は 2bit で、slot_num が 0~1 のときに iq_tx_req_o は 2'b00 (要求されるデータ[15:0]は無効) で、slot_num が 2~31 のときに iq_tx_req_o は 2'b11 (要求されるデータ[15:0]は有効) です。
- 3.072G の場合 : iq_tx_data_i のデータ幅は 16bit で、iq_tx_req_o のデータ幅は 2bit で、slot_num が 0~1 のときに iq_tx_req_o は 2'b00 (要求されるデータ[15:0]は無効) で、slot_num が 2 のときに iq_tx_req_o は 2'b10 (要求されるデータ[15:8]は有効、[7:0]は無効) で、slot_num が 3~39 のときに iq_tx_req_o は 2'b11 (要求されるデータ[15:0]は有効) です。
- 4.9152G の場合 : iq_tx_data_i のデータ幅は 32bit で、iq_tx_req_o のデータ幅は 4bit で、slot_num が 0~1 のときに iq_tx_req_o は 4'b0000 (要求されるデータ[31:0]は無効) で、slot_num が 2~31 のときに iq_tx_req_o は 4'b1111 (要求されるデータ[31:0]は有効) です。
- 6.144G の場合 : iq_tx_data_i のデータ幅は 32bit で、iq_tx_req_o のデータ幅は 4bit で、slot_num が 0~1 のときに iq_tx_req_o は 4'b0000 (要求されるデータ[31:0]は無効) で、slot_num が 2 のときに iq_tx_req_o は 4'b1100 (要求されるデータ[31:16]は有効、[15:0]は無効) で、slot_num が 3~39 のときに iq_tx_req_o は 4'b1111 (要求されるデータ[31:0]は有効) です。
- 9.8304G の場合 : iq_tx_data_i のデータ幅は 64bit で、iq_tx_req_o のデータ幅は 8bit で、slot_num が 0~1 のときに iq_tx_req_o は 8'b00000000 (要求されるデータ[63:0]は無効) で、slot_num が 2~31 のときに iq_tx_req_o は 8'b11111111 (要求されるデータ[63:0]は有効)

です。

- 8.11008G の場合 : iq_tx_data_i のデータ幅は 64bit で、iq_tx_req_o のデータ幅は 8bit で、 slot_num が 0~1 のときに iq_tx_req_o は 8'b00000000 (要求されるデータ[63:0]は無効) で、 slot_num が 2~31 のときに iq_tx_req_o は 8'b11111111 (要求されるデータ[63:0]は有効) です。
- 10.1376G の場合 : iq_tx_data_i のデータ幅は 64bit で、iq_tx_req_o のデータ幅は 8bit です。GUI で Real Time Vendor をチェックした場合、 slot_num が 0~1 のときに iq_tx_req_o は 8'b00000000 (要求されるデータ[63:0]は無効) で、 slot_num が 2 のときに iq_tx_req_o は 8'b11110000 (要求されるデータ[63:32]は有効で、 slot_num が 3~39 のときに iq_tx_req_o は 8'b11111111 (要求されるデータ[63:0]は有効) です。GUI で Real Time Vendor をチェックしていない場合、 slot_num が 0~1 のときに iq_tx_req_o は 8'b00000000 (要求されるデータ[63:0]は無効) で、 slot_num が 2~39 のときに iq_tx_req_o は 8'b11111111 (要求されるデータ[63:0]は有効) です。
- 12.16512G の場合 : iq_tx_data_i のデータ幅は 64bit で、iq_tx_req_o のデータ幅は 8bit です。GUI で Real Time Vendor をチェックした場合、 slot_num が 0~2 のときに iq_tx_req_o は 8'b00000000 (要求されるデータ[63:0]は無効) で、 slot_num が 3~47 のときに iq_tx_req_o は 8'b11111111 (要求されるデータ[63:0]は有効) です。GUI で Real Time Vendor をチェックしていない場合、 slot_num が 0~1 のときに iq_tx_req_o は 8'b00000000 (要求されるデータ[63:0]は無効) で、 slot_num が 2~47 のときに iq_tx_req_o は 8'b11111111 (要求されるデータ[63:0]は有効) です。

図 3-5 9.8304Gbps 送信方向 I/Q インターフェース

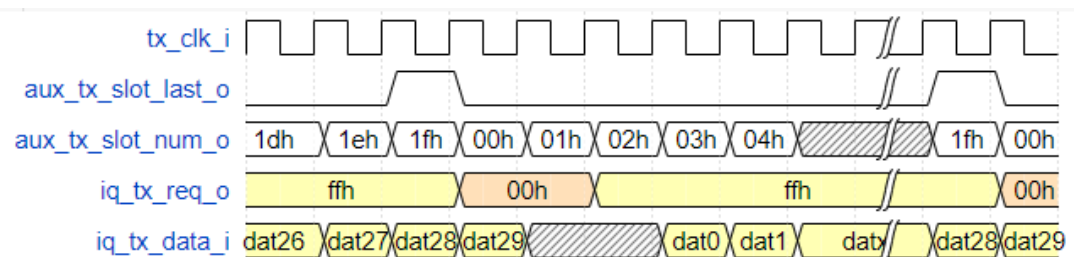


図 3-6 6.144Gbps 送信方向 I/Q インターフェース

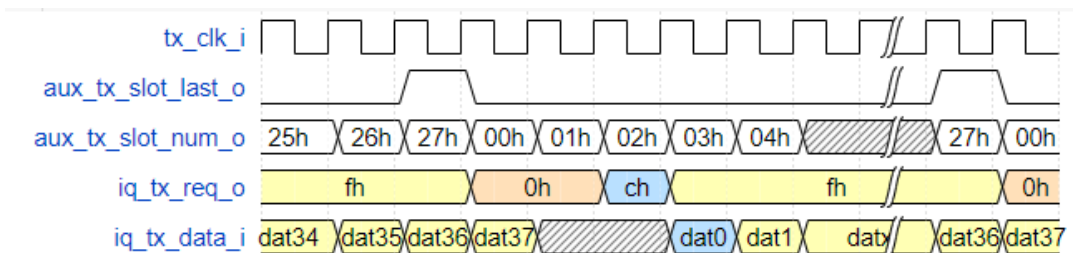
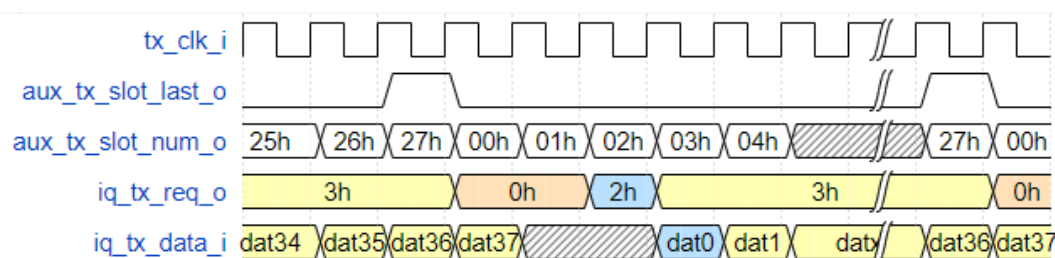


図 3-7 3.072Gbps 送信方向 I/Q インターフェース



9.8304Gbps のラインレートでの受信方向の I/Q インターフェースを図 3-8 に示します。iq_rx_valid_o は、データが有効であることを示し、アクティブ High です。iq_rx_mask_o は、受信データのバイトが有効であることを示し、アクティブ High です。iq_rx_data_o は、受信した IQ データを示します。rx_data_o は、受信した CPRI データを示し、これには、IQ データに加え、コントロールワードも含まれており、ユーザーは必要に応じて有効または無効にすることができます。

9.8304G 以外のレートは、その受信タイミングは 9.8304G と類似しており、違いはフレームの構造が異なることだけです。フレームの構造については、送信タイミングの説明を参照してください。

図 3-8 9.8304Gbps 受信方向 I/Q インターフェース

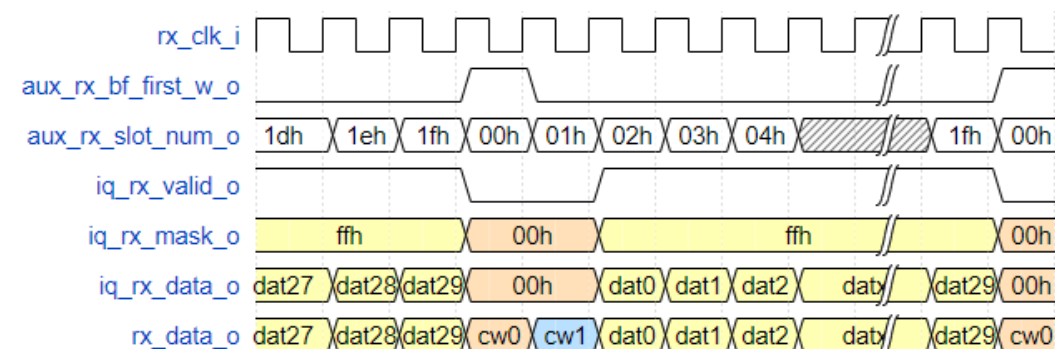


図 3-9 6.144Gbps 受信方向 I/Q インターフェース

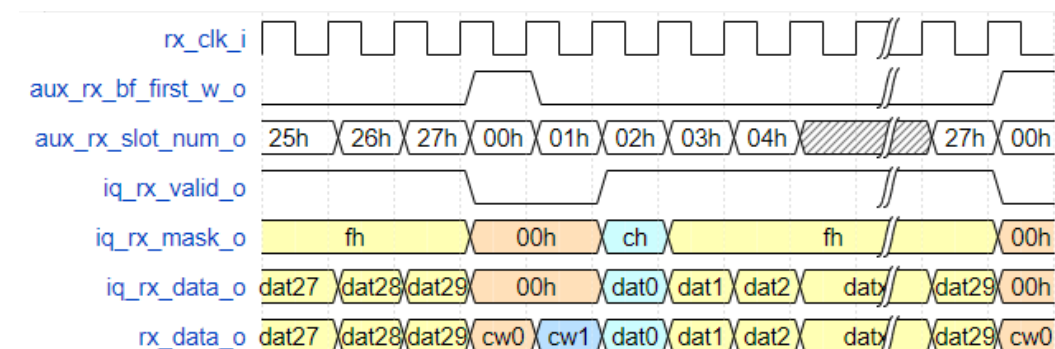
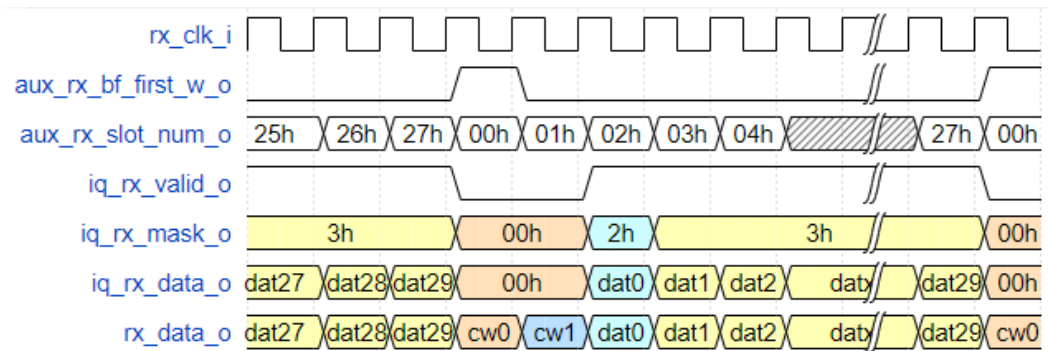


図 3-10 3.072Gbps 受信方向 I/Q インターフェース



3.5.3 HDLC インターフェースのタイミング図

HDLC は、単一ビットの HDLC データの送受信をサポートします。

送信方向インターフェースのタイミングは図 3-11 に示すとおりで、**hdlc_tx_req_o** は **hdlc_tx_data_i** より 1 クロックサイクル先に送信されます。

送信方向インターフェースのタイミングは図 3-12 に示すとおりで、**hdlc_rx_data_valid_o** が High の場合に **hdlc_rx_data_o** が有効になります。

図 3-11 HDLC 送信インターフェースのタイミング図

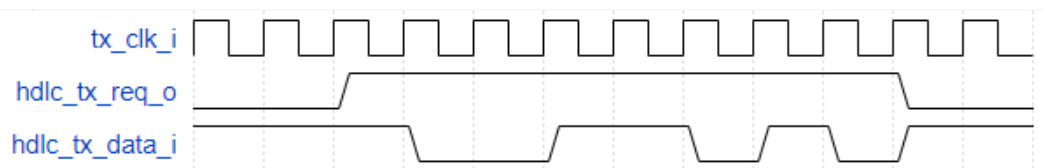
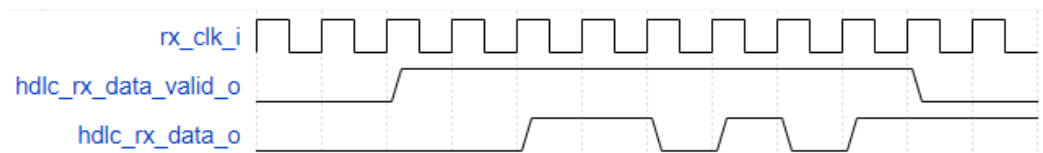


図 3-12 HDLC 受信インターフェースのタイミング図



3.5.4 イーサネットインターフェースのタイミング図

CPRI IP は、イーサネットフレームの送受信をサポートしており、ユーザーは MII または GMII インターフェースを使用してイーサネットフレームを転送できます。CPRI IP 内部には、イーサネットフレーム用のバッファが含まれており、デフォルトでは 4 つのイーサネットフレームをバッファリングします。MII および GMII インターフェースは、GUI で選択できます。

送信方向インターフェースのタイミングは図 3-13 に示すとおりです。mii_tx_en_i が High になった後、1 つの完全なイーサネットパケットが入力され、各パケットの送信後と次のパケットの送信前の間の IDLE 時間中に tx_buffer_full_o は現在のバッファの full 状態を示します。次のパケットの送信を開始する前に、tx_buffer_full_o の状態を判断する必要があります。tx_buffer_full_o が Low の場合、1 つの完全なイーサネットパケットを送信でき、High の場合、1 つの完全なイーサネットパケットを送信する前に tx_buffer_full_o が Low になるまで待つ必要があります。

受信方向のインターフェースのタイミングは図 3-14 に示すとおりです。mii_rx_en_o は受信フレーム有効信号で、mii_rx_data_o は受信データです。

図 3-13 イーサネット送信インターフェースのタイミング図

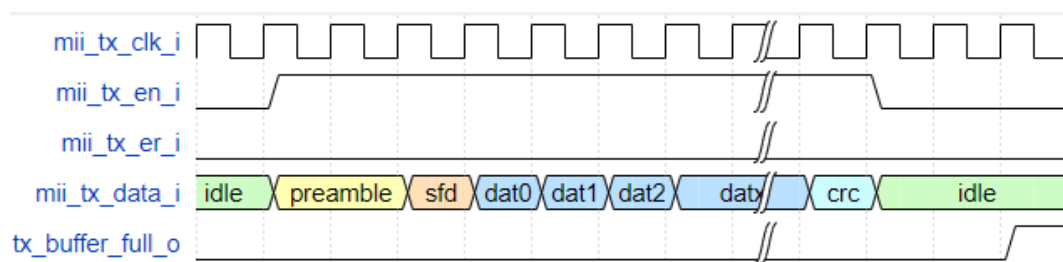
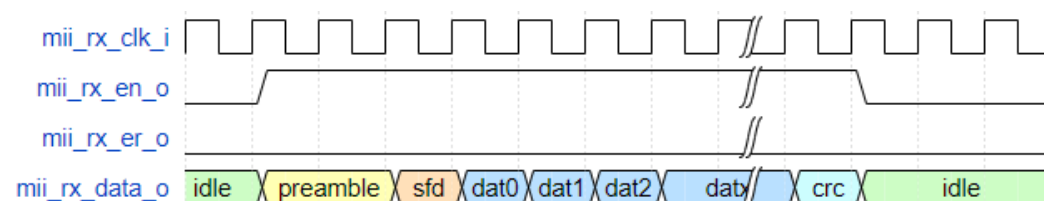


図 3-14 イーサネット受信インターフェースのタイミング図



3.5.5 Vendor インターフェースのタイミング図

Vendor インターフェースは、Vendor のカスタム・コントロールワードの送受信をサポートしています。

その送信インターフェースは図 3-15 に示すとおりです。aux_tx_bf_num_o[4:0]が 5'h10、5'h11、5'h12、5'h13 の場合、コントロールワードは Vendor のカスタム・コントロールワードです。vendor_tx_req_o は Vendor のカスタム・コントロールワード要求信号であり、High の各ビットは、Vendor のカスタム・コントロールワードの対応するバイトを要求

することを示します。 `vendor_tx_data_i` はユーザーが入力する Vendor カスタム・コントロールワード・データです。 `vendor_tx_req_o` は、`vendor_tx_data_i` より 1 クロックサイクル先に有効になります。 Vendor のカスタム・データ幅は、次のようにレートにより異なります。

- 1.2288G の場合、`vendor_tx_data_i` [15:0] が有効で、`vendor_tx_req_o` [1:0] が有効です。
- 2.4576G の場合、`vendor_tx_data_i` [31:0] が有効で、`vendor_tx_req_o` [3:0] が有効です。
- 3.072G の場合、`vendor_tx_data_i` [39:0] が有効で、`vendor_tx_req_o` [4:0] が有効です。
- 4.9152G の場合、`vendor_tx_data_i` [63:0] が有効で、`vendor_tx_req_o` [7:0] が有効です。
- 6.144G の場合、`vendor_tx_data_i` [79:0] が有効で、`vendor_tx_req_o` [9:0] が有効です。
- 9.8304G の場合、`vendor_tx_data_i` [127:0] が有効で、`vendor_tx_req_o` [15:0] が有効です。
- 8.11008G の場合、`vendor_tx_data_i` [127:0] が有効で、`vendor_tx_req_o` [15:0] が有効です。
- 10.1376G の場合、`vendor_tx_data_i` [127:0] が有効で、`vendor_tx_req_o` [15:0] が有効です。
- 12.16512G の場合、`vendor_tx_data_i` [127:0] が有効で、`vendor_tx_req_o` [15:0] が有効です。

その受信インターフェースは図 3-16 に示すとおりです。 `aux_rx_bf_num_o` [4:0] が 5'h10、5'h11、5'h12、5'h13 の場合、コントロールワードは Vendor のカスタム・コントロールワードで、`vendor_rx_data_valid_o` は受信コントロールワード有効信号です。 `vendor_rx_data_mask_o` は受信 Vendor カスタム・コントロールワード・バイト有効信号であり、High の各ビットは、Vendor のカスタム・コントロールワードの対応するバイトの要求が有効であることを示します。 `vendor_rx_data_o` は受信した Vendor カスタム・コントロールワード・データです。 `vendor_rx_data_mask_o` および `vendor_rx_data_o` のデータ幅は送信方向と同じです。

図 3-15 Vendor 送信インターフェースのタイミング図

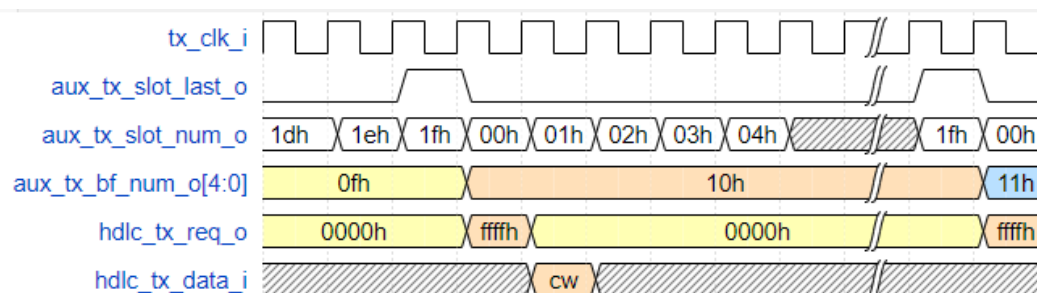
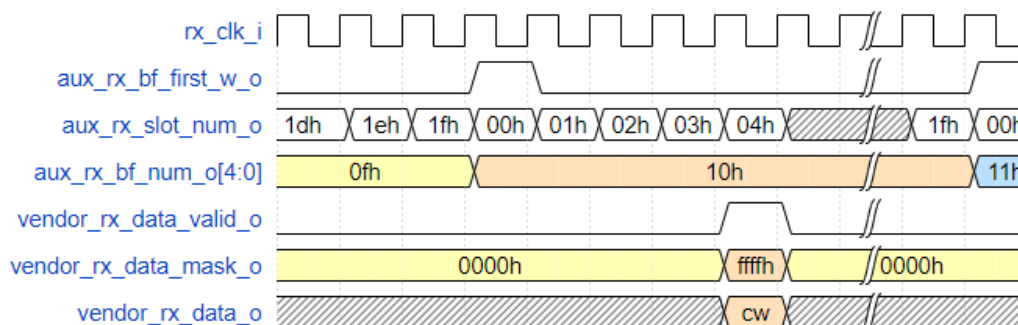


図 3-16 Vendor 受信インターフェースのタイミング図



3.5.6 リアルタイム vendor カスタム・インターフェースのタイミング図

CPRI IP のラインレートが 10.1376Gbps または 12.16512Gbps の場合、各ベーシックフレームには、128bit のプロトコル・コントロールワードに加えて、データ転送用の追加の帯域幅があります。CPRI IP の GUI で「Real Time Vendor」によりリアルタイム vendor カスタム・インターフェースを開くことができます。この追加の帯域幅は、ユーザーのカスタムデータを転送するために使用されます。

リアルタイム vendor カスタム送信インターフェースのタイミング図は図 3-17 に示すとおりです。up10g_rt_tx_req_o はリアルタイム vendor カスタム・コントロールワード要求信号で、up10g_rt_tx_data_i より 1 クロックサイクル先です。

リアルタイム vendor カスタム受信インターフェースのタイミング図は図 3-18 に示すとおりです。up10g_rt_rx_valid_o はリアルタイム vendor カスタム・コントロールワード有効信号で、up10g_rt_rx_mask_o はリアルタイム vendor カスタム・コントロールワード・バイト有効信号で、up10g_rt_rx_data_o は受信したリアルタイム vendor カスタム・コントロールワード・データです。

図 3-17 リアルタイム vendor カスタム送信インターフェースのタイミング図

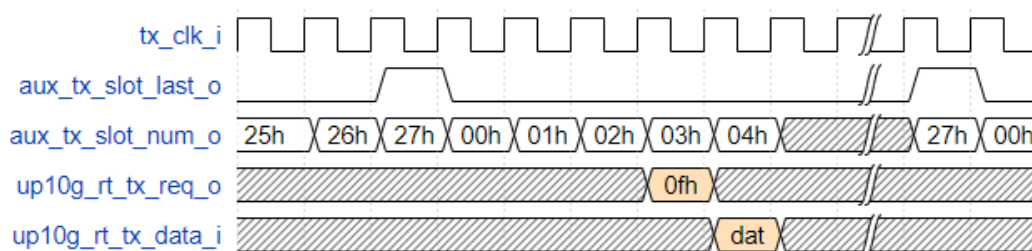
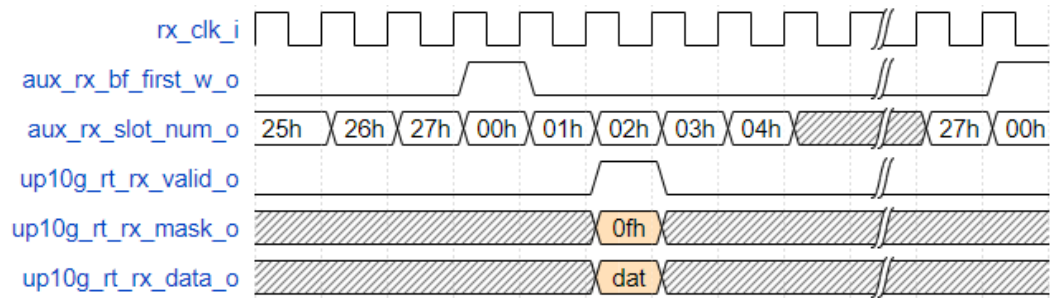


図 3-18 リアルタイム vendor カスタム受信インターフェースのタイミング図



3.5.7 コンフィギュレーションインターフェースのタイミング図

CPRI IP は、コンフィギュレーションインターフェースを提供します。ユーザーは、コンフィギュレーションインターフェースを介して内部レジスタにアクセスすることができます。コンフィギュレーションインターフェースの読み出しタイミングを図 3-19 に、書き込みタイミングを図 3-20 に示します。

図 3-19 コンフィギュレーションインターフェースの読み出しタイミング図

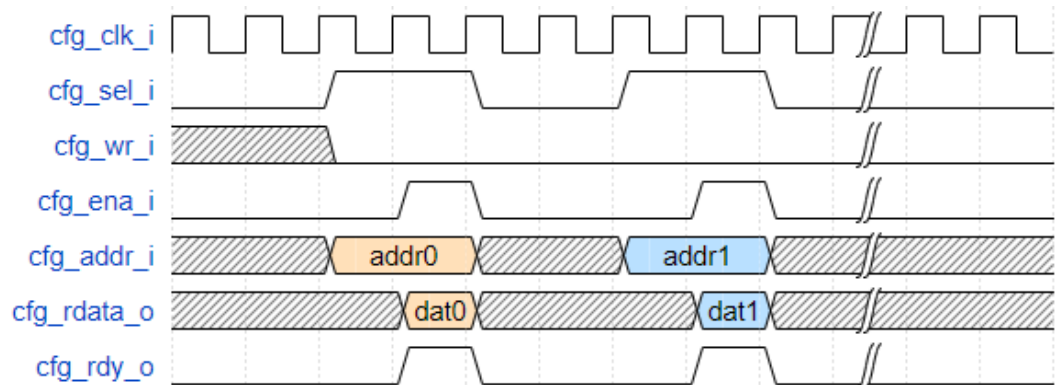
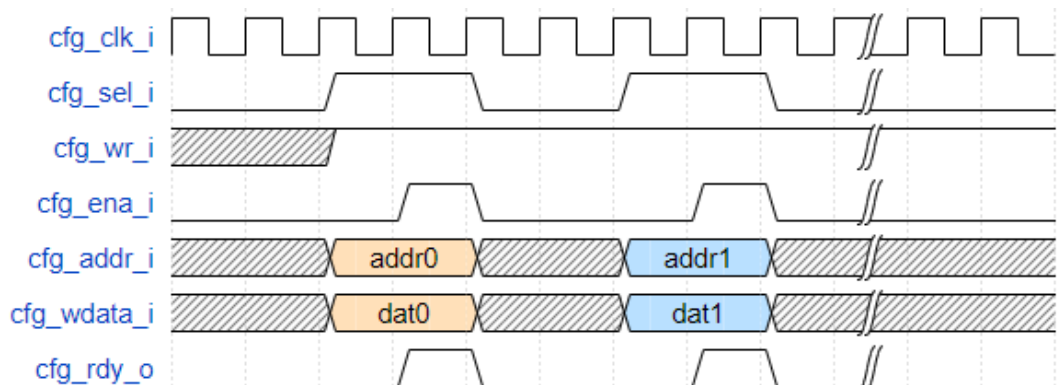


図 3-20 コンフィギュレーションインターフェースの書き込みタイミング図



3.5.8 DRP インターフェースのタイミング図

CPRI IP は、SerDes 内部レジスタにアクセスするための DRP インターフェースを提供します。

読み出しの際、drp_rden_i を High にセットし、drp_rden_i が High になった最初のクロックサイクルでレジスタ読み出しアドレスを

drp_addr_i[23:0]に入力します。drp_rdvld_o が High になるまで、drp_rden_i を High のままにします。drp_rdvld_o が High の際の対応する drp_rddata_o[31:0]データは、読み出された読み出しデータです。drp_rdvld_o が High になった後の次のクロックサイクルで drp_rden_i を Low にする必要があります。これでこの読み出し動作が終了します。DRP インターフェースの読み出しタイミングを図 3-19 に示します。

書き込みの際、drp_wren_i を High にセットし、drp_wren_i が High になった最初のクロックサイクルでレジスタ書き込みアドレスを drp_addr_i[23:0]に入力し、同じクロックサイクルで drp_wrdata_i[31:0]に書き込みデータを入力し、drp_strb_i[7:0]に常に 8'hff を入力します。drp_ready_o が High になるまで、drp_wren_i を High のままにします。High の drp_ready_o は、この書き込み動作の完了を示します。drp_ready_o が High になった後の次のクロックサイクルで drp_wren_i を Low にする必要があります。これでこの書き込み動作が終了します。書き込みタイミングを図 3-20 に示します。

図 3-21 DRP インターフェースの読み出しタイミング

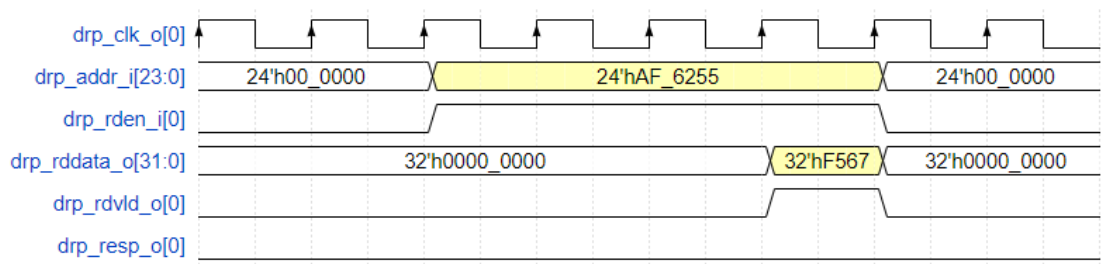
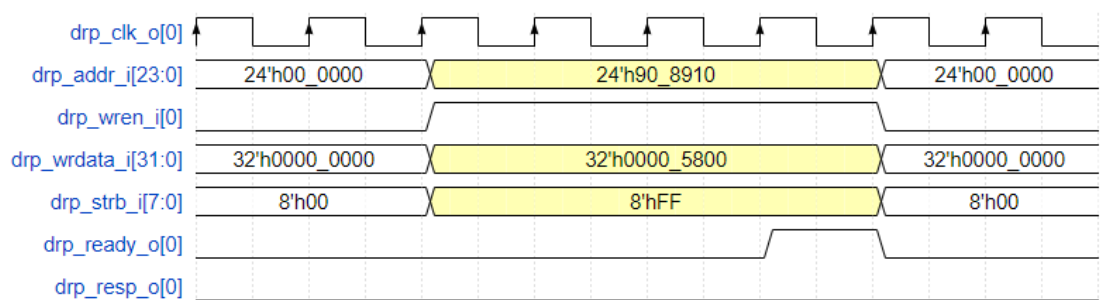


図 3-21 DRP インターフェースの書き込みタイミング



3.6 レジスタインターフェース

表 3-2 レジスタ一覧

アドレス (Byte)	名称	タイプ	説明
0x0	リンク状態	RC	リンク LOF/LOS/ERR の状態(ステータス)およびイベント情報を取得します
0x4	状態機械状態	RO	内部 L1 状態機械の状態を取得します
0x8	現在レート	RO	IP の動作レートを選択します

アドレス (Byte)	名称	タイプ	説明
0xc	プロトコルバージョン状態	RW or RO	送信と送信のプロトコルバージョン状態
0x10	送信スクランブリング・シード	RW or RO	送信スクランブリング・シード構成レジスタ
0x14	受信デスクランブリング・シード	RO	受信デスクランブリング・シード取得レジスタ
0x18	HDLC レート	RW or RO	HDLC の現在のレート
0x1c	Ethernet レート	RW or RO	Ethernet レートの選択
0x20	HDLC ユーザー定義	RW or RO	ユーザー定義 HDLC 転送レートの構成
0x24	受信エラー統計	RC	受信エラーの統計情報
0x28	ループバック構成	RW	ループバックレジスタ
0x2c	遅延レジスタ	RO	IP 内部送受信の処理遅延 CLK 数 (メインクロックドメイン内)
0x30	SerDes 受信の同期状態	RO	SerDes 受信の同期状態

注記：

レジスタの読み出しおよび書き込みの定義：

- RC は read-to-clear を意味します。
- RO は読み出し専用を意味します。
- RW は読み出し/書き込みを意味します。
- RW or RO。ユーザーは構成画面の **Fixed Config Enable** オプションで選択できます。**Fixed Config Enable** をチェックする場合、固定構成が使用され、この部分のレジスタは RO (読み出し専用) になります。**Fixed Config Enable** をチェックしない場合、非固定構成が使用され、この部分のレジスタは RW (読み出し/書き込み) になります。

3.6.1 リンク状態 (0x0)

表 3-3 リンク状態レジスタ

名称	ビット	タイプ	説明	デフォルト値
rsv	31:28	RO	N/A	0x0
LINE_RATE_MASK	27:16	RO	レートのにネーブルに使用されるビット。アクティブ High : ● bit16 rsv ● bit17 は、1.2288Gbps のにネーブルに使用されます。 ● bit18 は、2.4576Gbps のにネーブルに使用されます。 ● bit19 は、3.072Gbps のにネーブルに使用されます。 ● bit20 は、4.9152Gbps のにネーブルに使用されます。 ● bit21 は、6.144Gbps のにネーブルに使用されます。 ● bit22 は、9.8304Gbps のにネーブルに使用されます。 ● bit23 rsv ● bit24 は、8.11008Gbps のにネーブルに使用されます。 ● bit25 は、10.1376Gbps のにネーブルに使用されます。 ● bit26 は、12.16512Gbps のにネーブルに使用されます。 bit27 rsv	0x0
ETH_GMII_ENABLE	15	RO	GUI で選択されたイーサネット用の GMII または MII に対応します。0 は MII、1 は GMII を意味します	0x0
local_rx_alarm_event	14	RC	ローカル LOS または LOF イベント情報	0x0
local_rx_lof_event	13	RC	ローカル LOF イベント情報	0x0
local_rx_los_event	12	RC	ローカル LOS イベント情報	0x0
rsv	11:10	RO	N/A	0x0
rx_err_event	9	RC	SerDes 受信エラーイベント情報	0x0
z130_0_rx_reset_event	8	RC	リモートデバイスの Z.130.0 Reset イベント情報を受信します	0x0
z130_0_rx_rai_event	7	RC	リモートデバイスの Z.130.0	0x0

名称	ビット	タイプ	説明	デフォルト値
			RAI イベント情報を受信します	
z130_0_rx_sdi_event	6	RC	リモートデバイスの Z.130.0 SDI イベント情報を受信します	0x0
z130_0_rx_los_event	5	RC	リモートデバイスの Z.130.0 LOS イベント情報を受信します	0x0
z130_0_rx_lof_event	4	RC	リモートデバイスの Z.130.0 LOF イベント情報を受信します	0x0
rx_err	3	RO	SerDes 受信エラー状態指示。High はエラーを示します。	0x0
rsv	2	RO	N/A	0x0
lof	1	RO	L1 フレーム同期喪失の指示。Low は LOF がなく、フレーム同期が正常であることを示します。	0x0
los	0	RO	光信号消失の指示。Low は LOS がないことを示します。	0x0

3.6.2 状態機械状態 (0x4)

表 3-4 L1 状態機械状態レジスタ

名称	ビット	タイプ	説明	デフォルト値
rsv	31:13	RO	N/A	0x0
state_l1_sync	12:8	RO	L1 同期状態機械状態 : ● 5'b00001 : C_XACQ1 ● 5'b00010 : C_XACQ2 ● 5'b00100 : C_XSYNC1 ● 5'b01000 : C_XSYNC2 ● 5'b10000 : C_HFNSYNC	0x0
rsv	7:4	RO	N/A	0x0
rsv	3:0	RO	N/A	0x0

3.6.3 現在レート (0x8)

表 3-5 現在レートレジスタ

名称	ビット	タイプ	説明	デフォルト値
rsv	31:4	RO	N/A	0x0
speed_sel	3:0	RO	IP 内部の現在の動作ラインレート。固定のラインレートのみをサポートし、オンラインネゴシエーション・スイッチングは	0x0

名称	ビット	タイプ	説明	デフォルト値
			サポートしていません。 ● 4'd0, rsv ● 4'd1, 1.2288Gbps ● 4'd2, 2.4576Gbps ● 4'd3, 3.072Gbps ● 4'd4, 4.9152Gbps ● 4'd5, 6.144Gbps ● 4'd6, 9.8304Gbps ● 4'd8, 8.11008Gbps ● 4'd9, 10.1376Gbps ● 4'd10, 12.16512Gbps	

3.6.4 プロトコルバージョン状態 (0xc)

表 3-6 プロトコルバージョン状態レジスタ

名称	ビット	タイプ	説明	デフォルト値
rsv	31:12	RO	N/A	0x0
rx_protocol_ver	11:8	RO	受信のプロトコルバージョン情報、 4'h1 または 4'h2	0x0
rsv	7:4	RO	N/A	0x0
tx_protocol_ver	3:0	RW or RO	送信のプロトコルバージョン情報、 4'h1 または 4'h2。初期値は、「Preset Configuration」で事前に設定できます。	0x0

3.6.5 送信スクランブリング・シード (0x10)

表 3-7 送信スクランブリング・シード・レジスタ

名称	ビット	タイプ	説明	デフォルト値
rsv	31	RO	N/A	0x0
scrambler_seed	30:0	RW or RO	送信スクランブリング・シード。その初期値は、「Preset Configuration」で事前に設定できます。	0x0

3.6.6 受信デスクランブリング・シード (0x14)

表 3-8 受信デスクランブリング・シード・レジスタ

名称	ビット	タイプ	説明	デフォルト値
rsv	31	RO	N/A	0x0
descrambler_seed	30:0	RO	受信デスクランブリング・シード。受信データから回復したスクランブリング・シード。	0x0

3.6.7 HDLC レート (0x18)

表 3-9 HDLC レートレジスタ

名称	ビット	タイプ	説明	デフォルト値
rsv	31:11	RO	N/A	0x0
hdlc_rx_rate	10:8	RO	受信の HDLC レート。受信データ・コントロールワードから解析されたレートです。	0x0
rsv	7:3	RO	N/A	0x0
hdlc_tx_rate	2:0	RW or RO	送信の HDLC レート。その初期値は、「Preset Configuration」で事前に設定できます。 ● 0 : HDLC なし ● 1 : 240kbps ● 2 : 480kbps ● 3 : 960kbps ● 4 : 1920kbps ● 5 : 2400kbps ● 6 : 現在サポートされている最高の HDLC レート(CPRI ライン レートが 3.072Gbps を超える場合に有効) ● 7 : ユーザー定義の HDLC レート	0x2

3.6.8 Ethernet レート (0x1c)

表 3-10 Ethernet レートレジスタ

名称	ビット	タイプ	説明	デフォルト値
rsv	31:14	RO	N/A	0x0
rx_eth_pointer	13:8	RO	受信の Ethernet P Pointer。受信データ・コントロールワードから解析された P ポインタです。	0x0
rsv	7:6	RO	N/A	0x0
tx_eth_pointer	5:0	RW or RO	送信の Ethernet P Pointer。その初期値は、「Preset Configuration」で事前に設定できます。その範囲は 20~63。	0x14

3.6.9 HDLC ユーザー定義 (0x20)

表 3-11 HDLC ユーザー定義レジスタ

名称	ビット	タイプ	説明	デフォルト値
hdlc_user_mask	31:16	RO	hdlc_rate が 3'b111 のときのみ有効です。16bit は 16byte コントロールワードのイネーブルに使用され、送信する必要がある HDLC データのバイト位置をユーザー定義で指定するために使用されます。 注記： 予約されており、V1.0 の場合は有効になっていません。	0x0
rsv	15:4	RO	N/A	0x0
hdlc_user_byte	3:0	RO	hdlc_rate が 3'b111 のときのみ有効です。範囲は 0~15 です。送信する必要がある HDLC データのバイト数をユーザー定義で指定するために使用されます。 注記： 予約されており、V1.0 の場合は有効になっていません。	0x0

3.6.10 受信エラー統計（ 0x24 ）

表 3-12 受信エラー統計レジスタ

名称	ビット	タイプ	説明	デフォルト値
rsv	31:16	RO	N/A	0x0
rx_err_cnt	15:0	RC	受信エラー統計。read-to-clear。	0x0

3.6.11 ループバック構成（ 0x28 ）

表 3-13 ループバック構成レジスタ

名称	ビット	タイプ	説明	デフォルト値
rsv	31:0	RO	N/A	0x0

3.6.12 遅延レジスタ（0x2C）

表 3-14 遅延レジスタ

名称	ビット	タイプ	説明	デフォルト値
total_rx_delay	31:16	RO	IP 内部受信の遅延 CLK 数 (rx_clk_i クロックドメイン内)。SerDes Hard Core 受信は含まれていません。	0x0
total_tx_delay	15:0	RO	IP 内部送信の遅延 CLK 数 (tx_clk_i クロックドメイン内)。SerDes Hard Core 送信は含まれていません。	0x0

3.6.13 SerDes 受信同期状態（0x30）

表 3-15 SerDes 受信同期状態レジスタ

名称	ビット	タイプ	説明	デフォルト値
rsv	31:1	RO	N/A	0x0
rx_sync	0	RC	SerDes 受信同期状態レジスタ。High はリンク同期が正常であることを示します。	0x0

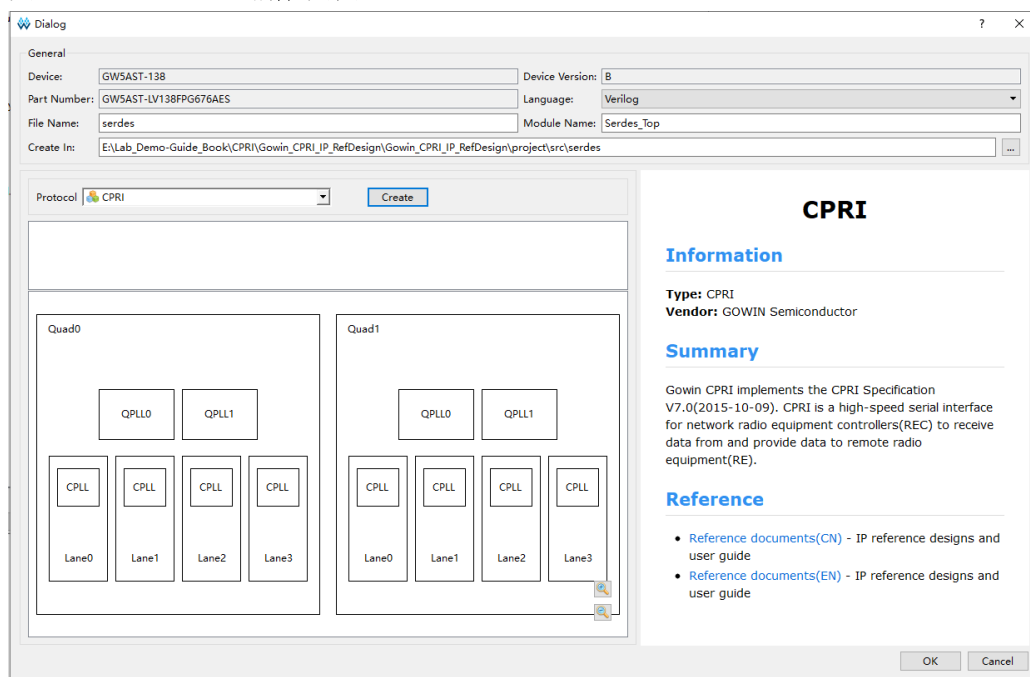
4GUIでの構成

Gowin ソフトウェアの IP Core Generator を使用して、Gowin CPRI IP を呼び出して構成できます。

1. SerDes IP を開く

プロジェクトが作成された後、Tools > IP Core Generator をクリックして、Gowin の IP コア生成ツールを開きます。次に、Soft IP Core ディレクトリにある SerDes をダブルクリックして SerDes IP を開きます。

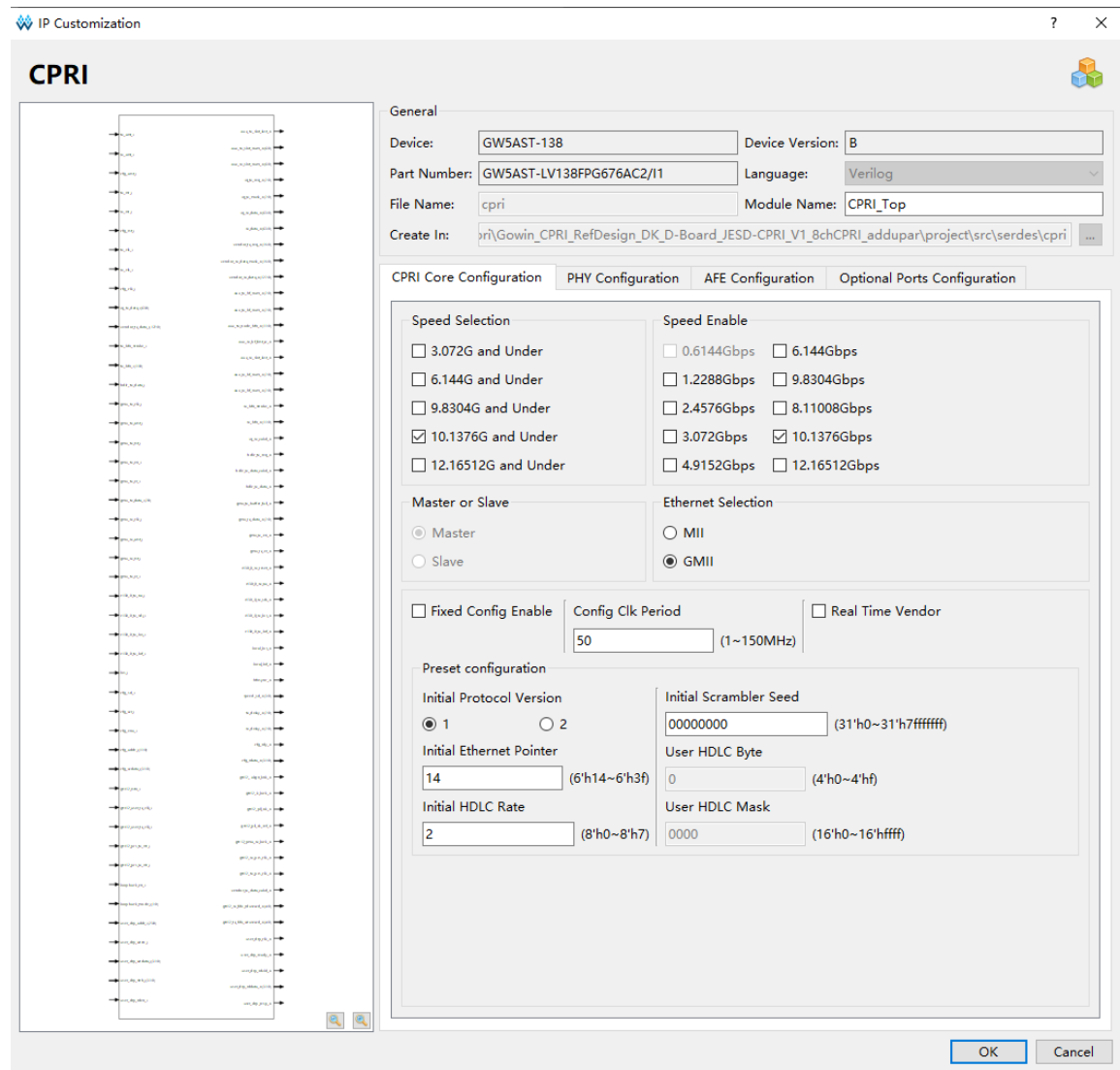
図 4-1 SerDes IP の構成画面



2. CPRI IP を開く

「SerDes」を開いた後、「Protocol」のドロップダウン・リストから「CPRI」を選択し、「Create」をクリックしてCPRI IPの構成画面を開きます。

図 4-2 CPRI IP の構成画面



3. CPRI IP プロトコルを設定

CPRI IP の構成画面には、図 4-3 と図 4-4 に示すように、「CPRI Core Configuration」と「PHY Configuration」の2つのタブがあります。「CPRI Core Configuration」タブは、CPRI IP プロトコル関連のパラメータの構成に使用され、「PHY Configuration」タブは、CPRI IP SerDes 関連のパラメータの構成に使用されます。各パラメータの意味を表 4-1 に示します。CPRI IP のパラメータを構成した後、「OK」をクリックします。

4. SerDes IP の構成を完了

Serdes IP の画面ですべてのプロトコルの構成を完了した後、「OK」

をクリックして、Serdes IP の生成を完了します。SerDes IP のトップレベル・ファイルでは、cpri_ が先頭に付いた信号が CPRI IP に関連する信号となります。

図 4-3 CPRI Core プロトコルの構成画面

The screenshot displays the 'CPRI Core Configuration' window with the following settings:

- Speed Selection:**
 - ☐ 3.072G and Under
 - ☐ 6.144G and Under
 - ☐ 9.8304G and Under
 - ☒ 10.1376G and Under
 - ☐ 12.16512G and Under
- Speed Enable:**
 - ☐ 0.6144Gbps ☐ 6.144Gbps
 - ☐ 1.2288Gbps ☐ 9.8304Gbps
 - ☐ 2.4576Gbps ☐ 8.11008Gbps
 - ☐ 3.072Gbps ☒ 10.1376Gbps
 - ☐ 4.9152Gbps ☐ 12.16512Gbps
- Master or Slave:**
 - ☒ Master
 - ☐ Slave
- Ethernet Selection:**
 - ☐ MII
 - ☒ GMII
- Fixed Config Enable:** ☐
- Config Clk Period:** 50 (1~150MHz)
- Real Time Vendor:** ☐
- Preset configuration:**
 - Initial Protocol Version:** ☒ 1 ☐ 2
 - Initial Ethernet Pointer:** 14 (6'h14~6'h3f)
 - Initial HDLC Rate:** 2 (8'h0~8'h7)
 - Initial Scrambler Seed:** 00000000 (31'h0~31'h7ffffff)
 - User HDLC Byte:** 0 (4'h0~4'hf)
 - User HDLC Mask:** 0000 (16'h0~16'hffff)

図 4-4 CPRI PHY の構成画面

CPRI Core Configuration PHY Configuration

Base Parameters

Channel Selection: Q0 Lane0

Loopback Mode: OFF

Line Rate: 4.9152Gbps Gbps

Refclk Selection

Reference Clock Source: Q0 REFCLK0

Reference Clock Frequency: 122.88 MHz

PLL_Selection: QPLL0

Calculate

図 4-5 CPRI AFE の構成画面

CPRI Core Configuration PHY Configuration AFE Configuration Optional Ports Configuration

TX

Differential Swing: 900mV

FFE Mode

FFE Mode: Auto

Cm: 0 (0~19)

C0: 40 (21~40)

C1: 0 (0~19)

RX

SD Threshold: 100mV

Equalization

Equalization Mode: Auto

ATT: 7 (0~10)

BOOST: 9 (0~15)

BIAS: 7 (0~15)

図 4-6 CPRI Optional Ports の構成画面

CPRI Core Configuration PHY Configuration AFE Configuration Optional Ports Configuration

☒ Loopback Ports

☒ DRP Ports

表 4-1 CPRI IP の構成画面のパラメータ

パラメータ名	範囲	デフォルト値	説明
--------	----	--------	----

パラメータ名	範囲	デフォルト値	説明
CPRI Core Configuration			
Speed Selection	3.072G and Under、 6.144G and Under、 9.8304G and Under、 10.1376G and Under、 12.16512G and Under	なし	レート範囲の選択。3つの選択肢は異なるポート信号のデータ幅に対応するが、実際に有効なデータ幅はレートに関連付けられています(3.4 ポート一覧参照)： ● 3.072G and Under：データリンク幅 16bit、vendor カスタム・コントロールワード 40bit。 ● 6.144G and Under：データリンク幅 32bit、vendor カスタム・コントロールワード 80bit。 ● 9.8304G and Under：データリンク幅 64bit、vendor カスタム・コントロールワード 128bit。 ● 10.1376G and Under：データリンク幅 64bit、vendor カスタム・コントロールワード 128bit。 ● 12.16512G and Under：データリンク幅 64bit、vendor カスタム・コントロールワード 128bit。 例：Speed Selection が 9.8304G and Under、Speed Enable が 3.072Gbps の場合、ポートの iq_tx_data_i と iq_rx_data_o は 64bit のデータ幅ですが、実際には下位 16bit のみが有効です。
Speed Enable	1.2288Gbps、 2.4576Gbps、 3.072Gbps、 4.9152Gbps、 6.144Gbps、 9.8304Gbps、 8.11008Gbps、 10.1376Gbps、 12.16512Gbps	なし	CPRI IP の動作ラインレートのイネーブル。現在、サポートされているレートは 1 つだけで、複数のレートの選択はサポートされていません。
Ethernet Select	MII、GMII	MII	Ethernet インターフェースとして MII インターフェースまたは GMII インターフェースを選択します。
Fixed Config Enable	チェックする、チェックしない	チェックしない	固定構成の選択： ● チェックした場合、プロトコルのバージョン番号、スクランプリング・シード、HDLC レート、Ethernet P ポインタなど一部の構成が固定構成になり、つまり初期化時に構成が固定されており、オンラインでの構成はサポートされません。このオプションをチェックすることで、リソース使用量やタイミ

パラメータ名	範囲	デフォルト値	説明
			ングを改善することができます。 ● チェックしない場合、オンラインでの構成はサポートされ、ユーザーは構成インターフェースを介してプロトコルのバージョン番号、スクランブリング・シード、HDLC レート、Ethernet P ポインタなどを変更することができます。
Config Clk Period	1~150MHz	50MHz	構成クロック周波数。CPRI IP 構成モジュールの動作クロック周波数。
Real Time Vendor	チェックする、チェックしない	チェックしない	10.1376Gbps 以上のラインレートの Vendor カスタム・コントロールワード機能をオンにするかどうかを選択します。 例：現在のラインレートが 10.1376Gbps で、ユーザーが"Real Time Vendor"にチェックを入れると、128bit の基本コントロールワードに加えて、追加の 32bit のコントロールワードは <u>3.5.6 リアルタイム vendor カスタム・インターフェースのタイミング図</u>で定義されたインターフェースタイミングに従ってデータの送受信に使用されます。ユーザーが"Real Time Vendor"にチェックを入れないと、追加の 32bit のコントロールワードは IQ データの転送に使用されます。
Initial Protocol Version	1、2	1	プロトコルバージョン・コントロールワード・リセット後のデフォルト値
Initial Scrambler Seed	31'h0~31'h7ffffff	0	スクランブリング・シード・リセット後のデフォルト値
Initial Ethernet Pointer	6'h14~6'h3f	6'h14	Ethernet P ポインタ・コントロールワード・リセット後のデフォルト値
Initial HDLC Rate	8'h0~8'h7	8'h2	HDLC レート・コントロールワード・リセット後のデフォルト値
PHY Configuration			
Channel Selection	Q0 Lane0、Q0 Lane1、Q0 Lane2、Q0 Lane3、Q1 Lane0、Q1 Lane1、Q1 Lane2、Q1 Lane3、	なし	SerDes レーンの選択。Q0/Q1 は SerDes の 2 つの Quad に対応します。Lane0、Lane1、Lane2、Lane3 は SerDes の各 Quad の 4 つのレーンです。
Loopback Mode	OFF、LB_NES、LB_FES、LB_ENC	OFF	SerDes ループバックモードの選択： ● OFF(つまり Normal モード)：SerDes データの送受信が正常に行われることを示します。 ● LB_NES(SerDes セルフループバック)：SerDes の送信側からデータを受信側にループバックします。

パラメータ名	範囲	デフォルト値	説明
			● LB_ENC(SerDes セルフループバック) : SerDes の送信側からデータを受信側にループバックします。 ● LB_FES(SerDes 外部ループバック) : SerDes の受信側からデータを送信側にループバックします。
Reference Clock Source	● GW5AST-138/GW5AT-138/GW5AT-75 の場合 : Q0 REFCLK0、Q0 REFCLK1、Q1 REFCLK 0、Q1 REFCLK 1 ● GW5AT-60 の場合 : Q0 REFCLK0、Q0 REFCLK1、Q0 REFCLK2、Q0 REFCLK3、SERDES Q0CLKIN0、SERDES Q0CLKIN1、SERDES Q0CLKIN2、SERDES Q0CLKIN3	Q0 REFCLK0	● GW5AST-138/GW5AT-138/GW5AT-75 の場合 : 高速トランシーバーのリファレンス・クロックの選択。Q0/Q1 は SerDes の 2 つの Quad に対応します。REFCLK0 および REFCLK1 は、SerDes の各 Quad の 2 つの入力リファレンス・クロックに対応します。ユーザーは、アプリケーションに応じて入力リファレンス・クロックを選択できます。 ● GW5AT-60 の場合 : 高速トランシーバーのリファレンス・クロックの選択。Q0REFCLK0、Q0REFCLK1、Q0REFCLK2、および Q0REFCLK3 は、Quad0 の 4 つの入力リファレンス・クロックに対応します。SERDES Q0CLKIN0、SERDES Q0CLKIN1、SERDES Q0CLKIN2、および SERDES Q0CLKIN3 は、専用 GPIO ピン経由の入力リファレンス・クロックに対応します。選択可能な入力リファレンス・クロックはパッケージによって異なります。
Reference Clock Frequency	手入力	122.88M	高速トランシーバーの入力リファレンス・クロックの周波数。リファレンス・クロックの周波数を入力した後、「Calculate」をタップして、周波数が正しいかを確認します。
PLL Selection	QPLL0、QPLL1、CPLL	QPLL0	PLL の選択
AFE			
Differential Swing	100mV~900mV	900mV	送信差動信号のスイング Vdiffpp を構成します。Vdiffpp=2xVdiff
FFE Mode	Auto、Manual	Auto	送信 FFE モードを構成します。 ● Auto : 自動モード ● Manual : 手動モード
Cm	0~19	0	送信 FFE pre-cursor
C0	21~40	40	送信 FFE main-cursor
C1	0~19	0	送信 FFE post-cursor
SD Threshold	25mV~200mV	100mV	受信差動信号 SD スレッショルド

パラメータ名	範囲	デフォルト値	説明
Equalization Mode	Auto、Manual	Auto	受信イコライゼーションモードを構成します ● Auto : 自動モード ● Manual : 手動モード
ATT	0~10	7	受信中間周波数の減衰を調整するために使用されます。値が小さいほど減衰が大きくなります。
BOOST	0~15	9	受信高周波数の増幅を調整するために使用されます。値が大きいほどゲインが大きくなります。
BIAS	0~15	7	SerDes 受信信号の増幅パラメータを構成するために使用されます。値が大きいほど、信号増幅効果が強くなります。
Optional Ports			
Loopback Ports	チェックする、チェックしない	チェックしない	ループバック・ポートを選択します : ● チェックすると、IP は SerDes ループバック・ポートを出力します。このポートは、SerDes PMA 層セルフループバックと外部ループバックをサポートしています。 ● チェックしない場合、IP はこのポートを出力しません。
DRP Port	チェックする、チェックしない	チェックしない	DRP ポートを選択します : ● チェックすると、IP は DRP ポートを出力します。このポートは、SerDes 内部レジスタにアクセスするために使用されます。 ● チェックしない場合、IP はこのポートを出力しません。

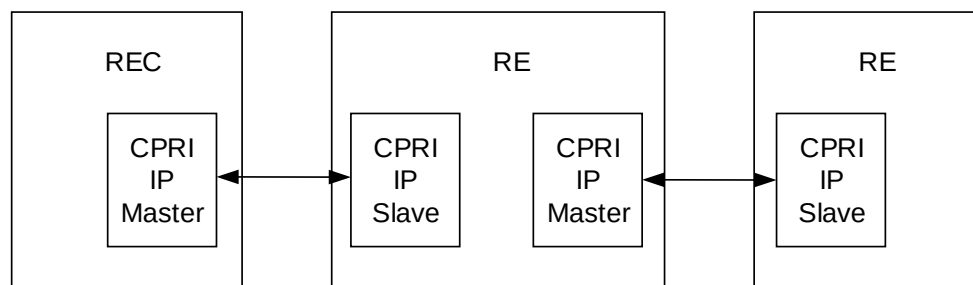
5 リファレンス・デザイン

詳細については、GOWIN のホームページにおける [CPRI 関連リファレンス・デザイン](#) を参照してください。

5.1 アプリケーション

CPRI IP は、REC または RE として使用することができます。図 5-1 は、REC と 2 つの RE からなるアプリケーションの例です。

図 5-1 アプリケーション例のブロック図



Gowin の各デバイスで CPRI IP がサポートするラインレートを表 5-1 に示します。

表 5-1 サポートされるラインレート

シリーズ	Device	Speed	Supported Line Bit Rates (Gbps)
GW5A	GW5AT-138/ GW5AST-138	C1	1.2288, 2.4576, 3.072, 4.9152, 6.144, 9.8304
GW5A	GW5AT-138/ GW5AST-138	ES/C2	1.2288, 2.4576, 3.072, 4.9152, 6.144, 9.8304, 8.11008, 10.1376, 12.16512Gbps

5.2 リファレンス・デザインの特性

Gowin CPRI IP のリファレンス・デザインには、CPRI IP と周辺コードに加えて、テストデータの送信と受信側でのデータ検証(検出)の機能が含まれています：

- IQ チャネルのテストデータの送信側での生成と受信側での検出機能を

サポート。PRBS とインクリメタル数のテストデータをサポート。

- イーサネットパケットの送信側での生成と受信側での検出機能をサポート。GMII と MII インターフェースをサポート。テストデータは固定イーサネットパケット。
- HDLC テストデータの送信側での生成と受信側での検出機能をサポート。テストデータは PRBS データ。
- Vendor カスタム・コントロールワード・データの送信と受信をサポート。
- デバッグモジュールをサポート。シリアルポート・ツールで FPGA の内部レジスタを直接読み出して状態(ステータス)やエラー統計を取得し、オンラインでレジスタ構成を実行することが可能。

5.3 CPRI IP リファレンス・デザイン・プロジェクト

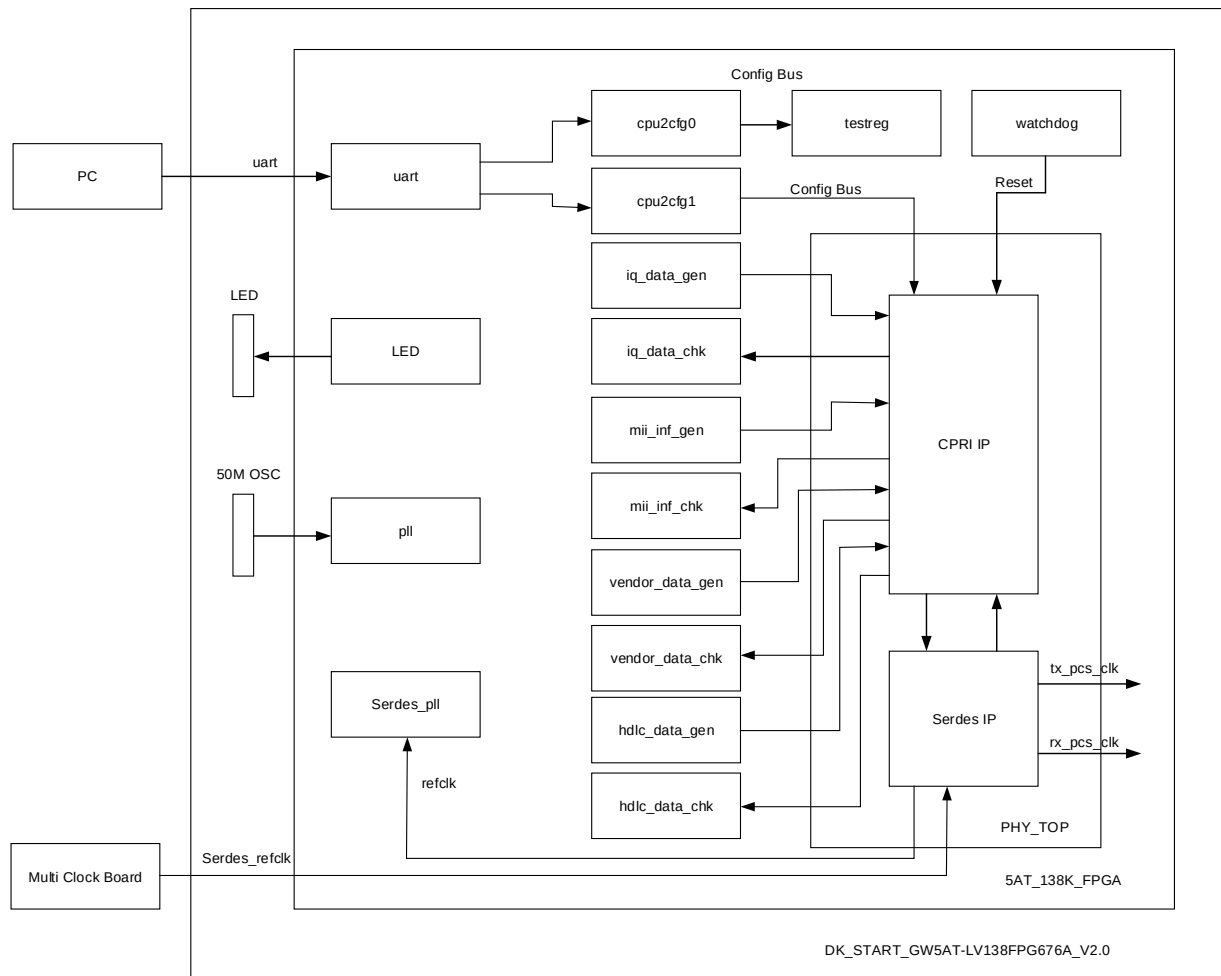
PC はシリアルポート・ツールを介してリファレンス・デザイン内の testreg モジュールレジスタと CPRI IP の内部レジスタにアクセスできます。testreg は 0x000~0x3FF (バイトアドレス)、CPRI IP は 0x400~0x7FF (バイトアドレス) のアドレス空間を持っています。PC はレジスタにアクセスすることでインターフェースリンクの状態や統計情報を直接取得することができます。

このリファレンス・デザインには、次のモジュールが含まれています：

- Uart to Bus : シリアル-構成バス・モジュール
- testreg : 1 セットの内部レジスタのメンテナンスに使用されます。このレジスタにアクセスすることでリンク状態を取得することができます。
- watchdog : リンクの同期に失敗した場合、一定時間ごとにリンクをリセットするウォッチドック
- led : ユーザーが LED などを通してテストの結果を直接確認できるようにします。
- gowin_pll : シングルボード内部 50MHz 水晶発振器に基づいて、構成モジュール、Ethernet モジュール (MII 25MHz, GMII 125MHz) の動作クロックを出力します。
- gowin_pll_serdes : SerDes から出力される gtr12_tx_pcs_clk_o を PLL のリファレンス・クロックとして使用し、IP の動作に必要な周波数を出力します。たとえば、レートが 10.1376Gbps の場合、158.4MHz の gtr12_tx_pcs_clk_o を PLL のリファレンス・クロックとして使用し、153.6MHz を IP の動作クロック tx_clk_i および rx_clk_i として出力します。
- iq_data_gen : IQ テストデータ生成モジュール。
- iq_data_chk : IQ テストデータ検出モジュール。

- mii_inf_gen : MII インターフェーステストデータ生成モジュール。
- mii_inf_chk : MII インターフェーステストデータ検出モジュール。
- vendor_data_gen : Vendor カスタム・コントロールワード・テストデータ生成モジュール。
- vendor_data_chk : Vendor カスタム・コントロールワード・テストデータ検出モジュール。
- hdlc_data_gen : HDLC テストデータ生成モジュール。
- hdlc_data_chk : HDLC テストデータ検出モジュール。

図 5-2 リファレンス・デザイン例の基本構造

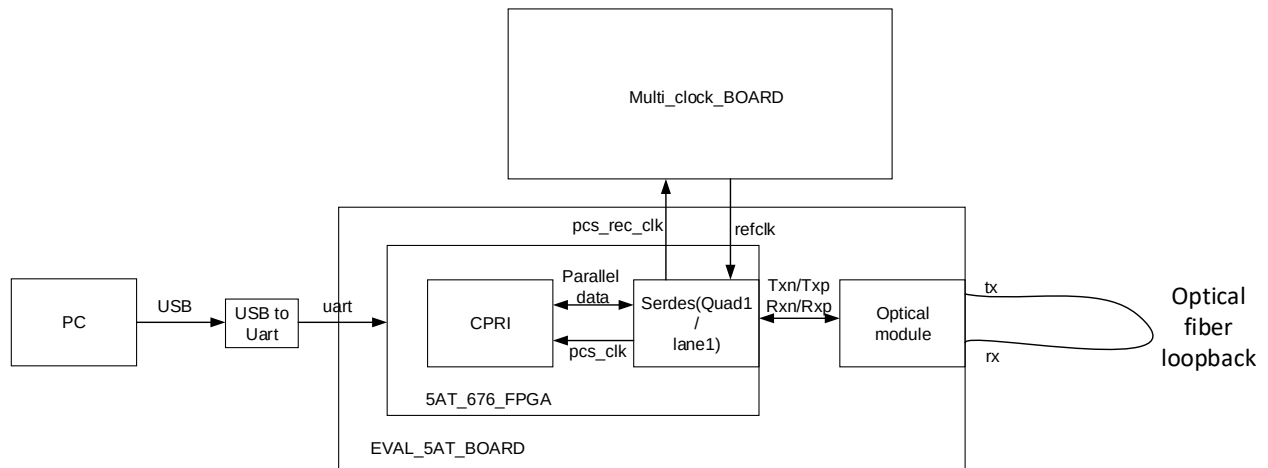


5.4 リファレンス・デザイン・ボードテスト

リファレンス・デザイン・プロジェクト・ボードテストの手順は以下の通りです：

- ホームページからプロジェクトをダウンロードし、コンパイルしてビットファイルを生成します。
- 図 5-3 に示すような環境を構築します。

図 5-3 テスト環境のブロック図



環境が構築された後、シリアル・ポート・ツールに「R 0」と入力すると、レジスタの値が表示されます(図 5-4)。「W 0 value」と入力すると、value に対応するレジスタ値がレジスタに書き込まれ、この時もう一度「R 0」と入力すると、レジスタの値は書き込まれた値となります。

注記：

シリアル・ポート・ツールで使用されるレジスタアドレスはワードアドレスであり、ワードアドレスに 4 を掛けたものがレジスタ一覧のバイトアドレスになります。例えば、R2 はワードアドレス 0x2 の読み出しを意味し、これはレジスタリストの 0x8 バイトアドレスに対応します。

表 5-2 testreg レジスタ一覧

アドレス (Byte)	タイプ	幅	信号名	説明
0x0	RW	[31:0]	test_reg	テスト(用)レジスタ。書き込んでリードバックすることにより、レジスタの書き込みおよび読み出し機能を確認します。
0x4	RO	[31:10]	Rsv.	N/A
	RW	[9]	test_mode	RSV。テストデータとして PRBS またはインクリメタル数を選択するために使用されます。リファレンス・デザイン・プロジェクトでは有効になっていません。
	RW	[8]	insert_err	RSV。PRBS テスト中にエラーコードを挿入するために使用されます。リファレンス・デザイン・プロジェクトでは有効になっていません。
	RO	[7:2]	Rsv.	N/A
	RW	[1:0]	loop_en	RSV。ループバックポイントを構成するために使用されます。リファレンス・デザイン・プロジェクトでは有効になっていません。
0x8	RO	[31:8]	Rsv.	N/A
	RW	[7:4]	speed_sel	レートを選択。 0~0xa は CPRI のレートに対応します。 ● 4'd0, rsv ● 4'd1, 1.2288Gbps

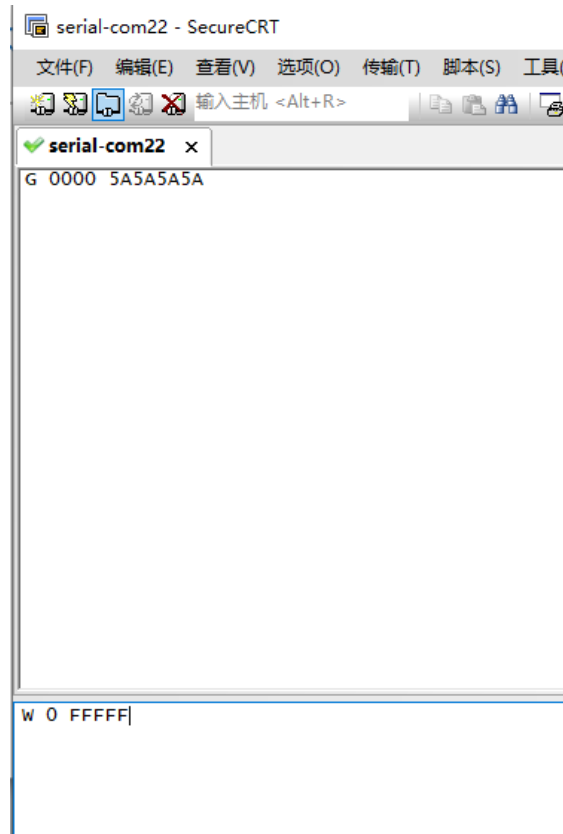
アドレス (Byte)	タイプ	幅	信号名	説明
				● 4'd2, 2.4576Gbps ● 4'd3, 3.072Gbps ● 4'd4, 4.9152Gbps ● 4'd5, 6.144Gbps ● 4'd6, 9.8304Gbps ● 4'd8, 8.11008Gbps ● 4'd9, 10.1376Gbps ● 4'd10, 12.16512Gbps
	RO	[3:1]	Rsv.	N/A
	RW	[0]	local_lof	LOF の指示。0 はフレーム同期喪失なし、つまり正常であることを示します。
0xc	RO	[31:16]	Rsv.	N/A
		[15:0]	frame_count	受信フレームの統計
0x10	RO	[31:16]	Rsv.	N/A
		[15:0]	mii_package_cnt	イーサネットフレームの統計
0x14	RO	[31:24]	vendor_err_cnt	vendor カスタム・コントロールワード・エラーの統計
		[23:16]	hdlc_err_cnt	HDLC エラーの統計
		[15:0]	iq_error_count	IQ データエラーの統計
0x18	RO	[31:8]	Rsv.	N/A
		[7:0]	mii_err_cnt	イーサネットフレーム・エラーの統計

注記：

レジスタの読み出しおよび書き込みの定義：

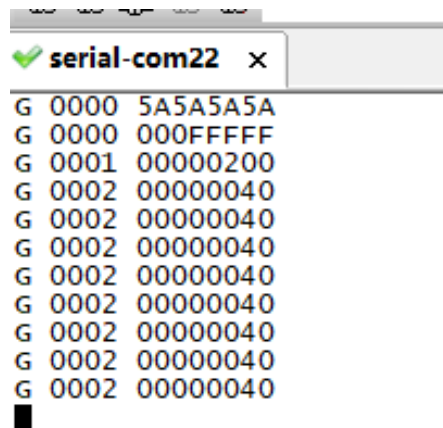
- RO は読み出し専用を意味します。
- RW は読み出し/書き込みを意味します。

図 5-4 シリアル・ポート・ツールの表示(その 1)



CRT を開いてレジスタを読み出し、リンク状態を確認します。レジスタ 0x2 を読み出し、0 である bit0 はフレーム同期喪失なしを示します。bit3~bit7 は RTL プロトコルでの動作のラインレートを示します。図 5-5 に示すように、0x4 である bit3~bit7 は、現在のラインレートが 4.9152Gbps であることを示します。

図 5-5 シリアル・ポート・ツールの表示(その 2)



IP core 内部レジスタを読み出してリンクの状態を確認します。

レジスタ 0x400(CPRI IP 内部のレジスタアドレス 0x0)を読み出します。Low である bit0、bit1、bit3 は、現在 LOS/LOF/RX_ERR 状態がないことを示し、_event サフィックスはイベントを示します。3.6.1 リンク状態 (0x0)

を参照してください。

図 5-6 シリアル・ポート・ツールの表示(その 3)

```
G 0400 077F8000
G 0400 077F8000
G 0400 077F8000
G 0400 077F8000
G 0400 077F8000
G 0400 077F8000
```

受信フレームの統計とイーサネットパケットの統計を読み出し、値の増加は、リンクが正常に送受信していることを示します。0x3 レジスタおよび 0x4 レジスタを読み出します。0x3 レジスタは CPRI 無線フレームの統計、0x4 レジスタは Ethernet 受信フレームの統計を示します。

図 5-7 シリアル・ポート・ツールの表示(その 4)

```
G 0003 00006D7A
G 0003 00006DE7
G 0003 00006E1A
G 0003 00006E46
G 0003 00006E71
G 0003 00006E9C
G 0004 0000372D
G 0004 000063F9
G 0004 00007FB4
G 0004 00009BB5
G 0004 0000B93B
G 0004 0000D27B
G 0004 0000EC26
```

ファイバーを挿抜して、インターフェースが再リンクされるかを確認します：

ファイバーを抜いた後、0x2 レジスタはフレーム同期喪失を示し (0x2 レジスタの bit0 が High)、受信フレームの統計は増加せず (0x3 レジスタは受信フレームの統計、0x4 はイーサネットパケットの統計を示す)、エラーフレームは増加しなくなります (0x5 および 0x6 レジスタ)。

図 5-8 シリアル・ポート・ツールの表示(その 5)

```
G 0002 00000041
G 0002 00000041
G 0002 00000041
G 0003 000030CD
G 0003 000030CD
G 0004 00001BCC
G 0004 00001BCC
G 0005 070011EC
G 0005 070011EC
G 0006 00000011
G 0006 00000011
```

ファイバーを再挿入した後、0x2 レジスタはフレーム同期を示し (0x2

レジスタの bit0 が Low)、受信フレームの統計は増加し (0x3 レジスタは受信フレームの統計、0x4 レジスタはイーサネットパケットの統計を示す)、エラーフレームは増加しません (0x5 および 0x6 レジスタ)。

図 5-9 シリアル・ポート・ツールの表示(その 6)

```
G 0002 00000040
G 0002 00000040
G 0002 00000040
G 0002 00000040
G 0002 00000040
G 0003 00003989
G 0003 000039B8
G 0003 000039E9
G 0004 00006F3D
G 0004 00008ED4
G 0004 0000ABCA
G 0005 34102FA2
G 0005 34102FA2
G 0005 34102FA2
G 0006 000000C6
G 0006 000000C6
G 0006 000000C6
```

IQ/HDLC/vendor/Ethernet エラーの統計を読み出し、連続的に非増加することは、リンクが安定し、検証データが正しいことを示します：

- 0x5 レジスタ : bit0~15 は IQ エラーの統計、bit16~bit23 は HDLC エラーの統計、bit24~bit31 は Venor エラーの統計を示します。
- 0x6 レジスタ : bit0~7 は Ethernet 受信フレームエラーの統計を示します。

図 5-10 シリアル・ポート・ツールの表示(その 7)

```
G 0005 0003001E
G 0005 0003001E
G 0005 0003001E
G 0005 0003001E
G 0005 0003001E
G 0006 00000000
G 0006 00000000
G 0006 00000000
G 0006 00000000
G 0006 00000000
```

また、リファレンス・デザイン・プロジェクトでは、LED の状態からリンクの状態を素早く判断できるよう、LED の指示を提供しています。開発ボードは、4 つの観察用 LED を提供しています。リファレンス・デザイン・プロジェクトの設計は以下の通りです。

- LED0 : PLL の状態を示し、常時点灯は正常、それ以外は異常です。常時点灯は、pll と SerDes_pll の両方の PLL のロック状態を示します。
- LED1 : 同期状態を示し、常時点灯は正常、それ以外は異常です。常時点灯は、CPRI フレーム同期喪失なしを示します。

- **LED2** : パケットの受信状態を示し、常時点灯は正常、それ以外は異常です。常時点灯は **CPRI** 無線フレームとイーサネットパケットの正常受信を示します。
- **LED3** : 受信データ検証の状態を示し、常時点灯は正常、それ以外は異常です。常時点灯は受信データ検証が正しいことを示します (**IQ**、**Vendor**、**HDLC**、**Ethernet**)。

6 提供されるファイル

提供されるファイルには主に、ドキュメント、デザインのソースコード、およびリファレンス・デザインが含まれています。

6.1 ドキュメント

フォルダには主にユーザーガイドの PDF ファイルが含まれています。

表 6-1 ファイル一覧

名称	説明
Gowin CPRI IP ユーザーガイド(IPUG1017)	即ち、本マニュアル
Gowin CPRI IP リリースノート(RN1017)	Gowin CPRI IP のリリースノート

6.2 デザインのソースコード(暗号化)

暗号化コードのフォルダには、GUI で使用される、Gowin CPRI IP の RTL 暗号化コードが含まれています。

表 6-2 Gowin CPRI IP のソースコード一覧

名称	説明
cpri_core_encryption.v	暗号化されている、IP コアのトップレベル・ファイル。ユーザーにインターフェース情報を提供します。

6.3 リファレンス・デザイン

Gowin CPRI IP RefDesign フォルダには、主に Gowin CPRI IP のネットリスト・ファイル、リファレンス・デザイン、制約ファイル、トップレベル・ファイル、およびプロジェクト・フォルダなどが含まれています。

表 6-3 Gowin CPRI IP RefDesign フォルダのコンテンツ一覧

名称	説明
cpri_ed_top.v	リファレンス・デザインのトップ・モジュール
cpri_ed_top.cst	物理制約ファイル
cpri_ed_top.sdc	タイミング制約ファイル
test	テスト・スティミュラス・モジュール cpri_test.v、ROM 初期化ファイル gmii_eth_package.txt お

名称	説明
	よび <code>mii_eth_package.txt</code> を含むテスト・ステイミュラス・フォルダ。
SerDes	EDA ツールで生成された SerDes 関連ファイルと CPRI プロトコルフォルダを含む SerDes IP フォルダ。
debug	出力 LED モジュール <code>led.v</code> 、テストレジスタ・モジュール <code>testreg.v</code> 、ウォッチドッグ・モジュール <code>watchdog.v</code> を含むデバッグ関連フォルダ。
gowin_pll	PLL モジュールフォルダ。外部入力 50MHz クロックをリファレンス・クロックとして使用して内部構成クロックを出力します。
gowin_pll_serdes	PLL モジュールフォルダ。SerDes から出力される PCS クロックをリファレンス・クロックとして使用して IP の動作クロックを出力します。ラインレートが 8.11008Gbps、10.1376Gbps、および 12.16512Gbps の場合にのみ使用されます。
uart_to_bus	Uart to Bus IP フォルダ。シリアル-内部構成バスの変換用。

