



Gowin Basic FIR Filter

ユーザーガイド

IPUG542-1.0J, 2019-02-25

著作権について（2019）

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

「GOWINSEMI®」、「LittleBee®」、「Arora®」、及びGOWINSEMIのロゴは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、www.gowinsemi.com.cnにおいて記載されているそれぞれの権利者に帰属しています。当社は、**GOWINSEMI Terms and Conditions of Sale**（GOWINSEMI取引条件）に規定されている内容を除き、（明示的か又は黙示的に拘わらず）いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。本文書における全ての情報は、予備的情報として取り扱われなければなりません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ（不具合情報）については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2019/02/25	1.0J	初版。

目次

目次.....	i
図一覧.....	ii
表一覧.....	iii
1 本マニュアルについて	1
1.1 マニュアル内容	1
1.2 サポートされるデバイス	1
1.3 関連ドキュメント	1
1.4 用語、略語.....	2
1.5 テクニカル・サポートとフィードバック	2
2 概要.....	3
2.1 Basic FIR Filter IP の紹介	3
2.2 主な特徴	3
2.3 最大周波数.....	4
2.4 リソース使用率	4
3 ポートの説明.....	5
4 GUI パラメータ	6
4.1 概要.....	6
5 動作原理.....	7
5.1 アルゴリズムの概要	7
5.2 Gowin Basic FIR Filter IP の実装	7
6 タイミングの説明.....	9
6.1 係数入力タイミング	9
6.2 データ入力タイミング	10
6.3 データ出力タイミング	11
6.4 ini	11
6.5 入力間隔	11
7 構成および呼び出し	12
8 リファレンスデザイン	15

図一覧

図 3-1 Basic FIR Filter のインターフェース	5
図 5-1 Gowin Basic FIR Filter IP の実装	7
図 6-1 係数入力タイミング	9
図 6-2 データ入力タイミング	10
図 6-3 データ出力タイミング	11
図 7-1 Basic FIR Filter IP を開く	12
図 7-2 Basic FIR Filter IP の構成インターフェース	13
図 7-3 Help ドキュメント	14

表一覧

表 1-1 用語、略語.....	2
表 2-1 Basic FIR Filter IP	3
表 2-2 Basic FIR Filter のリソース使用率	4
表 3-1 Basic FIR Filter の IO 一覧	5
表 4-1 GUI のパラメーター一覧	6

1 本マニュアルについて

1.1 マニュアル内容

Gowin Basic FIR Filter ユーザーガイドには、主に IP の特徴、信号の定義、ポートの説明、タイミングの説明、構成と呼び出し、リファレンスデザインなどが含まれています。ユーザーが Gowin Basic FIR Filter IP の特徴及び使用方法を迅速に理解できるように作成されています。

1.2 サポートされるデバイス

本ユーザーガイドに記載される情報は、以下の製品に適用されます。

1. GW1N シリーズ FPGA 製品 : GW1N-2、GW1N-2B、GW1N-4、GW1N-4B、GW1N-6、GW1N-9
2. GW1NR シリーズ FPGA 製品
3. GW2A シリーズ
4. GW2AR シリーズ

1.3 関連ドキュメント

GOWIN セミコンダクターウェブサイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

1. GW1N シリーズ FPGA 製品データシート (DS100)
2. GW1NR シリーズ FPGA 製品データシート (DS117)
3. GW2A シリーズ FPGA 製品データシート (DS102)
4. GW2AR シリーズ FPGA 製品データシート (DS226)
5. Gowin YunYuan ソフトウェア ユーザーガイド (SUG100)

1.4 用語、略語

本マニュアルに使用されている関連用語、略語及び関連解釈を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
FPGA	Field Programmable Gate Array	フィールドプログラマブルゲートアレイ
FIR	Finite Impulse Response	有限インパルス応答
IP	Intellectual Property	設計資産
DSP	Digital Signal Processing	デジタル信号処理
BSRAM	Block SRAM	ブロック SRAM

1.5 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

Web サイト : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

2.1 Basic FIR Filter IP の紹介

Gowin Basic FIR Filter IP は、乗算および累積計算によって実装される基本構造 FIR フィルターです。IP は、制御のタイミングが簡単で、広範囲のオーダーに設定できます。さらに、IP の内部乗算アレイの長さは DSP リソースに応じて設定できます。また、タップ数が多い場合、データと係数は BSRAM に保存されるため、ロジックリソースの節約にも役立ちます。

表 2-1 Basic FIR Filter IP

Basic FIR Filter IP	
IP コアアプリケーション	
サポートされるデバイス	● GW1N シリーズ : GW1N-2、GW1N-2B、GW1N-4、GW1N-4B、GW1N-6、GW1N-9 ● GW1NR シリーズ ● GW2A シリーズ ● GW2A シリーズ
ロジックリソース	表 2-2 参照。
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンスデザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	Synplify_Pro
アプリケーションソフトウェア	Gowin YunYuan

2.2 主な特徴

- 構成可能な入力データの幅
- 構成可能な係数幅
- 構成可能なタップ数 (16～2048)

- 構成可能な乗算器アレイの長さ

2.3 最大周波数

Basic FIR Filter IP の最大周波数（最大 100MHz）は、主に使用されるデバイスのスピードグレード（speed grade of the devices）によって決まります。

2.4 リソース使用率

Basic FIR Filter を Verilog で実装します。パフォーマンスとリソース使用率は、IP の構成、使用されているデバイスの集積度、速度、およびグレードによって異なる場合があります。

次の表は、入力データの幅と係数幅が 18 ビットの場合の Basic FIR Filter IP のリソース使用率を示しています。

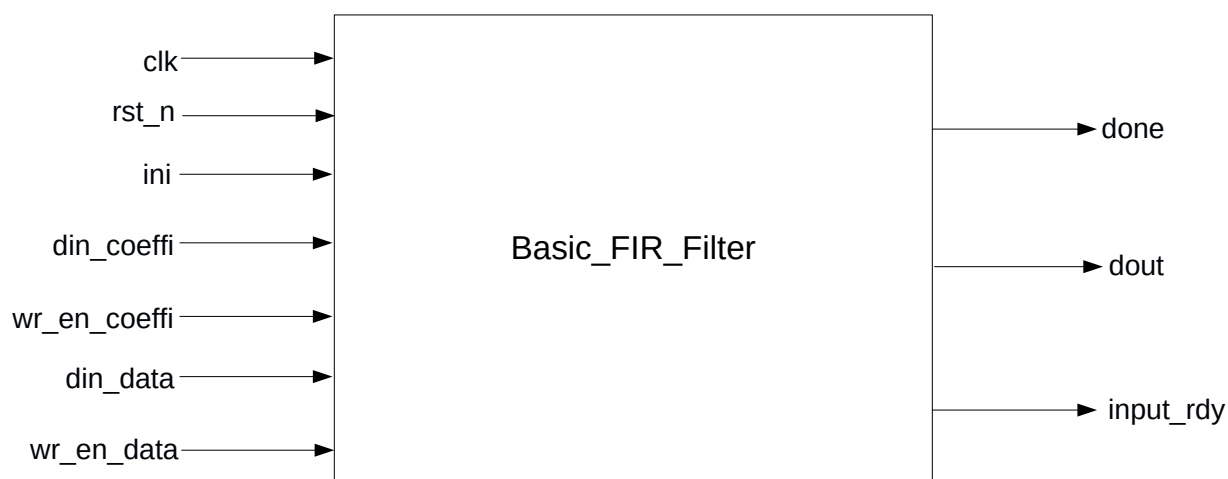
表 2-2 Basic FIR Filter のリソース使用率

シリーズ	スピード レベル	Mult Array length	Tapsize (タップ数)	LOGICS	REGS	DSP Macros	BSRAMS
GW2A-55	C8/I7	2	32	327	395	1	0
			1024	337	373	1	4
		4	32	629	570	3	0
			1024	603	511	3	8
		8	32	1973	1254	6	0
			1024	1789	1107	6	16

3ポートの説明

IP のインターフェースを図 3-1 に示します。

図 3-1 Basic FIR Filter のインターフェース



IO 一覧を表 3-1 に示します。

表 3-1 Basic FIR Filter の IO 一覧

信号	方向	ビット幅	説明
rst_n	入力	1	リセット信号、アクティブ Low
clk	入力	1	クロック信号
ini	入力	1	データメモリをクリアするための初期化信号
wr_en_data	入力	1	データ書き込みイネーブル信号
din_data	入力	12-24	データ
wr_en_coeffi	入力	1	係数書き込みイネーブル信号
din_coeffi	入力	12-24	係数
dout	出力	54	フィルタリング結果
done	出力	1	出力指示信号。High の場合、フィルタリングが完了し、出力が有効であることを意味します
input_rdy	出力	1	1 つの計算サイクルが完了したことを示します

4 GUI パラメータ

4.1 概要

表 4-1 に示すように、Basic FIR Filter は、実際のニーズに応じて構成する関連パラメータをユーザーに提供しています。

表 4-1 GUI のパラメーター一覧

番号	パラメータ名	オプション	説明
1	Mult Array Length	2/4/8	乗算器アレイの長さ
2	tapsize	16-2048	タップ数（乗算器アレイの長さの整数倍でなければなりません）
3	Input data width	12-24	入力データの幅
4	Input coefficient width	12-24	入力係数の幅

5 動作原理

5.1 アルゴリズムの概要

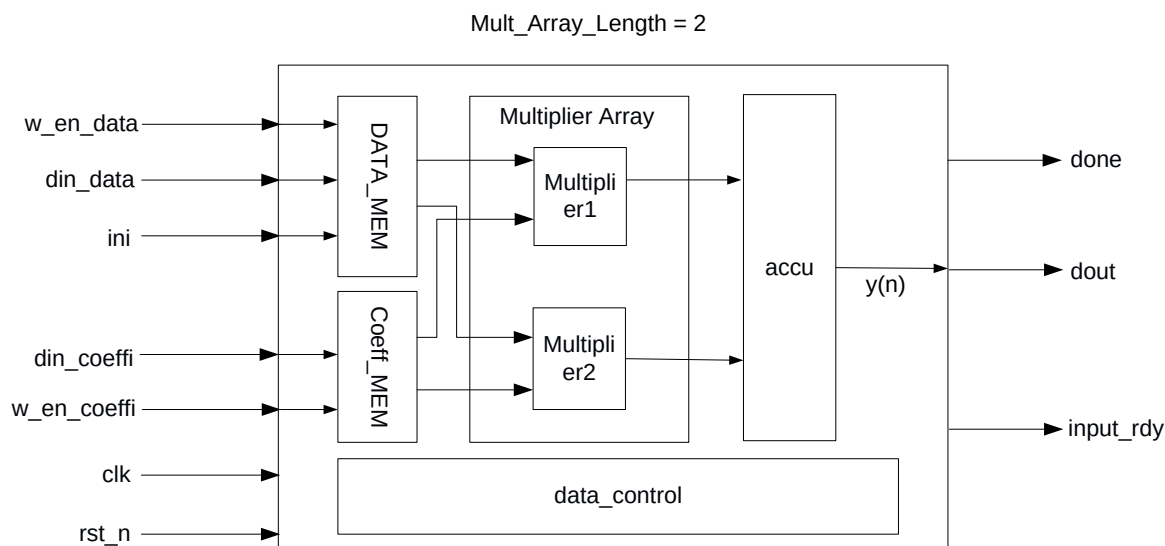
Basic FIR (Finite Impulse Response、有限インパルス応答) フィルターは基本的な有限インパルス応答フィルターで、その計算式は次のとおりです。

$$y[n] = b_0x[n] + b_1x[n-1] + \dots + b_Nx[n-N]$$

$$= \sum_{i=0}^N b_i \cdot x[n-i]$$

5.2 Gowin Basic FIR Filter IP の実装

図 5-1 Gowin Basic FIR Filter IP の実装



Mult Array Length = 2 の場合の Basic FIR Filter IP の実装を図 5-1 に示します。IP の内部は、主にデータメモリ DATA_MEM、係数メモリ Coeff_MEM、

乗算器アレイ **Multiplier Array**、アキュムレータ **accu**、およびデータ制御モジュール **data_control** で構成されています。乗算器アレイ内の乗算器数は、乗数アレイの長さに応じて変化します。また、タップが多い場合、データメモリ **DATA_MEM** と係数メモリ **Coeff_MEM** は **BSRAM** により実装されるため、ロジックリソースを大幅に節約できます。

6 タイミングの説明

Basic FIR Filter IP の入力制御信号：

1. `rst_n`：リセット信号、アクティブ Low。
2. `ini`：データメモリをクリアするための初期化信号。
3. `wr_en_data`：データ書き込みイネーブル信号。
4. `wr_en_coef`：係数書き込みイネーブル信号。

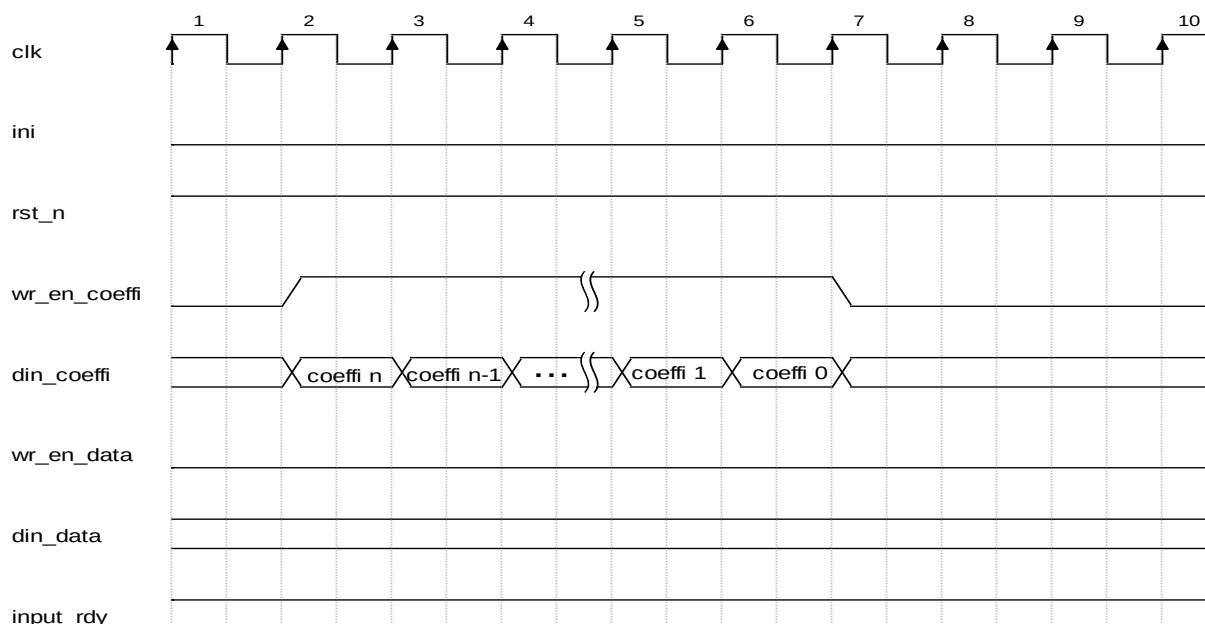
注記：

計算結果の正確さを確保するために、複数のタイミング制御を同時に実行しないでください。

以下に、各タイミングについてそれぞれ説明します。

6.1 係数入力タイミング

図 6-1 係数入力タイミング



係数入力タイミングを図 6-1 に示します。係数を入力すると同時に、係数書き込みイネーブル信号を **High** にプルアップする必要があります。クロックの立ち上がりエッジが来るときに係数書き込みイネーブル信号が

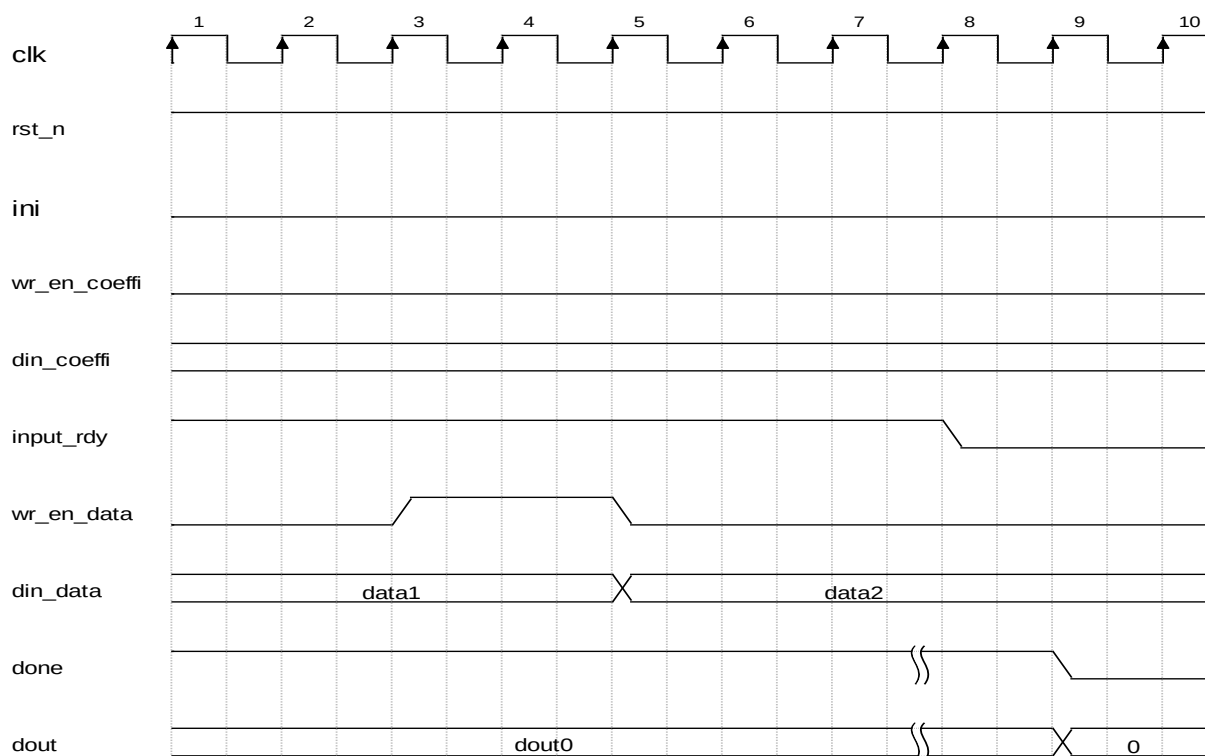
High の場合、係数が書き込まれます。書き込まれる係数の数は、タップ数と同じである必要があります。タップ数を超えた場合、前に書き込まれた係数が上書きされます。ご注意：フィルター形式が次の場合：

$$y[n] = b_0x[n] + b_1x[n-1] + \dots + b_Nx[n-N]$$

係数を書き込むときは、 b_N 、 b_{N-1} 、 $b_{N-2} \dots b_1$ 、 b_0 の順に書き込む必要があります。

6.2 データ入力タイミング

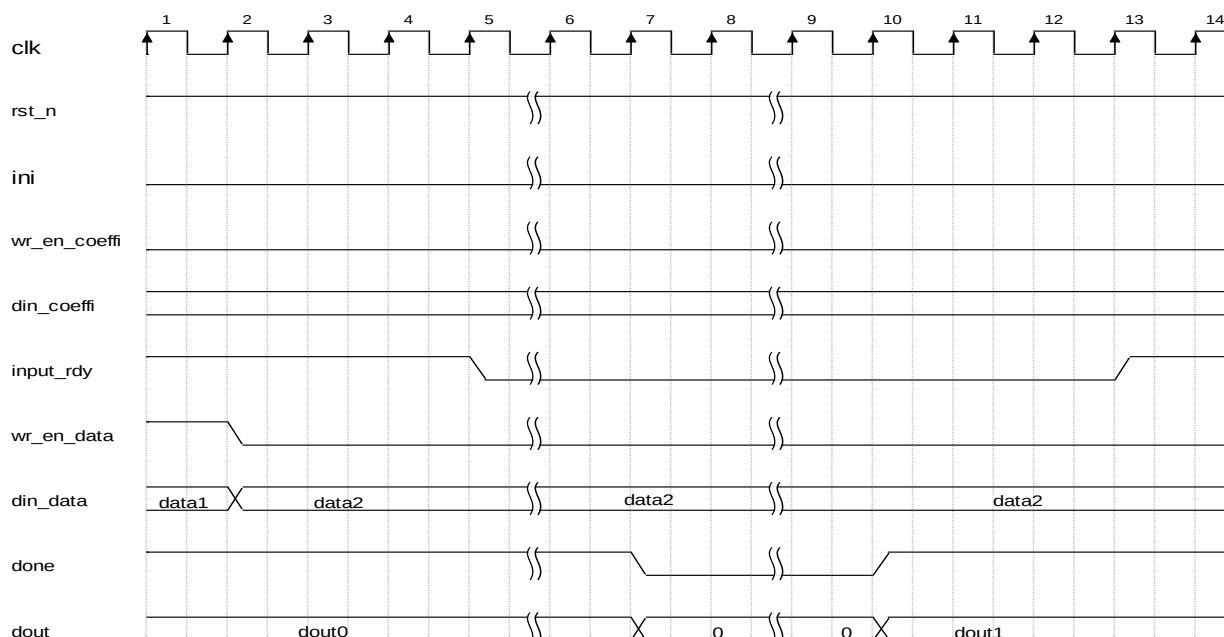
図 6-2 データ入力タイミング



データ入力タイミングを図 6-2 に示します。input_rdy 信号が High の場合、この時点で IP はデータ入力の準備ができたことを示します。データを入力したい場合、wr_en_data 信号を High にプルアップします。Basic FIR Filter IP は wr_en_data の最後の High レベルの din_data を入力します（たとえば、図 6-2 に示すように、IP は 5 番目のクロックが立ち上がる時点で data1 を入力して計算します）。3 サイクルの遅延の後、input_rdy 信号はリセットされます。input_rdy 信号が再び High になってから次のデータを入力してください。

6.3 データ出力タイミング

図 6-3 データ出力タイミング



データ出力タイミングを図 6-3 に示します。データを 1 回書き込んだ後、数サイクルの遅延の後、出力指示信号 **done** および出力信号 **dout** はリセットされます。**done** 信号が再び High にプルアップされることは、計算が完了したことを示します。それと同時に **dout** が出力されます。3 サイクルの遅延の後、**input_rdy** 信号が High にプルアップされ、次のデータ入力の準備ができたことを示します。

6.4 ini

ini 信号は、データメモリに保存されている入力データを初期化するために使用されます。初期化のクロックサイクル数は、フィルターのタップ数よりも大きい必要があります。

6.5 入力間隔

Basic FIR Filter IP には多くの計算が必要なため、時間がかかります。計算が完了していない (**input_rdy** 信号が High にプルアップされていない) うちに次のデータを入力すると、予期しないエラーが発生します。このようなエラーを回避するためには、**input_rdy** が High であることが検出されたときに入力するか、一定のレートで入力します。以下は、参照としてデータ入力間隔時間を実装するアルゴリズムを提供します。

入力 **clk** 周波数が f_c Hz、タップ数が n 、乗算器アレイの長さが m 、 $f_{w\max}$ が最大入力データ周波数であると仮定すると、次のようになります。

$$f_{w\max} = \frac{f_c}{n/m + 50}$$

7 構成および呼び出し

Gowin YunYuan ソフトウェアインターフェースのメニューバーツールで、IP Core Generator を使用して Basic FIR Filter を構成・呼び出しできます。

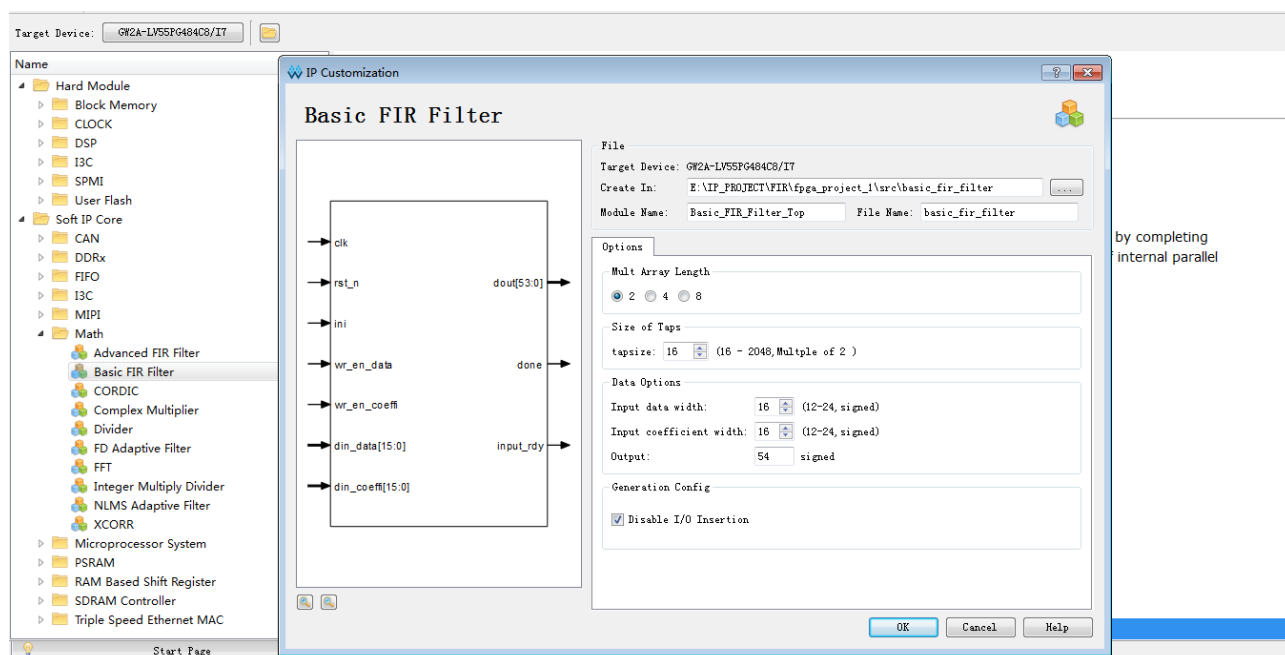
1. IP Core Generator を開きます。
ユーザーがプロジェクトを作成した後、左上の **Tools** タブをクリックし、ドロップダウンリストから **IP Core Generator** を開きます。
2. Basic FIR Filter IP を開きます。
Soft IP Core > Math > Basic FIR Filter IP をダブルクリックして開きます (図 7-1)。

図 7-1 Basic FIR Filter IP を開く



3. Basic FIR Filter の構成インターフェース。
Basic FIR Filter の構成インターフェースを図 7-2 に示します。

図 7-2 Basic FIR Filter IP の構成インターフェース



左側は、Basic FIR Filter IP インターフェースの説明図です。右側は、構成可能なオプションです。具体的には：

- a). **File Name** フィールドで **Basic FIR Filter** に名前を付けることができます。
 - b). **Module Name** フィールドで **Basic FIR Filter** のトップモジュールに名前を付けることができます。
 - c). **Options** オプションでは、乗算器アレイの長さ **Mult Array Length**、フィルターのタップ数 **tapsize**、入力データ幅 **Input data width**、入力係数幅 **Input coefficient width**（出力データは **54** ビットに固定）を構成することができます。
4. **Help** ドキュメントを開きます

図 7-2 の右下の **Help** ボタンをクリックして、構成インターフェース内の各オプションの簡単な英語表記の意味を確認することができます（）。

図 7-3 Help ドキュメント

Basic FIR Filter

Information

Type:	Basic FIR Filter
Vendor:	GOWIN Semiconductor
Summary:	The Gowin Basic FIR Filter IP is a basic version of FIR filter. It realizes FIR filter function by completing multiplication and accumulation operation. Mult Array Length determines the number of internal parallel multipliers, and the larger the number, the faster the calculation speed.

Options

Option	Description
Mult Array Length	
Mult Array Length	Select the number of internal parallel multipliers.
Size of Taps	
Size of Taps	Specify the number of taps in Basic FIR Filter.
Data Options	
Input data width	Specify the input data width.
Input coefficient width	Specify the input coefficient data width.

8 リファレンスデザイン

RefDesign 内の関連するテストケースを参照してください。

