



Gowin Advanced FIR Filter IP ユーザーガイド

IPUG543-2.2J, 2025-10-17

著作権について(2025)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云、**GOWIN**、、**GOWINSEMI**、**GOWIN**、Gowin、**高云**、晨熙、小蜜蜂、LittleBee、**Aroa-V**、GowinPnR、及びGoBridgeは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、**GOWINSEMI Terms and Conditions of Sale**(**GOWINSEMI** 取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2019/01/15	1.0J	初版。
2019/08/30	1.1J	FIR の構造を更新。
2021/04/06	1.2J	- 初期化係数ファイルの説明を更新。 - 読み出し書き込みタイミングの説明を更新。
2022/11/17	2.0J	FIR Filter の構造を追加。
2025/05/30	2.1J	「2.7 FIR Fractional Rate の構造および機能」を追加。 「2.8 FIR Half-band Decimator の構造および機能」を追加。 「3.4 リソース使用量」を更新。 - IP の特徴を更新。
2025/09/30	2.2J	「2.9 FIR Half-band Interpolator の構造および機能」を追加。 「2.10 FIR Hilbert の構造および機能」を追加。 - ポート図およびその説明を更新。 「3.4 リソース使用量」を更新。 - 構成オプションの説明を追加。

目次

図一覧.....	ii
表一覧.....	iii
1 本マニュアルについて.....	1
1.1 マニュアルの内容.....	1
1.2 関連ドキュメント.....	1
1.3 用語、略語.....	2
1.4 テクニカル・サポートとフィードバック.....	2
2 概要.....	3
2.1 Gowin Advanced FIR Filter IP の紹介.....	3
2.2 Advanced FIR Filter アルゴリズムの概要.....	3
2.3 FIR Singlerate の構造および機能.....	4
2.4 FIR Symmetry の構造および機能.....	4
2.5 FIR Polyphase Decimator の構造および機能.....	5
2.6 FIR Polyphase Interpolator の構造および機能.....	6
2.7 FIR Fractional Rate の構造および機能.....	6
2.8 FIR Half-band Decimator の構造および機能.....	7
2.9 FIR Half-band Interpolator の構造および機能.....	7
2.10 FIR Hilbert の構造および機能.....	8
3 特徴及び性能.....	9
3.1 主な特徴.....	9
3.2 最大周波数.....	9
3.3 レイテンシ.....	9
3.4 リソース使用量.....	9
4 ポートの説明.....	13
5 タイミングの説明.....	15
6 IP の呼び出しと構成.....	17
7 リファレンス・デザイン.....	22

図一覧

図 2-1 FIR Singlerate の基本構造.....	4
図 2-2 FIR Symmetry の基本構造.....	5
図 2-3 FIR Polyphase Decimator の基本構造.....	5
図 2-4 FIR Polyphase Interpolator の基本構造.....	6
図 2-5 FIR Fractional Rate Polyphase Decimator の基本構造.....	6
図 2-6 FIR Fractional Rate Polyphase Interpolator の基本構造.....	7
図 2-7 FIR Half-band Decimator の基本構造.....	7
図 2-8 FIR Half-band Interpolator の基本構造.....	8
図 2-9 FIR Hilbert の基本構造.....	8
図 4-1 Gowin Advanced FIR Filter IP のポート図.....	13
図 5-1 Advanced FIR Filter IP のチャンネル数が 3、時分割多重数が 3 の場合のデータ入力タイミング図.....	15
図 5-2 Advanced FIR Filter IP のチャンネル数が 3、時分割多重数が 3 の場合のデータ出力タイミング図.....	16
図 5-3 FIR Singlerate/Symmetry のチャンネル数が 3 の場合の係数再ロードのタイミング図.....	16
図 6-1 IP Core Generator の画面.....	18
図 6-2 Advanced FIR Filter IP の画面.....	19
図 6-3 MATLAB の例.....	21
図 7-1 リファレンス・デザインの構造.....	22

表一覧

表 1-1 用語、略語.....	2
表 2-1 Gowin Advanced FIR Filter IP の概要.....	3
表 3-1 FIR Singlerate モードでのリソース使用量.....	10
表 3-2 FIR Symmetry モードでのリソース使用量.....	10
表 3-3 FIR Polyphase Decimator モードでのリソース使用量.....	10
表 3-4 FIR Polyphase Interpolator モードでのリソース使用量.....	11
表 3-5 FIR Fractional Rate ($P/Q = 8/3$)モードでのリソース使用量.....	11
表 3-6 FIR Fractional Rate ($P/Q = 7/17$)モードでのリソース使用量.....	11
表 3-7 FIR Half-band (Decimator)モードでのリソース使用量.....	12
表 3-8 FIR Half-band (Interpolator)モードでのリソース使用量.....	12
表 3-9 FIR Hilbert モードでのリソース使用量.....	12
表 4-1 Gowin Advanced FIR Filter IP のポート一覧.....	14
表 6-1 Advanced FIR Filter のオプションの構成.....	19

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、ユーザーが **Gowin Advanced FIR Filter IP** を使いこなせるよう、その特徴、機能、ポート、タイミング、呼び出しと構成、およびリファレンス・デザインなどについて説明します。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW1N シリーズ FPGA 製品データシート([DS100](#))
- GW1NR シリーズ FPGA 製品データシート([DS117](#))
- GW2A シリーズ FPGA 製品データシート([DS102](#))
- GW2AN-55 FPGA 製品データシート([DS976](#))
- GW2ANR シリーズ FPGA 製品データシート([DS961](#))
- GW2AR シリーズ FPGA 製品データシート([DS226](#))
- GW5AT シリーズ FPGA 製品データシート([DS981](#))
- GW5A シリーズ FPGA 製品データシート([DS1103](#))
- GW5AST シリーズ FPGA 製品データシート([DS1239](#))
- GW5AS シリーズ FPGA 製品データシート([DS1105](#))
- GW5AR シリーズ FPGA 製品データシート([DS1108](#))
- GW5ART シリーズ FPGA 製品データシート([DS1118](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
BSRAM	Block Static Random Access Memory	ブロック SRAM
DSP	Digital Signal Processing	デジタル信号処理
FIR	Finite Impulse Response	有限インパルス応答
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
IP	Intellectual Property	設計資産
SRAM	Static Random Access Memory	スタティック RAM

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

2.1 Gowin Advanced FIR Filter IP の紹介

Gowin Advanced FIR Filter IP は、有限インパルス応答（FIR, Finite Impulse Response）フィルタの機能を実装します。8つのモードがサポートされ、マルチチャネル処理、時分割多重化などの機能もサポートされます。

表 2-1 Gowin Advanced FIR Filter IP の概要

Gowin Advanced FIR Filter IP	
ロジックリソース	3.4 リソース使用量 参照。
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンス・デザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis
統合開発環境	Gowin ソフトウェア(1.9.8.09 以降)

注記：

デバイスのサポート情報は、Gowin セミコンダクターの[ホームページ](#)で確認できます。

2.2 Advanced FIR Filter アルゴリズムの概要

FIR(有限インパルス応答)フィルタの計算式は次のとおりです。

$$y[n] = h_0x[n] + h_1x[n-1] + \dots + h_{N-1}x[n-N+1]$$

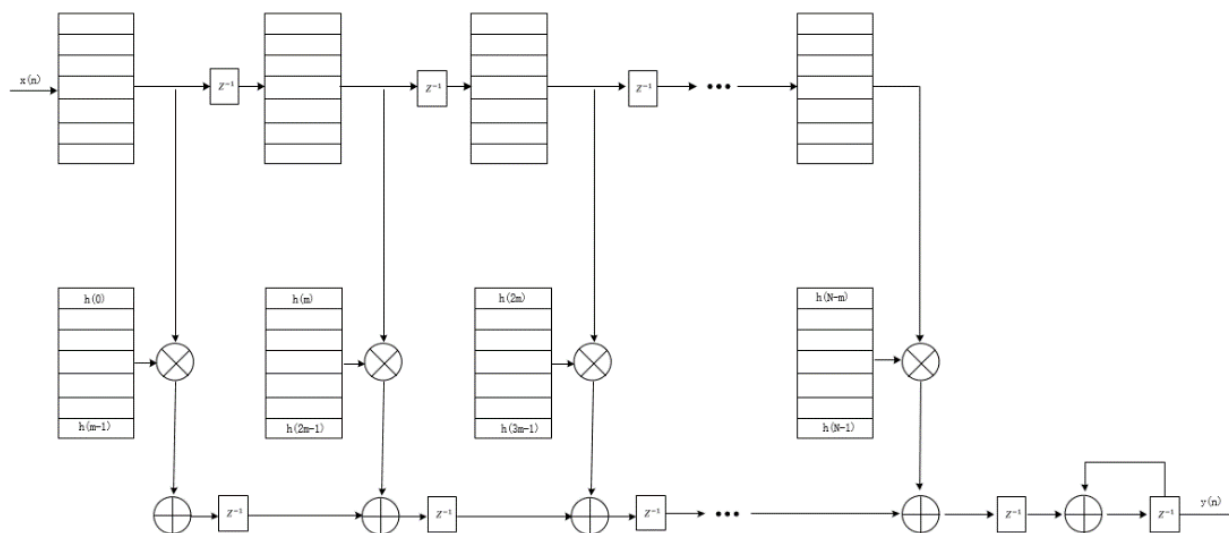
$$= \sum_{i=0}^{N-1} h_i \cdot x[n-i]$$

Gowin Advanced FIR Filter IP は、フィルタ係数に応じてさまざまな動作モードのために最適化されています。

2.3 FIR Singlerate の構造および機能

FIR Singlerate モードでは、FIR フィルタが転置型で実装され、入力から出力までパイプラインで処理されるので、結果を迅速に取得できます。そのため、データおよび係数幅が大きく、オーダーが小さい設計に適しています。その基本構造は図 2-1 に示すとおりです。

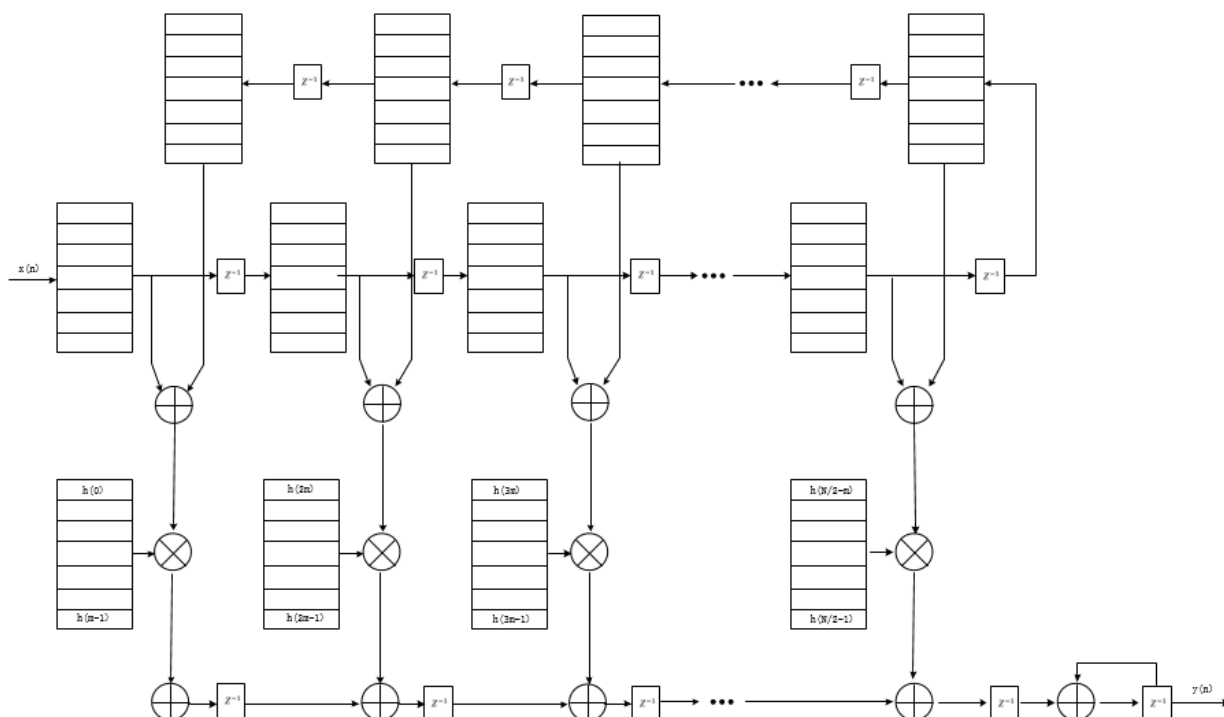
図 2-1 FIR Singlerate の基本構造



2.4 FIR Symmetry の構造および機能

FIR Symmetry モードは、FIR 係数の対称性に基づいて設計されており、乗算器などのリソースを半分に節約することができます。その基本構造は図 2-2 に示すとおりです。

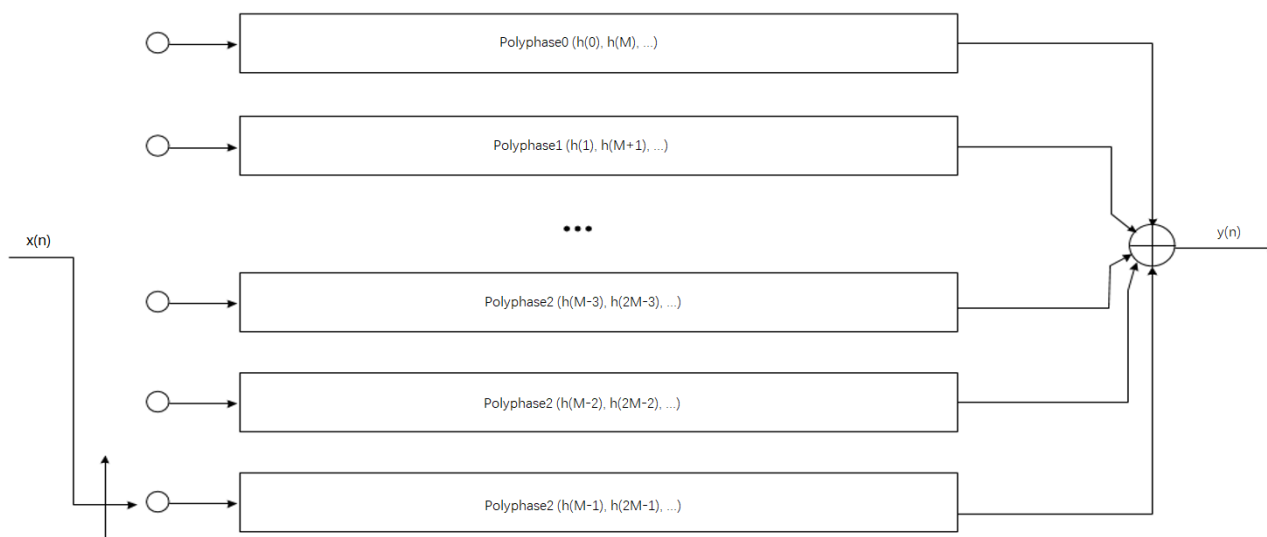
図 2-2 FIR Symmetry の基本構造



2.5 FIR Polyphase Decimator の構造および機能

FIR Polyphase Decimator は、多項式フィルタ構造を使用してフィルタリングとダウンサンプリング機能を実装します。その基本構造は図 2-3 に示すとおりです。

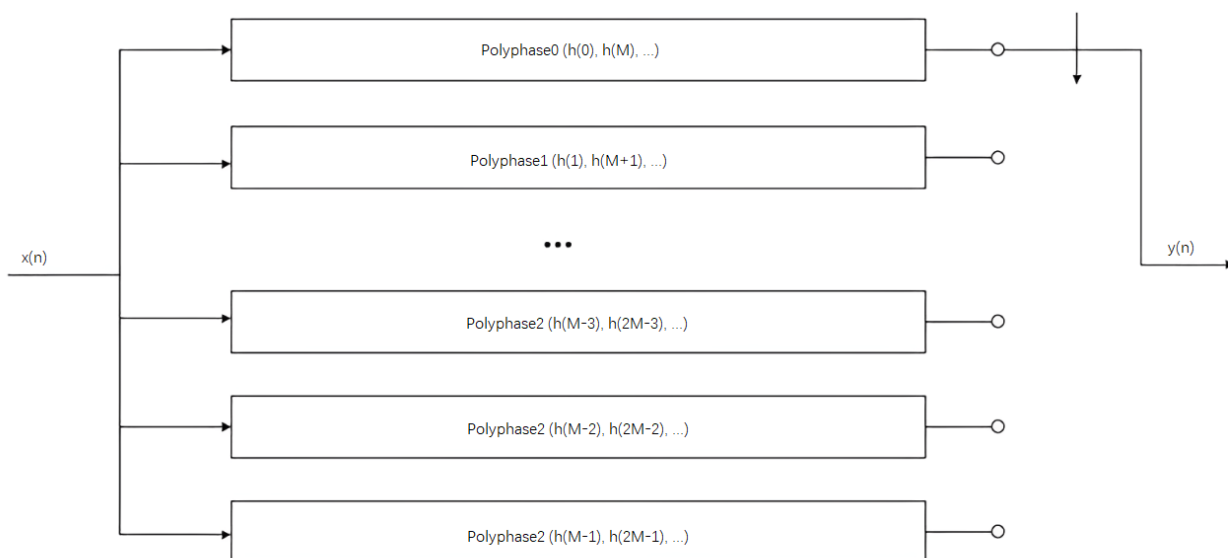
図 2-3 FIR Polyphase Decimator の基本構造



2.6 FIR Polyphase Interpolator の構造および機能

FIR Polyphase Interpolator は、多項式フィルタ構造を使用してフィルタリングとダウンサンプリング機能を実装します。その基本構造は図 2-4 に示すとおりです。

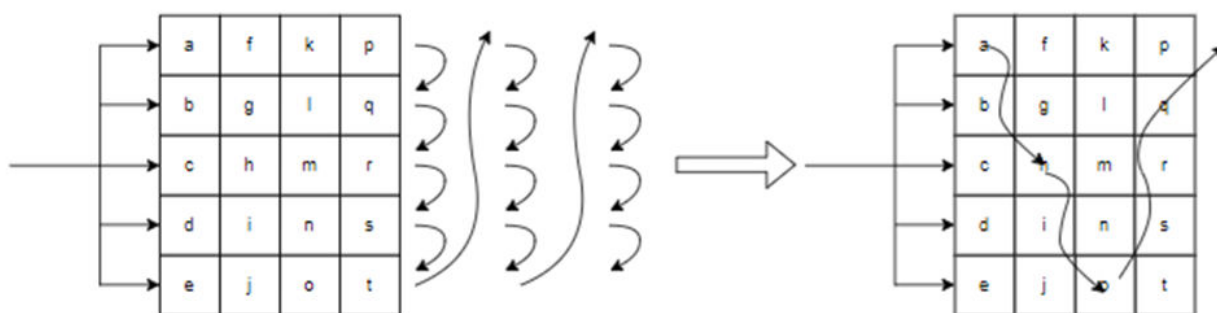
図 2-4 FIR Polyphase Interpolator の基本構造



2.7 FIR Fractional Rate の構造および機能

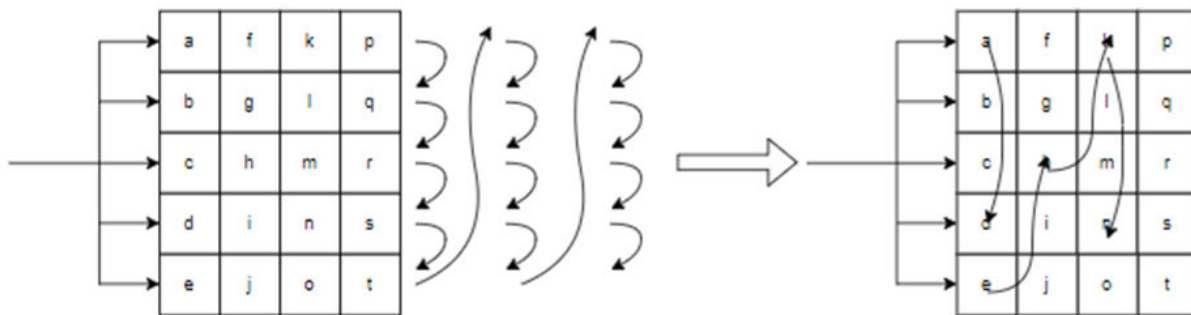
FIR Fractional rate Polyphase Decimator は、多項式フィルタ構造を使用してフィルタリング機能と所定の分数(P/Q)によるサンプリングレート変換(デシメーション)機能を実現します。 P と Q は最大 64 です。その基本構造($P/Q = 5/7$)は図 2-5 に示すとおりです。

図 2-5 FIR Fractional Rate Polyphase Decimator の基本構造



FIR Fractional rate Polyphase Interpolator は多項式フィルタ構造を使用してフィルタリング機能と所定の分数(P/Q)によるサンプリングレート変換(Interpolation)を実現します。 P と Q は最大 64 です。その基本構造($P/Q = 5/3$)は図 2-6 に示すとおりです。

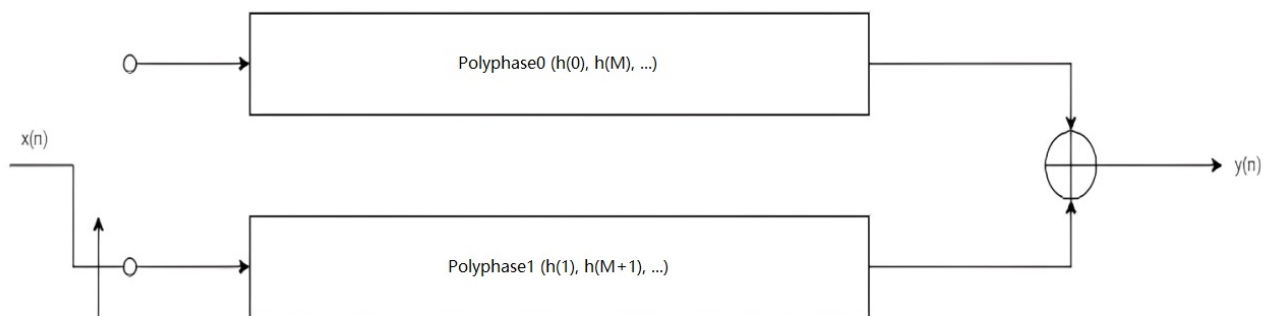
図 2-6 FIR Fractional Rate Polyphase Interpolator の基本構造



2.8 FIR Half-band Decimator の構造および機能

FIR Half-band Decimator は、多項式フィルタ構造を使用し、最適化された構造特性によって乗算器と加算器の使用を削減しながら、フィルタリング機能と 2:1 サンプリングレート変換(デシメーション)機能を実現します。その基本構造は図 2-7 に示すとおりです。

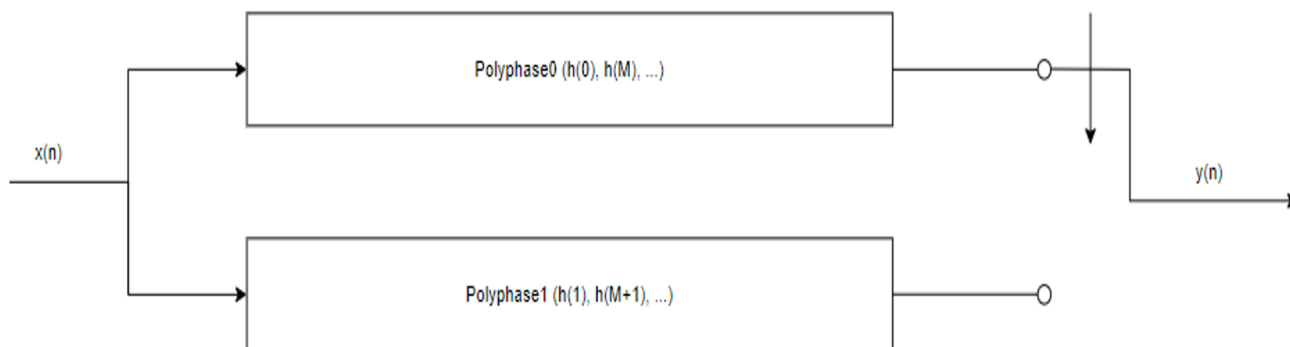
図 2-7 FIR Half-band Decimator の基本構造



2.9 FIR Half-band Interpolator の構造および機能

FIR Half-band Interpolator は、多項式フィルタ構造を使用し、最適化された構造特性によって乗算器と加算器の使用を削減しながら、フィルタリング機能と 1:2 サンプリングレート変換(Interpolation)機能を実現します。その基本構造は図 2-8 に示すとおりです。

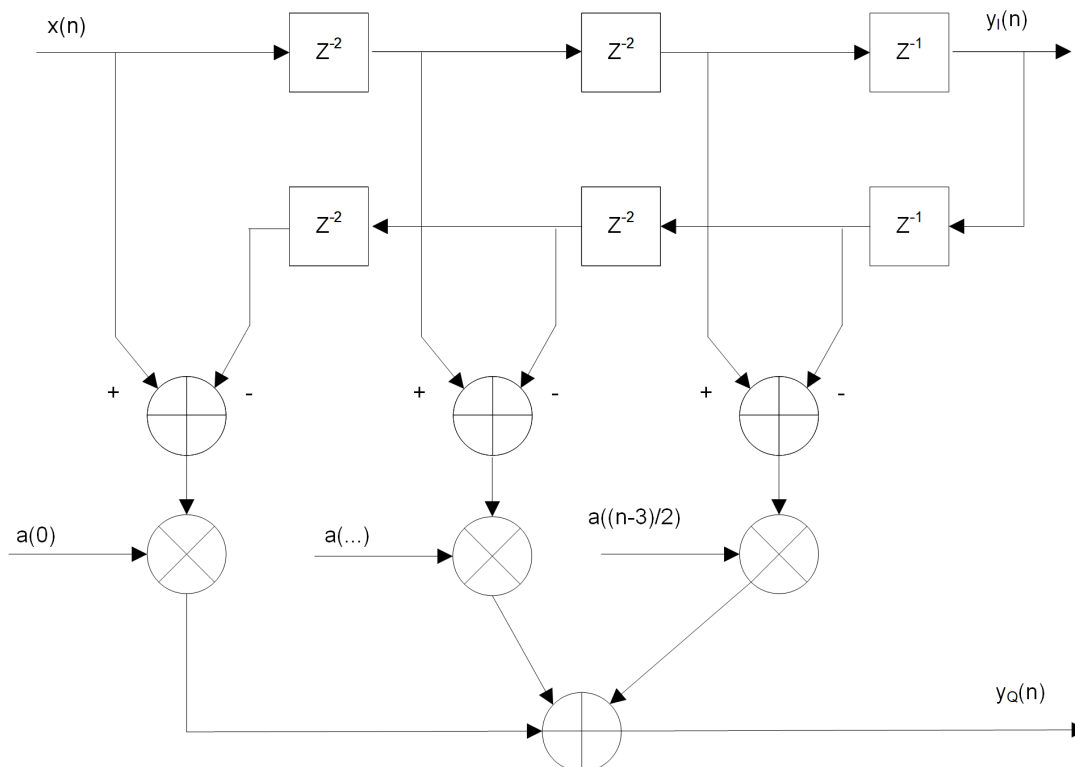
図 2-8 FIR Half-band Interpolator の基本構造



2.10 FIR Hilbert の構造および機能

FIR Hilbert アルゴリズムは対称係数を持ち、以下の構造で実装されます。

図 2-9 FIR Hilbert の基本構造



簡略化して表すと、 $(y_l, y_Q) = \text{FIR_Hilbert}(x)$ となります。ここで、 x は入力シーケンス、 y_Q は計算された出力シーケンス、 y_l は入力シーケンスを遅延させた後の出力シーケンスです。遅延時間の長さは、FIR 処理プロセスに必要な位相遅延によって決まります。

注記：

$a(n)$ は係数シーケンスを表します。

- 係数の長さは、 $\text{length}=3+4*k$ (k は 0 以上の整数)を満たす必要があります。
- 最初の有効な係数は $a(0)$ であり、すべての奇数項は 0 です (例： $a(1) = a(3) = \dots = 0$)。

3 特徴及び性能

3.1 主な特徴

- 8 つの FIR 構造をサポート。
- 2～18 ビットの入力データ幅をサポート。
- 2～18 ビットの係数幅をサポート。
- 2～35 ビットの出力幅をサポート。
- 2～1024 のタップ数をサポート(ボードのリソース数によって異なる)。
- 1～8 のチャンネル数をサポート(ボードのリソース数によって異なる)。
- 時分割多重化をサポート。
- FIR Singlerate および FIR Symmetry モードでの係数の再ロードをサポート

3.2 最大周波数

Gowin Advanced FIR Filter IP の最大周波数は、主に、使用されるデバイスのスピードグレード(speed grade of the devices)および構成パラメータによって異なります。

3.3 レイテンシ

Gowin Advanced FIR Filter IP のレイテンシは、パラメータによって異なります。

3.4 リソース使用量

Gowin Advanced FIR Filter IP のパフォーマンスとリソース使用量は、使用されているデバイスの密度、スピードグレード、および IP の構成などにより異なる場合があります。

例えば、GOWIN の GW2A-18 FPGA の場合、Gowin Advanced FIR Filter IP のリソース使用量は表 3-1、表 3-2、表 3-3、表 3-4 表 3-5、表 3-6、表 3-7、表 3-8、および表 3-9 のようになります。他の GOWIN FPGA でのアプリケーション検証については、これからの最新情報を参照してください。

表 3-1 FIR Singlerate モードでのリソース使用量

シリーズ	スピードグレード	デバイス名	リソース使用量	備考
GW2A-18	-7	Registers	10118	Din Width=16, Coeff Width= 8; Dout Width = 31; Taps Size = 128 ; Input Channel = 3 ; TDM = 4 ;
		LUT	5537	
		ALU	1486	
		DSP	32	
		BSRAM	1	
		SRAM	128	

表 3-2 FIR Symmetry モードでのリソース使用量

シリーズ	スピードグレード	デバイス名	リソース使用量	備考
GW2A-18	-7	Register	8885	Din Width=16, Coeff Width= 8; Dout Width = 31; Taps Size = 128 ; Input Channel = 3 ; TDM = 4 ;
		LUT	4760	
		ALU	1055	
		DSP	16	
		BSRAM	1	
		SRAM	64	

表 3-3 FIR Polyphase Decimator モードでのリソース使用量

シリーズ	スピードグレード	デバイス名	リソース使用量	備考
GW2A-18	-7	Register	9281	Din Width=16, Coeff Width= 8; Dout Width = 31; TapsSize = 128 ; Input Channel = 3 ; TDM = 4 ; Factor = 2
		LUT	5207	
		ALU	792	
		DSP	16	
		BSRAM	1	
		SRAM	72	

表 3-4 FIR Polyphase Interpolator モードでのリソース使用量

シリーズ	スピードグレード	デバイス名	リソース使用量	備考
GW2A-18	-7	Register	5322	Din Width=16, Coeff Width= 8; Dout Width = 31; Taps Size = 128 ; Input Channel = 3 ; TDM = 4 ; Factor = 2
		LUT	2819	
		ALU	737	
		DSP	16	
		BSRAM	1	
		SRAM	64	

表 3-5 FIR Fractional Rate (P/Q = 8/3)モードでのリソース使用量

シリーズ	スピードグレード	デバイス名	リソース使用量	備考
GW2A-18	-7	Register	10118	Din Width=16, Coeff Width= 8; Dout Width = 31; Taps Size = 128 ; Input Channel = 3 ; TDM = 4 ;
		LUT	5537	
		ALU	1486	
		DSP	32	
		BSRAM	1	
		SRAM	128	

表 3-6 FIR Fractional Rate (P/Q = 7/17)モードでのリソース使用量

シリーズ	スピードグレード	デバイス名	リソース使用量	備考
GW2A-18	-7	Register	7753	Din Width=16, Coeff Width= 16; Dout Width = 31; Taps Size = 341 ; Input Channel = 4 ; TDM = 4 ;
		LUT	4255	
		ALU	603	
		DSP	13	
		BSRAM	1	
		SRAM	56	

表 3-7 FIR Half-band (Decimator)モードでのリソース使用量

シリーズ	スピードグレード	デバイス名	リソース使用量	備考
GW2A-18	-7	Register	5767	Din Width=16, Coeff Width= 16; Dout Width = 16; Taps Size = 151 ; Input Channel = 2 ; TDM = 19 ;
		LUT	3467	
		ALU	197	
		DSP	2	
		BSRAM	1	
		SRAM	0	

表 3-8 FIR Half-band (Interpolator)モードでのリソース使用量

シリーズ	スピードグレード	デバイス名	リソース使用量	備考
GW2A-18	-7	Register	3069	Din Width=16, Coeff Width= 16; Dout Width = 16; Taps Size = 151 ; Input Channel = 1 ; TDM = 38 ;
		LUT	1735	
		ALU	93	
		DSP	1	
		BSRAM	1	
		SRAM	0	

表 3-9 FIR Hilbert モードでのリソース使用量

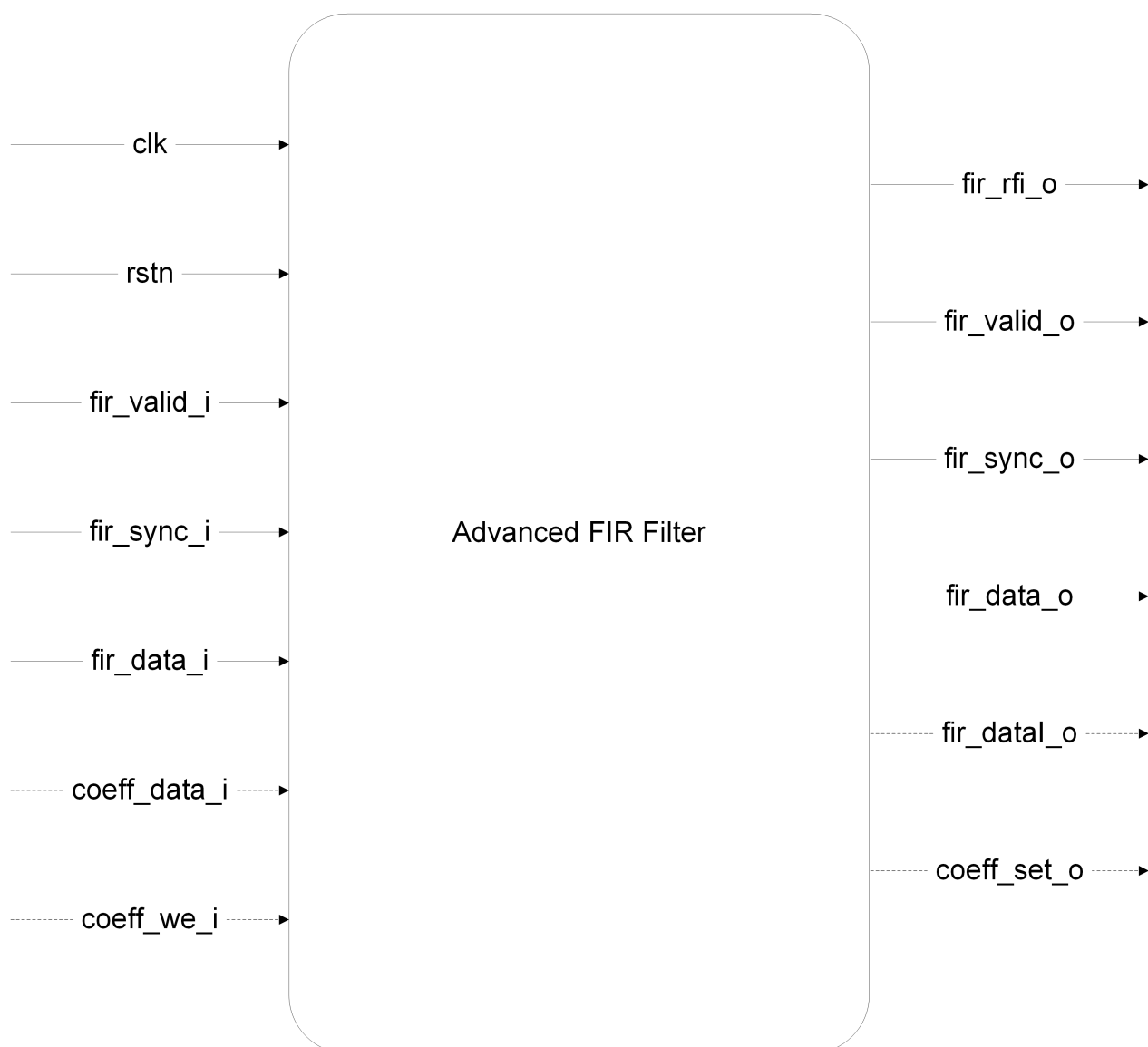
シリーズ	スピードグレード	デバイス名	リソース使用量	備考
GW2A-18	-7	Register	2872	Din Width=16, Coeff Width= 16; Dout Width = 31; Taps Size = 31 ; Input Channel = 2 ; TDM = 1 ;
		LUT	1176	
		ALU	456	
		DSP	8	
		BSRAM	8	
		SRAM	4	

4 ポートの説明

Gowin Advanced FIR Filter IP のポート

Gowin Advanced FIR Filter IP の IO ポートの詳細は、[図 4-1](#) に示すとおりです。

図 4-1 Gowin Advanced FIR Filter IP のポート図



Gowin Advanced FIR Filter IP の IO ポートの詳細は、表 4-1 に示すとおりです。

表 4-1 Gowin Advanced FIR Filter IP のポート一覧

信号	方向	デフォルトの幅	説明
clk	I	1	クロック信号
rstn	I	1	リセット信号、アクティブ Low
fir_valid_i	I	1	データ入力有効信号
fir_sync_i	I	1	データチャネル同期信号。第 1 チャネルの有効データを示します。
fir_data_i	I	16	入力データ
fir_rfi_o	O	1	入力準備信号
fir_valid_o	O	1	データ出力有効信号
fir_sync_o	O	1	データチャネル同期信号。第 1 チャネルの有効データを示します。
fir_data_o	O	31	出力データ、最大値は (Data Width + Coeff Width) -1。
fir_data1_o	O	16	FIR Hilbert モードでの、入力シーケンスを遅延させた後の出力シーケンス (GUI で FIR Hilbert のこの出力オプションがチェックされている場合のみ有効)
coeff_data_i	I	16	再ロード係数入力データ (GUI で FIR Singlerate / Symmetry のこの再ロードオプションがチェックされている場合のみ有効)
coeff_we_i	I	1	係数書き込みイネーブル信号 (GUI で FIR Singlerate / Symmetry のこの再ロードオプションがチェックされている場合のみ有効)
coeff_set_o	O	1	再ロード係数完了信号 (GUI で FIR Singlerate / Symmetry のこの再ロードオプションがチェックされている場合のみ有効)

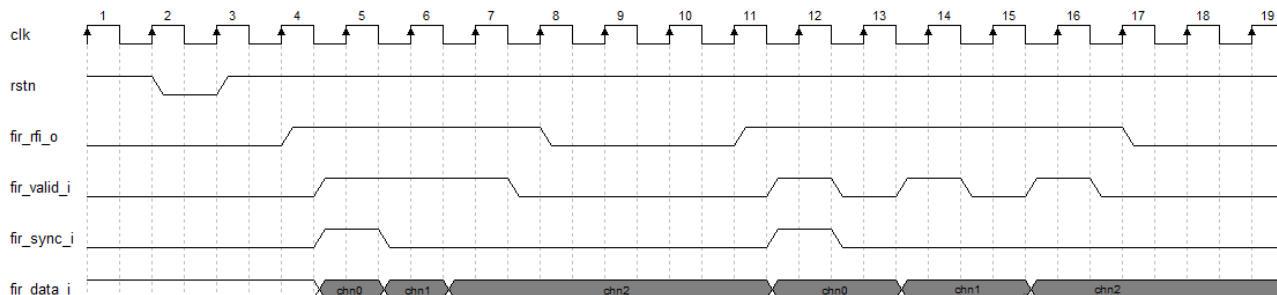
5 タイミングの説明

このセクションでは、Gowin Advanced FIR Filter IP のタイミングについて説明します。

Gowin Advanced FIR Filter IP のタイミング

図 5-1 は、Gowin Advanced FIR Filter IP のデータ入力状態のタイミング図です。

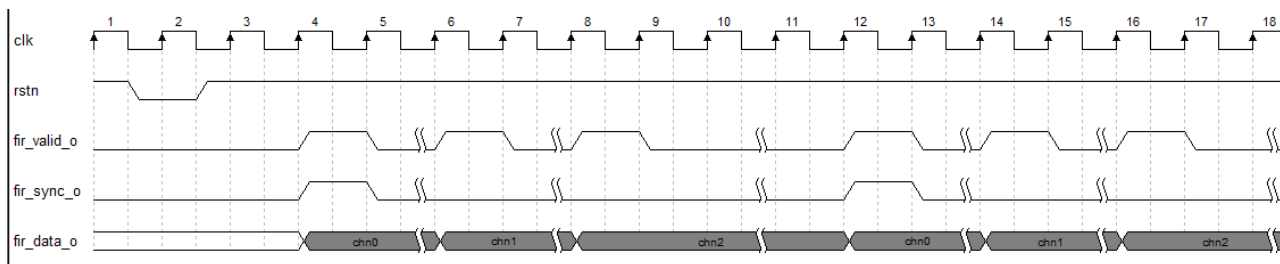
図 5-1 Advanced FIR Filter IP のチャンネル数が 3、時分割多重数が 3 の場合のデータ入力タイミング図



1. 信号 (fir_rfi_o) が High にプルアップされた後、有効なデータ入力が行われます。データの inputs は、連続またはインターバルで行うことができます。
2. 信号(fir_valid_i)が High の時、入力データは有効です。
3. 信号(fir_sync_i)が High の時、第 1 チャンネルのデータであることを示します。その後、別のチャンネルのデータが順番に入力されます。1 入力チャンネルしかない場合、信号 (fir_sync_i)は、(fir_valid_i)が High になると同時に High にプルアップされます。
4. 最後のチャンネルのデータ入力完了すると、信号 (fir_rfi_o) は Low にプルダウンされます。その後、次のプルアップを待ちます。

図 5-2 はデータ出力のタイミング図です。

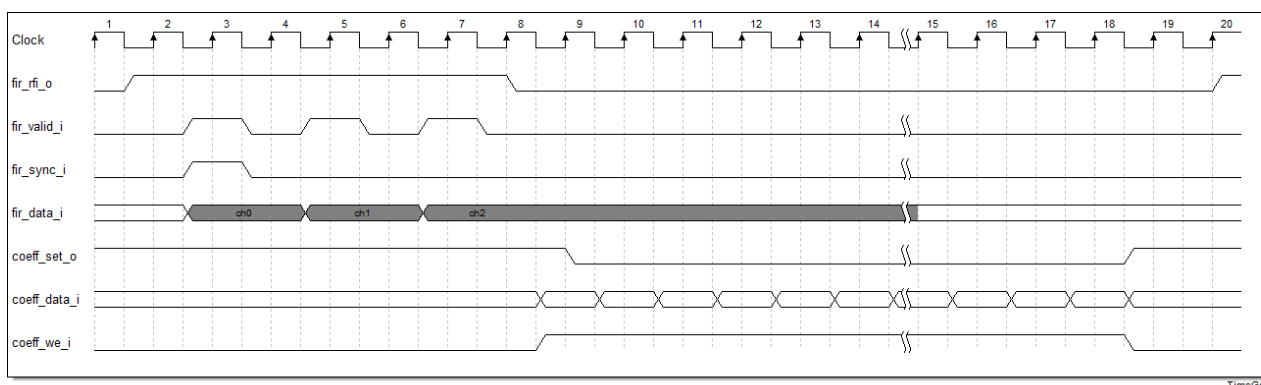
図 5-2 Advanced FIR Filter IP のチャンネル数が 3、時分割多重数が 3 の場合のデータ出力タイミング図



1. 信号(fir_valid_i)が High の時、出力データは有効です。
2. 信号(fir_sync_o)が High の時、第 1 チャンネルの有効データであることを示します。その後、別のチャンネルのデータが順番に出力されます。
3. 各チャンネルのデータの間には、NUM_TDM（時分割多重数）個の間隔が設けられます。

図 5-3 は FIR Singlerate/ Symmetry モードでの係数再ロードのタイミング図です。

図 5-3 FIR Singlerate/Symmetry のチャンネル数が 3 の場合の係数再ロードのタイミング図



1. データ入力が始まると、すべてのチャンネルのデータ入力が完了した後、coeff_set_o 信号が High の際に係数の再ロードを開始できます。
2. fir_valid_i 信号が High の場合、係数入力データ(coeff_data_i)は有効です。
3. coeff_set_o 信号は、最初の有効な係数データが入力された後に Low になり、フィルタタップ数の有効な係数データが入力される後に High になります。これは、係数の再ロードが完了したことを示します。
4. coeff_set_o 信号が Low の場合、入力データと出力データの両方が無効です。係数の再ロード後、以前に入力されたデータはすべて失われます。

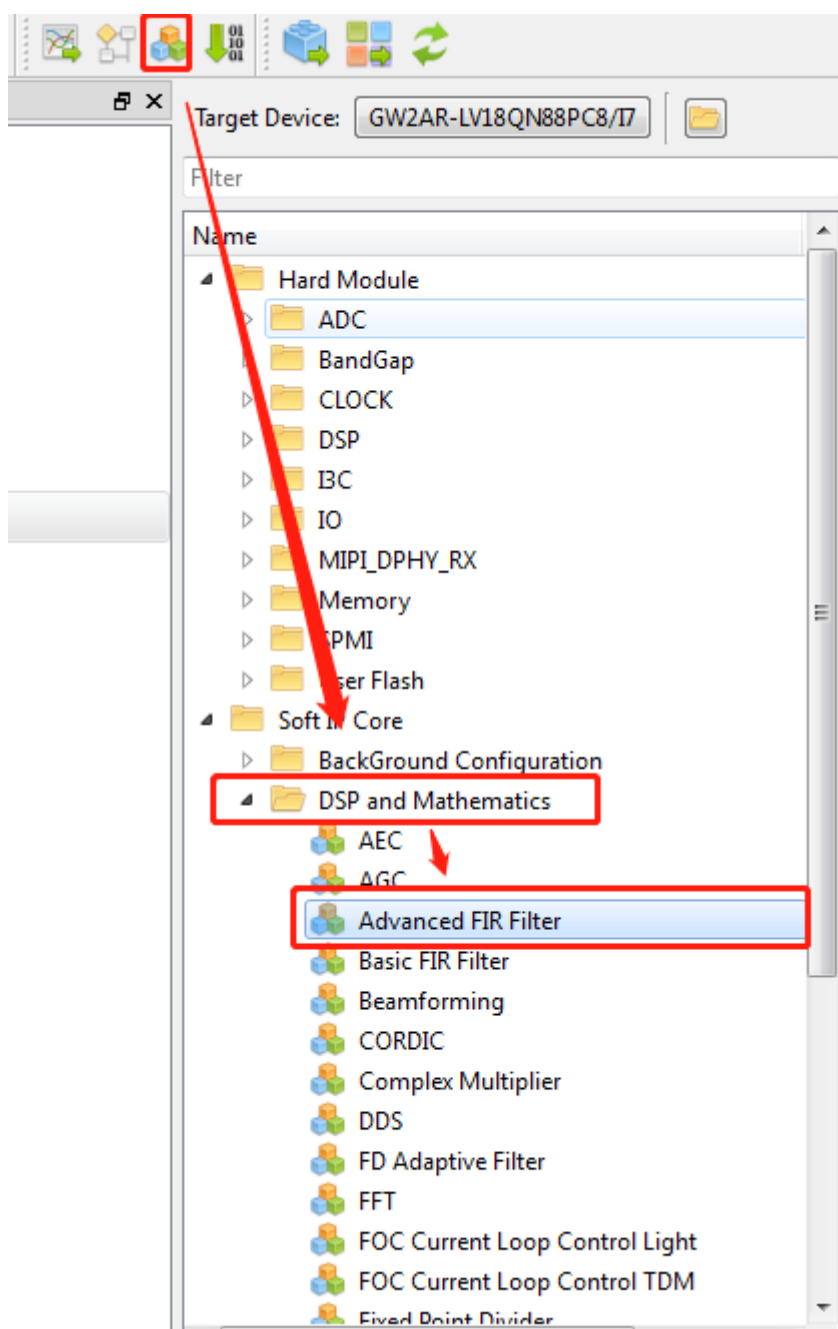
6 IP の呼び出しと構成

Gowin ソフトウェア GUI のメニューバー > Tools > IP Core Generator を通じて IP を呼び出し・構成することができます。

1. IP Core Generator を開く

プロジェクトが作成された後、「IP Core Generator」アイコンをクリックして、Gowin の IP コア生成ツールを開きます(図 6-1)。

図 6-1 IP Core Generator の画面



2. Advanced FIR Filter IP コアを開く

「Math > Advanced FIR Filter」をダブルクリックして Gowin Advanced FIR Filter IP コアの構成画面を開きます(図 6-2)。

図 6-2 Advanced FIR Filter IP の画面

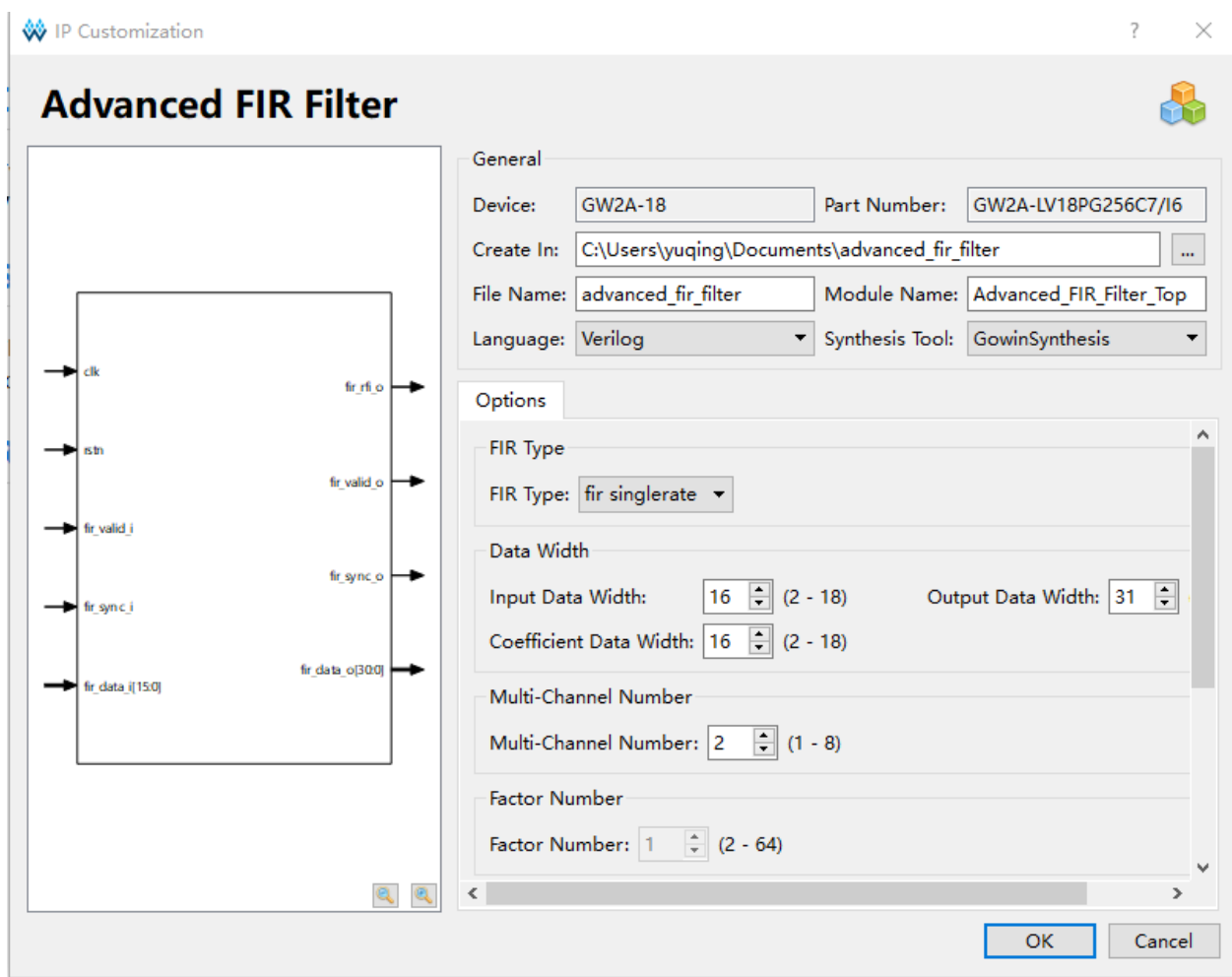


表 6-1 Advanced FIR Filter のオプションの構成

オプション	説明
FIR Type	FIR タイプ ; Hilbert 虚部出力 (FIR タイプが FIR Hilbert の場合のみ表示)
Data Width	- 入力データの幅 - 出力データの幅 - 係数データ幅
Multi-Channel Number	マルチチャンネル数
Factor Number	倍数 (FIR タイプが FIR Decimator/Interpolator の場合のみ表示)
Taps Number	タップ数
Time Division Multiplexing	時分割多重化数
Coefficient Reload	係数リロードオプション (FIR タイプが FIR Singlerate/ Symmetry の場合のみ表示)
Coefficient File	初期化係数ファイル

3. 初期化係数ファイルの説明

Gowin Advanced FIR Filter IP は係数の初期化をサポートしています。**Gowin Advanced FIR Filter IP** を呼び出す場合、初期化係数ファイルを指定する必要があります。フィルタが以下のような場合：

$$y[n] = h_0x[n] + h_1x[n-1] + \dots + h_{N-1}x[n-N+1]$$
$$= \sum_{i=0}^{N-1} h_i \cdot x[n-i]$$

係数ファイルで、データを次の位置に配置する必要があります。

h_0

h_1

h_2

...

h_{N-1}

ここで、データは **10** 進数の平文データです。初期化係数のサイズは、選択された係数幅の範囲内でなければならない、初期化数は **FIR** のタップ数と同じでなければならない、そうでないと、データエラーが警告されます。

FIR 係数のデータ形式の変換は、次の **MATLAB** の例を参照してください。

図 6-3 MATLAB の例

```
%% Initial
% First channel FIR Setting
N = 64; % 64 order
fs0 = 16e3; % 16KHz Frequency
fpass0 = 8e3; % 8KHz Passband
wn_fpass0 = fpass0 / fs0;

% Second channel FIR Setting
fs1 = 48e3; % 48KHz Frequency
fpass1 = 20e3; % 20KHz Passband
wn_fpass1 = fpass1 / fs1;

%% Generate lowpass FIR coeff
coeff0 = fir1(N-1, wn_fpass0, 'low');
coeff1 = fir1(N-1, wn_fpass1, 'low');

%% Convert to fixed point
Coeff_Width = 18; % 1 signed bit, 17 fraction bit
Scaled_Width = Coeff_Width - 1;
coeff0_fi = round(coeff0*2^Scaled_Width);
coeff1_fi = round(coeff1*2^Scaled_Width);

%% Save file
file_name = './coeff.dat';
fid = fopen(file_name, 'w');
fprintf(fid, '%d\n', [coeff0_fi, coeff1_fi]);
fclose(fid);
```

7 リファレンス・デザイン

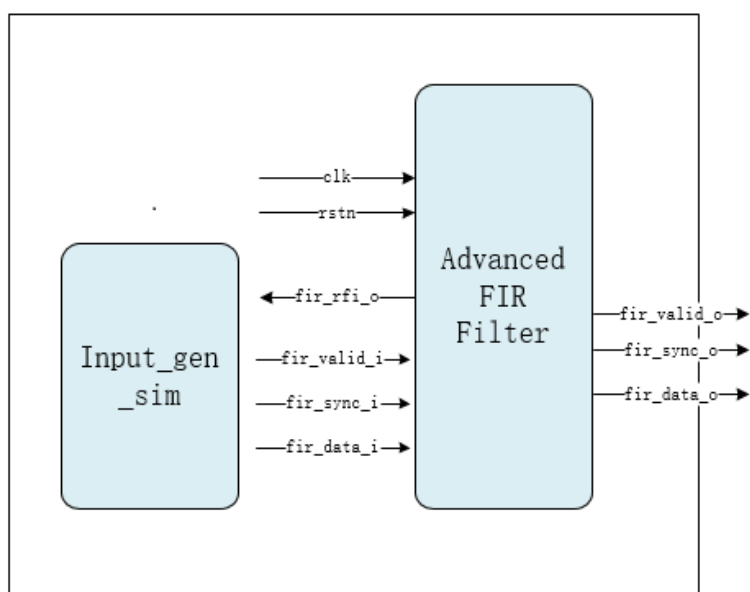
このセクションでは、Gowin Advanced FIR Filter IP のリファレンス・デザイン例の構成とその使用方法について説明します。Gowin Advanced FIR Filter IP の設計例にはモジュールが1つしかありません。詳細については、IP の [リファレンス・デザイン](#) を参照してください。

応用例

リファレンス・デザインの基本構造を図 7-1 に示します。設計例では、その実行手順は次のとおりです。

1. input_gen_sim モジュールにより生成されたデータは、Advanced FIR Filter モジュールに入力されます。
2. IP による処理後、データが出力されます。

図 7-1 リファレンス・デザインの構造



この設計例を使用することで、IP の機能をすばやく検証することができます。リファレンス・デザインをボードレベルのテストに適用する場合、ユーザーはリファレンス・デザ

インに適したステイミュラスを提供する必要があります。信号はオンライン・ロジック・アナライザまたはオシロスコープで観測できます。

