



Gowin AHB Bus Arbiter IP ユーザーガイド

IPUG907-1.3J, 2024-12-31

著作権について(2024)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云、Gowin、及び LittleBee は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2020/01/16	1.0J	初版。
2021/07/19	1.1J	● Gowin_EMPU_M1 ハードウェア設計およびソフトウェア設計を更新。 ● 合成ツールの Synplify Pro を削除。
2023/08/18	1.2J	Arora V FPGA 製品のサポートを追加。
2024/12/31	1.3J	● IP のタイプを Bus Bridge から Bus Interconnect に更新。 ● IP の機能を更新。 ● ハードウェア・リファレンス・デザインとソフトウェア・リファレンス・デザインを更新。

目次

目次	i
図一覧	ii
表一覧	iii
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	2
1.4 テクニカル・サポートとフィードバック	2
2 機能の紹介	3
2.1 概要	3
2.2 特徴	3
3 動作原理	4
3.1 AHB バスアービター・モデル	4
3.2 AHB バスアービトレーションのメカニズム	4
4 信号の定義	6
5 パラメータの定義	13
6 GUI での構成	15
6.1 Arbiter Master IF の構成	16
6.2 Arbiter Slave IF の構成	17
6.3 Bus Bit Width の構成	18
7 リファレンス・デザイン	19

図一覧

図 3-1 AHB バスアービター・モデル	4
図 3-2 AHB バスアービトレーションのメカニズム	5
図 6-1 Gowin AHB Bus Arbiter の構成画面	15
図 6-2 Aribter Master IF の構成	16
図 6-3 Arbiter Slave IF の構成	17
図 6-4 Bus Bit Width の構成	18

表一覧

表 1-1 用語、略語	2
表 4-1 Gowin AHB Bus Arbiter の信号の定義.....	6
表 5-1 Gowin AHB Bus Arbiter のパラメータの定義.....	13

1 本マニュアルについて

1.1 マニュアルの内容

このマニュアルは、ユーザーが Gowin AHB Bus Arbiter IP を使いこなせるよう、その機能、信号の定義、動作原理、GUI での呼び出しについて説明しています。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW1N シリーズ FPGA 製品データシート([DS100](#))
- GW1NS シリーズ FPGA 製品データシート([DS821](#))
- GW1NR シリーズ FPGA 製品データシート([DS117](#))
- GW1NSR シリーズ FPGA 製品データシート([DS861](#))
- GW1NZ シリーズ FPGA 製品データシート([DS841](#))
- GW1NSER シリーズ安全 FPGA 製品データシート([DS881](#))
- GW1NRF シリーズ Bluetooth FPGA 製品データシート([DS891](#))
- GW2A シリーズ FPGA 製品データシート([DS102](#))
- GW2AR シリーズ FPGA 製品データシート([DS226](#))
- GW2ANR シリーズ FPGA 製品データシート([DS961](#))
- GW2AN-18X & 9X FPGA 製品データシート([DS971](#))
- GW2AN-55 FPGA 製品データシート([DS976](#))
- GW5AT シリーズ FPGA 製品データシート([DS981](#))
- GW5A シリーズ FPGA 製品データシート([DS1103](#))
- GW5AST シリーズ FPGA 製品データシート([DS1104](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
MCU	Microcontroller Unit	マイクロコントローラ・ユニット
AHB	Advanced High Performace Bus	高度な高性能バス
GMD	Gowin MCU Designer	Gowin MCU デザイナー

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 機能の紹介

2.1 概要

Gowin AHB Bus Arbiter には、16 個の Master インターフェースと 1 個の Slave インターフェースがあります。Master デバイスは、AHB バスプロトコル・インターフェースを備えた MCU(Gowin_EMPU_M1 など)または FPGA ロジックモジュールです。Slave デバイスは、AHB バスプロトコルに準拠した、ベースアドレスが 0x80000000 の FPGA ロジックモジュールです。

Gowin AHB Bus Arbiter は、32 ビットの標準 AHB バス幅と 64 ビットの拡張 AHB バス幅をサポートし、高速高帯域幅データ通信をサポートします。

Gowin AHB Bus Arbiter の 16 個の Master インターフェースは、固定優先度アービトレーションをサポートしています。最初の Master インターフェースから 16 個目の Master インターフェースまで、優先度は降順です。

2.2 特徴

Gowin AHB Bus Arbiter の特徴は次のとおりです。

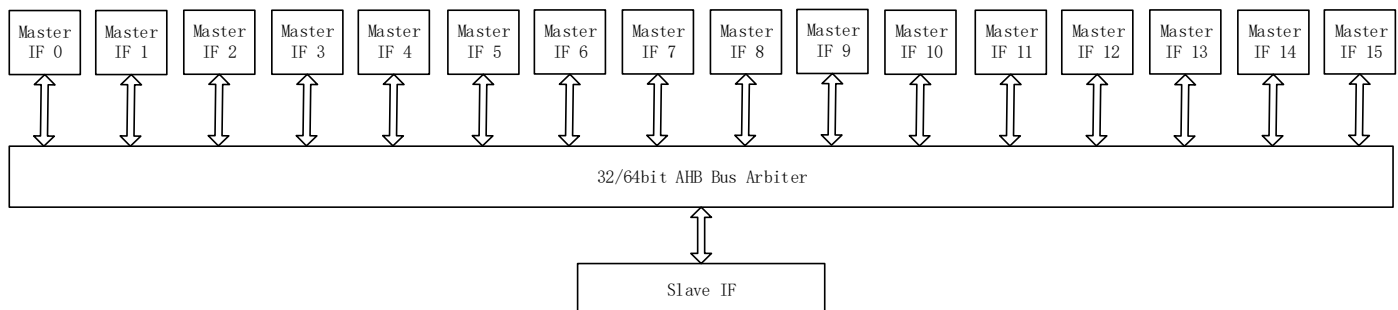
- 16 個の Master インターフェースと 1 個の Slave インターフェースをサポート。
- Master デバイスは、AHB バスプロトコル・インターフェースを備えた MCU または FPGA ロジックモジュール。
- 標準の 32 ビットおよび拡張 64 ビットの AHB バス幅をサポート。
- 高い順の優先度の 16 個の Master インターフェースのアービトレーションをサポート。

3 動作原理

3.1 AHB バスアービター・モデル

図 3-1 に示すように、AHB バスアービター・モデルには、16 個の Master インターフェースと 1 個の Slave インターフェースがあります。16 個の Master デバイスは、AHB バスプロトコル・インターフェースを備えた MCU または FPGA ロジックモジュールです。16 個の Master インターフェースには固定の優先度(Master インターフェース 0 から Master インターフェース 15 まで高い順)があります。Slave のベースアドレスは 0x80000000 です。Master デバイスが Gowin_EMPU_M1 の場合、AHB Master [1]バス拡張インターフェースに適用できます。

図 3-1 AHB バスアービター・モデル



3.2 AHB バスアービトレーションのメカニズム

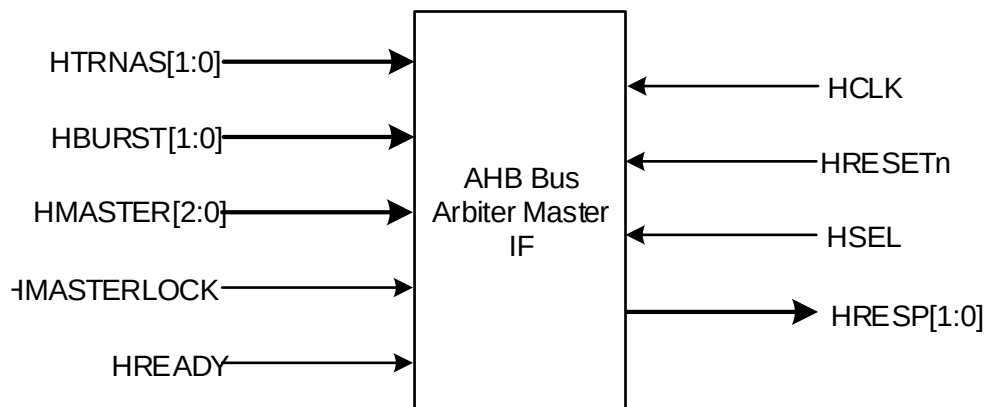
アービターは、Master デバイスからのバス要求を監視し、内部のアービトレーションアルゴリズムに従ってアービトレーションを実行し、対応する制御信号を提供する、AHB バスのメイン管理モジュールです。バスは固定優先度アルゴリズムを使用します。バスを占有できる Master デバイスは時間順に 1 つに限定されています。同時に要求された場合、優先度に従って決定されます。転送を中断してはなりません。

図 3-2 に示すように、HCLK と HRESETn はそれぞれクロック信号とリセット信号です。

- HSEL は、Master デバイスが Slave デバイスを選択することを意味します。

- HREADY は、Slave デバイスの準備完了信号です。
- HTRANS は、IDLE, BUSY, NONSEQ, および SEQ を含む、バス転送のタイプです。
- HRESP は、OKAY, ERROR, RETRY, および SPLIT を含む、転送中の応答信号です。
- HBURST は、バーストタイプであり、シングル転送(SINGLE)、可変長バースト転送(INCR)、および固定長バースト転送の 3 つのタイプに分類できる、8 つのタイプのバースト転送があります。
- HMASTER は、現在転送を行っている Master を示す信号です。この信号が有効な場合にのみ、Master デバイスはバスデコーダを使用できます。
- HMASTERLOCK は、現在の転送がロックされたシーケンスの転送であることを示します。

図 3-2 AHB バスアービトレーションのメカニズム



4 信号の定義

Gowin AHB Bus Arbiter の信号の定義を表 4-1 に示します。

表 4-1 Gowin AHB Bus Arbiter の信号の定義

番号	信号名	方向	説明	備考
1	HCLK	入力	System clock signal	-
2	HRESETn	入力	System reset signal	-
3	SHRDATAM0	入力	Slave read data bus	Arbiter Slave IF(デフォルト)
4	SHREADYOUTM0	入力	Slave HREADY feedback to master	
5	SHRESPM0	入力	Slave transfer response	
6	SHSELM0	出力	Slave select	
7	SHADDRM0	出力	Slave address bus	
8	SHTRANSM0	出力	Slave transfer type	
9	SHWRITEM0	出力	Slave transfer direction	
10	SHSIZEM0	出力	Slave transfer size	
11	SHBURSTM0	出力	Slave burst type	
12	SHPROTM0	出力	Slave protection control	
13	SHMASTERM0	出力	Slave master select	
14	SHWDATAM0	出力	Slave write data bus	
15	SHMASTLOCKM0	出力	Slave locked sequence	
16	SHREADYMUXM0	出力	Slave transfer done	
17	MHSELS0	入力	Master IF_0 slave select	Arbiter Master IF 0
18	MHADDRS0	入力	Master IF_0 address bus	
19	MHTRANSS0	入力	Master IF_0 transfer type	
20	MHWrites0	入力	Master IF_0 transfer direction	
21	MHSIZES0	入力	Master IF_0 transfer size	
22	MHBURSTS0	入力	Master IF_0 burst type	
23	MHPROTS0	入力	Master IF_0 protection control	
24	MHMASTERS0	入力	Master IF_0 master select	

番号	信号名	方向	説明	備考
25	MHWDATAS0	入力	Master IF_0 write data bus	
26	MHMASTLOCKS0	入力	Master IF_0 locked sequence	
27	MHREADYS0	入力	Master IF_0 transfer done	
28	MHRDATAS0	出力	Master IF_0 read data bus	
29	MHREADYOUTS0	出力	Master IF_0 HREADY feedback from slave	
30	MHRESPS0	出力	Master IF_0 transfer response	
31	MHSELS1	入力	Master IF_1 slave select	Arbiter Master IF 1
32	MHADDRS1	入力	Master IF_1 address bus	
33	MHTRANSS1	入力	Master IF_1 transfer type	
34	MHWWRITES1	入力	Master IF_1 transfer direction	
35	MHSIZES1	入力	Master IF_1 transfer size	
36	MHBURSTS1	入力	Master IF_1 burst type	
37	MHPROTS1	入力	Master IF_1 protection control	
38	MHMASTERS1	入力	Master IF_1 master select	
39	MHWDATAS1	入力	Master IF_1 write data bus	
40	MHMASTLOCKS1	入力	Master IF_1 locked sequence	
41	MHREADYS1	入力	Master IF_1 transfer done	
42	MHRDATAS1	出力	Master IF_1 read data bus	
43	MHREADYOUTS1	出力	Master IF_1 HREADY feedback from slave	
44	MHRESPS1	出力	Master IF_1 transfer response	
45	MHSELS2	入力	Master IF_2 slave select	Arbiter Master IF 2
46	MHADDRS2	入力	Master IF_2 address bus	
47	MHTRANSS2	入力	Master IF_2 transfer type	
48	MHWWRITES2	入力	Master IF_2 transfer direction	
49	MHSIZES2	入力	Master IF_2 transfer size	
50	MHBURSTS2	入力	Master IF_2 burst type	
51	MHPROTS2	入力	Master IF_2 protection control	
52	MHMASTERS2	入力	Master IF_2 master select	
53	MHWDATAS2	入力	Master IF_2 write data bus	
54	MHMASTLOCKS2	入力	Master IF_2 locked sequence	
55	MHREADYS2	入力	Master IF_2 transfer done	
56	MHRDATAS2	出力	Master IF_2 read data bus	
57	MHREADYOUTS2	出力	Master IF_2 HREADY feedback from slave	
58	MHRESPS2	出力	Master IF_2 transfer response	
59	MHSELS3	入力	Master IF_3 slave select	Arbiter Master IF 3
60	MHADDRS3	入力	Master IF_3 address bus	

番号	信号名	方向	説明	備考
61	MHTRANS3	入力	Master IF_0 transfer type	
62	MHWrites3	入力	Master IF_3 transfer direction	
63	MHSIZES3	入力	Master IF_3 transfer size	
64	MHBURSTS3	入力	Master IF_3 burst type	
65	MHPROTS3	入力	Master IF_3 protection control	
66	MHMASTERS3	入力	Master IF_3 master select	
67	MHWDATAS3	入力	Master IF_3 write data bus	
68	MHMASTLOCKS3	入力	Master IF_3 locked sequence	
69	MHREADY3	入力	Master IF_3 transfer done	
70	MHRDATAS3	出力	Master IF_3 read data bus	
71	MHREADYOUTS3	出力	Master IF_3 HREADY feedback from slave	
72	MHRESPS3	出力	Master IF_3 transfer response	
73	MHSELS4	入力	Master IF_4 slave select	Arbiter Master IF 4
74	MHADDRS4	入力	Master IF_4 address bus	
75	MHTRANS4	入力	Master IF_4 transfer type	
76	MHWrites4	入力	Master IF_4 transfer direction	
77	MHSIZES4	入力	Master IF_4 transfer size	
78	MHBURSTS4	入力	Master IF_4 burst type	
79	MHPROTS4	入力	Master IF_4 protection control	
80	MHMASTERS4	入力	Master IF_4 master select	
81	MHWDATAS4	入力	Master IF_4 write data bus	
82	MHMASTLOCKS4	入力	Master IF_4 locked sequence	
83	MHREADY4	入力	Master IF_4 transfer done	
84	MHRDATAS4	出力	Master IF_4 read data bus	
85	MHREADYOUTS4	出力	Master IF_4 HREADY feedback from slave	
86	MHRESPS4	出力	Master IF_4 transfer response	
87	MHSELS5	入力	Master IF_5 slave select	Arbiter Master IF 5
88	MHADDRS5	入力	Master IF_5 address bus	
89	MHTRANS5	入力	Master IF_5 transfer type	
90	MHWrites5	入力	Master IF_5 transfer direction	
91	MHSIZES5	入力	Master IF_5 transfer size	
92	MHBURSTS5	入力	Master IF_5 burst type	
93	MHPROTS5	入力	Master IF_5 protection control	
94	MHMASTERS5	入力	Master IF_5 master select	
95	MHWDATAS5	入力	Master IF_5 write data bus	
96	MHMASTLOCKS5	入力	Master IF_5 locked sequence	

番号	信号名	方向	説明	備考
97	MHREADYS5	入力	Master IF_5 transfer done	
98	MHRDATAS5	出力	Master IF_5 read data bus	
99	MHREADYOUTS5	出力	Master IF_5 HREADY feedback from slave	
100	MHRESPS5	出力	Master IF_5 transfer response	
101	MHSELS6	入力	Master IF_6 slave select	Arbiter Master IF 6
102	MHADDRS6	入力	Master IF_6 address bus	
103	MHTRANSS6	入力	Master IF_6 transfer type	
104	MHWWRITES6	入力	Master IF_6 transfer direction	
105	MHSIZES6	入力	Master IF_6 transfer size	
106	MHBURSTS6	入力	Master IF_6 burst type	
107	MHPROTS6	入力	Master IF_6 protection control	
108	MHMASTERS6	入力	Master IF_6 master select	
109	MHWDATAS6	入力	Master IF_6 write data bus	
110	MHMASTLOCKS6	入力	Master IF_6 locked sequence	
111	MHREADYS6	入力	Master IF_6 transfer done	
112	MHRDATAS6	出力	Master IF_6 read data bus	
113	MHREADYOUTS6	出力	Master IF_6 HREADY feedback from slave	
114	MHRESPS6	出力	Master IF_6 transfer response	
115	MHSELS7	入力	Master IF_7 slave select	Arbiter Master IF 7
116	MHADDRS7	入力	Master IF_7 address bus	
117	MHTRANSS7	入力	Master IF_7 transfer type	
118	MHWWRITES7	入力	Master IF_7 transfer direction	
119	MHSIZES7	入力	Master IF_7 transfer size	
120	MHBURSTS7	入力	Master IF_7 burst type	
121	MHPROTS7	入力	Master IF_7 protection control	
122	MHMASTERS7	入力	Master IF_7 master select	
123	MHWDATAS7	入力	Master IF_7 write data bus	
124	MHMASTLOCKS7	入力	Master IF_7 locked sequence	
125	MHREADYS7	入力	Master IF_7 transfer done	
126	MHRDATAS7	出力	Master IF_7 read data bus	
127	MHREADYOUTS7	出力	Master IF_7 HREADY feedback from slave	
128	MHRESPS7	出力	Master IF_7 transfer response	
129	MHSELS8	入力	Master IF_8 slave select	Arbiter Master IF 8
130	MHADDRS8	入力	Master IF_8 address bus	
131	MHTRANSS8	入力	Master IF_8 transfer type	
132	MHWWRITES8	入力	Master IF_8 transfer direction	

番号	信号名	方向	説明	備考
133	MHSIZES8	入力	Master IF_8 transfer size	
134	MHBURSTS8	入力	Master IF_8 burst type	
135	MHPROTS8	入力	Master IF_8 protection control	
136	MHMASTERS8	入力	Master IF_8 master select	
137	MHWDATAS8	入力	Master IF_8 write data bus	
138	MHMASTLOCKS8	入力	Master IF_8 locked sequence	
139	MHREADYS8	入力	Master IF_8 transfer done	
140	MHRDATAS8	出力	Master IF_8 read data bus	
141	MHREADYOUTS8	出力	Master IF_8 HREADY feedback from slave	
142	MHRESPS8	出力	Master IF_8 transfer response	
143	MHSELS9	入力	Master IF_9 slave select	Arbiter Master IF 9
144	MHADDRS9	入力	Master IF_9 address bus	
145	MHTRANS9	入力	Master IF_9 transfer type	
146	MHWWRITES9	入力	Master IF_9 transfer direction	
147	MHSIZES9	入力	Master IF_9 transfer size	
148	MHBURSTS9	入力	Master IF_9 burst type	
149	MHPROTS9	入力	Master IF_9 protection control	
150	MHMASTERS9	入力	Master IF_9 master select	
151	MHWDATAS9	入力	Master IF_9 write data bus	
152	MHMASTLOCKS9	入力	Master IF_9 locked sequence	
153	MHREADYS9	入力	Master IF_9 transfer done	
154	MHRDATAS9	出力	Master IF_9 read data bus	
155	MHREADYOUTS9	出力	Master IF_9 HREADY feedback from slave	
156	MHRESPS9	出力	Master IF_9 transfer response	
157	MHSELS10	入力	Master IF_10 slave select	Arbiter Master IF 10
158	MHADDRS10	入力	Master IF_10 address bus	
159	MHTRANS10	入力	Master IF_10 transfer type	
160	MHWWRITES10	入力	Master IF_10 transfer direction	
161	MHSIZES10	入力	Master IF_10 transfer size	
162	MHBURSTS10	入力	Master IF_10 burst type	
163	MHPROTS10	入力	Master IF_10 protection control	
164	MHMASTERS10	入力	Master IF_10 master select	
165	MHWDATAS10	入力	Master IF_10 write data bus	
166	MHMASTLOCKS10	入力	Master IF_10 locked sequence	
167	MHREADYS10	入力	Master IF_10 transfer done	
168	MHRDATAS10	出力	Master IF_10 read data bus	

番号	信号名	方向	説明	備考
169	MHREADYOUTS10	出力	Master IF_10 HREADY feedback from slave	
170	MHRESPS10	出力	Master IF_10 transfer response	
171	MHSELS11	入力	Master IF_11 slave select	Arbiter Master IF 11
172	MHADDRS11	入力	Master IF_11 address bus	
173	MHTRANS11	入力	Master IF_0 transfer type	
174	MHWITES11	入力	Master IF_11 transfer direction	
175	MHSIZES11	入力	Master IF_11 transfer size	
176	MHBURSTS11	入力	Master IF_11 burst type	
177	MHPROTS11	入力	Master IF_11 protection control	
178	MHMASTERS11	入力	Master IF_11 master select	
179	MHWDATAS11	入力	Master IF_11 write data bus	
180	MHMASTLOCKS11	入力	Master IF_11 locked sequence	
181	MHREADY11	入力	Master IF_11 transfer done	
182	MHRDATAS11	出力	Master IF_11 read data bus	
183	MHREADYOUTS11	出力	Master IF_11 HREADY feedback from slave	
184	MHRESPS11	出力	Master IF_11 transfer response	
185	MHSELS12	入力	Master IF_12 slave select	Arbiter Master IF 12
186	MHADDRS12	入力	Master IF_12 address bus	
187	MHTRANS12	入力	Master IF_0 transfer type	
188	MHWITES12	入力	Master IF_12 transfer direction	
189	MHSIZES12	入力	Master IF_12 transfer size	
190	MHBURSTS12	入力	Master IF_12 burst type	
191	MHPROTS12	入力	Master IF_12 protection control	
192	MHMASTERS12	入力	Master IF_12 master select	
193	MHWDATAS12	入力	Master IF_12 write data bus	
194	MHMASTLOCKS12	入力	Master IF_12 locked sequence	
195	MHREADY12	入力	Master IF_12 transfer done	
196	MHRDATAS12	出力	Master IF_12 read data bus	
197	MHREADYOUTS12	出力	Master IF_12 HREADY feedback from slave	
198	MHRESPS12	出力	Master IF_12 transfer response	
199	MHSELS13	入力	Master IF_13 slave select	Arbiter Master IF 13
200	MHADDRS13	入力	Master IF_13 address bus	
201	MHTRANS13	入力	Master IF_13 transfer type	
202	MHWITES13	入力	Master IF_13 transfer direction	
203	MHSIZES13	入力	Master IF_13 transfer size	
204	MHBURSTS13	入力	Master IF_13 burst type	

番号	信号名	方向	説明	備考
205	MHPROTS13	入力	Master IF_13 protection control	
206	MHMASTERS13	入力	Master IF_13 master select	
207	MHWDATAS13	入力	Master IF_13 write data bus	
208	MHMASTLOCKS13	入力	Master IF_13 locked sequence	
209	MHREADYS13	入力	Master IF_13 transfer done	
210	MHRDATAS13	出力	Master IF_13 read data bus	
211	MHREADYOUTS13	出力	Master IF_13 HREADY feedback from slave	
212	MHRESPS13	出力	Master IF_13 transfer response	
213	MHSELS14	入力	Master IF_14 slave select	Arbiter Master IF 14
214	MHADDRS14	入力	Master IF_14 address bus	
215	MHTRANSS14	入力	Master IF_14 transfer type	
216	MHWWRITES14	入力	Master IF_14 transfer direction	
217	MHSIZES14	入力	Master IF_14 transfer size	
218	MHBURSTS14	入力	Master IF_14 burst type	
219	MHPROTS14	入力	Master IF_14 protection control	
220	MHMASTERS14	入力	Master IF_14 master select	
221	MHWDATAS4	入力	Master IF_14 write data bus	
222	MHMASTLOCKS14	入力	Master IF_14 locked sequence	
223	MHREADYS14	入力	Master IF_14 transfer done	
224	MHRDATAS14	出力	Master IF_14 read data bus	
225	MHREADYOUTS14	出力	Master IF_14 HREADY feedback from slave	
226	MHRESPS14	出力	Master IF_14 transfer response	
227	MHSELS15	入力	Master IF_15 slave select	Arbiter Master IF 15
228	MHADDRS15	入力	Master IF_15 address bus	
229	MHTRANSS15	入力	Master IF_15 transfer type	
230	MHWWRITES15	入力	Master IF_15 transfer direction	
231	MHSIZES5	入力	Master IF_15 transfer size	
232	MHBURSTS15	入力	Master IF_15 burst type	
233	MHPROTS15	入力	Master IF_15 protection control	
234	MHMASTERS15	入力	Master IF_15 master select	
235	MHWDATAS15	入力	Master IF_15 write data bus	
236	MHMASTLOCKS15	入力	Master IF_15 locked sequence	
237	MHREADYS15	入力	Master IF_15 transfer done	
238	MHRDATAS15	出力	Master IF_15 read data bus	
239	MHREADYOUTS15	出力	Master IF_15 HREADY feedback from slave	
240	MHRESPS15	出力	Master IF_15 transfer response	

5 パラメータの定義

Gowin AHB Bus Arbiter のパラメータの定義を表 5-1 に示します。

表 5-1 Gowin AHB Bus Arbiter のパラメータの定義

番号	名称	説明	値
1	Arbiter Master IF 0	最初の Arbiter Master interface を構成	Enable/Disable
2	Arbiter Master IF 1	2 番目の Arbiter Master interface を構成	Enable/Disable
3	Arbiter Master IF 2	3 番目の Arbiter Master interface を構成	Enable/Disable
4	Arbiter Master IF 3	4 番目の Arbiter Master interface を構成	Enable/Disable
5	Arbiter Master IF 4	5 番目の Arbiter Master interface を構成	Enable/Disable
6	Arbiter Master IF 5	6 番目の Arbiter Master interface を構成	Enable/Disable
7	Arbiter Master IF 6	7 番目の Arbiter Master interface を構成	Enable/Disable
8	Arbiter Master IF 7	8 番目の Arbiter Master interface を構成	Enable/Disable
9	Arbiter Master IF 8	9 番目の Arbiter Master interface を構成	Enable/Disable
10	Arbiter Master IF 9	10 番目の Arbiter Master interface を構成	Enable/Disable
11	Arbiter Master IF 10	11 番目の Arbiter Master interface を構成	Enable/Disable
12	Arbiter Master IF 11	12 番目の Arbiter Master interface を構成	Enable/Disable
13	Arbiter Master IF 12	13 番目の Arbiter Master interface を構成	Enable/Disable
14	Arbiter Master IF 13	14 番目の Arbiter Master interface を構成	Enable/Disable

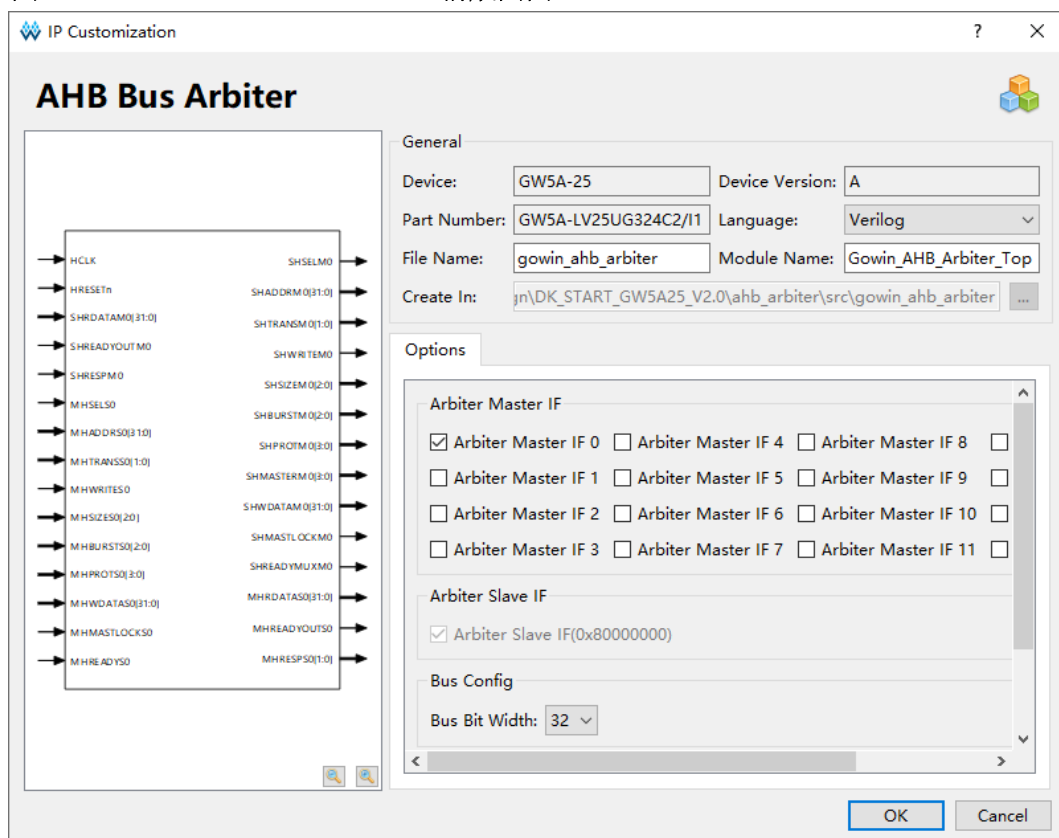
番号	名称	説明	値
15	Arbiter Master IF 14	15 番目の Arbiter Master interface を構成	Enable/Disable
16	Arbiter Master IF 15	16 番目の Arbiter Master interface を構成	Enable/Disable
17	Arbiter Slave IF	Arbiter Slave interface を構成	Enable
18	Bus Bit Width	AHB バスの幅を構成	32/64

6 GUI での構成

Gowin ソフトウェアの IP Core Generator を使用して、Gowin AHB Bus Arbiter IP を呼び出し・構成することができます。メニューバーの「Tools > IP Core Generator」またはツールバーの「」から「Soft IP Core > Microprocessor System > Bus Interconnect > AHB Bus Arbiter 1.2」を選択します。

Gowin AHB Bus Arbiter の構成画面を図 6-1 に示します。

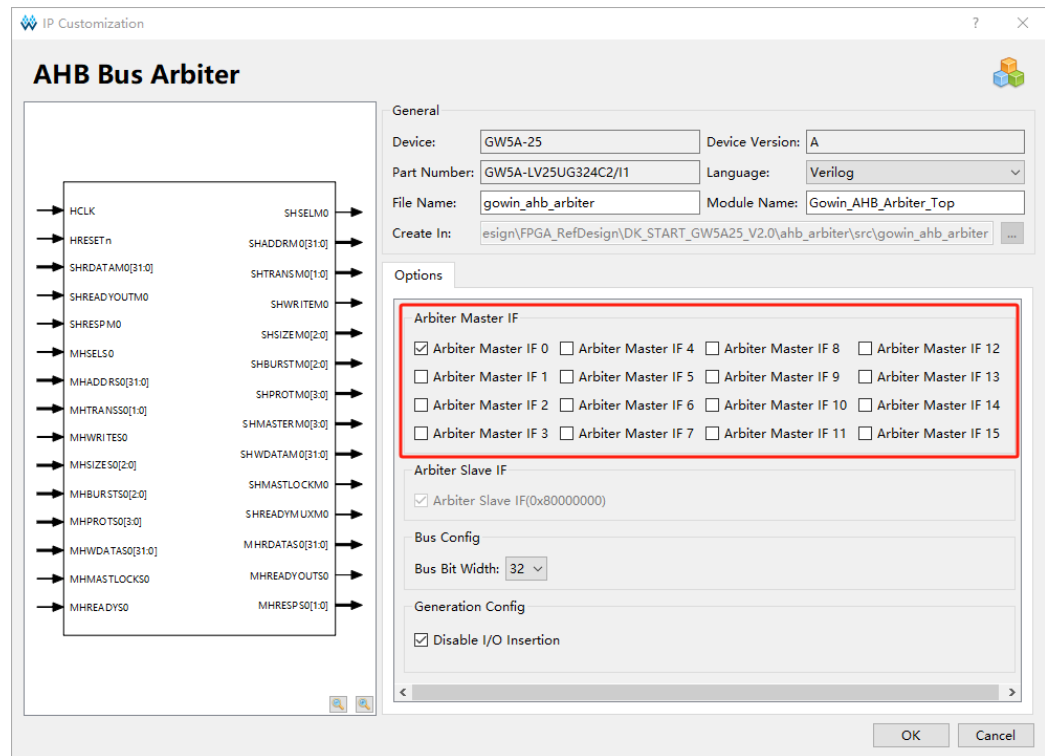
図 6-1 Gowin AHB Bus Arbiter の構成画面



6.1 Arbiter Master IF の構成

Arbiter Master IF の構成を図 6-2 に示します。

図 6-2 Aribter Master IF の構成



- 「Arbiter Master IF 0」が選択された場合、最初の Master interface を構成します。
- 「Arbiter Master IF 1」が選択された場合、2 番目の Master interface を構成します。
- 「Arbiter Master IF 2」が選択された場合、3 番目の Master interface を構成します。
- 「Arbiter Master IF 3」が選択された場合、4 番目の Master interface を構成します。
- 「Arbiter Master IF 4」が選択された場合、5 番目の Master interface を構成します。
- 「Arbiter Master IF 5」が選択された場合、6 番目の Master interface を構成します。
- 「Arbiter Master IF 6」が選択された場合、7 番目の Master interface を構成します。
- 「Arbiter Master IF 7」が選択された場合、8 番目の Master interface を構成します。
- 「Arbiter Master IF 8」が選択された場合、9 番目の Master interface

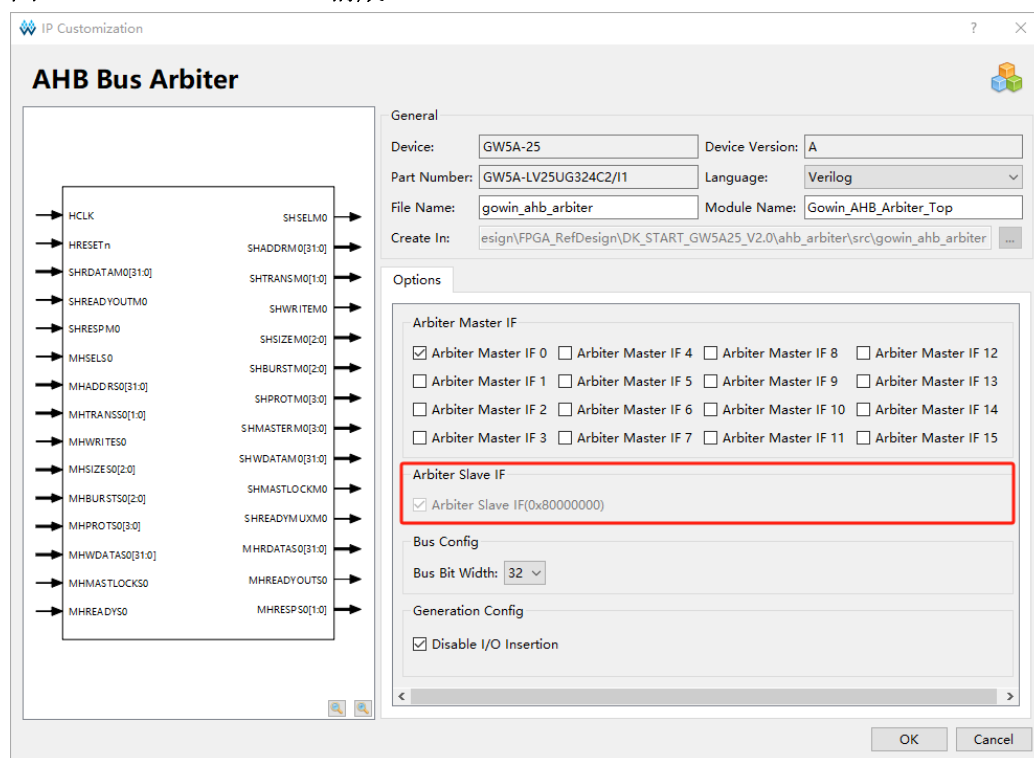
を構成します。

- 「Arbiter Master IF 9」が選択された場合、10 番目の Master interface を構成します。
- 「Arbiter Master IF 10」が選択された場合、11 番目の Master interface を構成します。
- 「Arbiter Master IF 11」が選択された場合、12 番目の Master interface を構成します。
- 「Arbiter Master IF 12」が選択された場合、13 番目の Master interface を構成します。
- 「Arbiter Master IF 13」が選択された場合、14 番目の Master interface を構成します。
- 「Arbiter Master IF 14」が選択された場合、15 番目の Master interface を構成します。
- 「Arbiter Master IF 15」が選択された場合、16 番目の Master interface を構成します。

6.2 Arbiter Slave IF の構成

AHB Bus Arbiter は、図 6-3 に示すように、1 つのベースアドレスが 0x800000000 の Slave デバイスをサポートしています(デフォルトでチェックされています)。

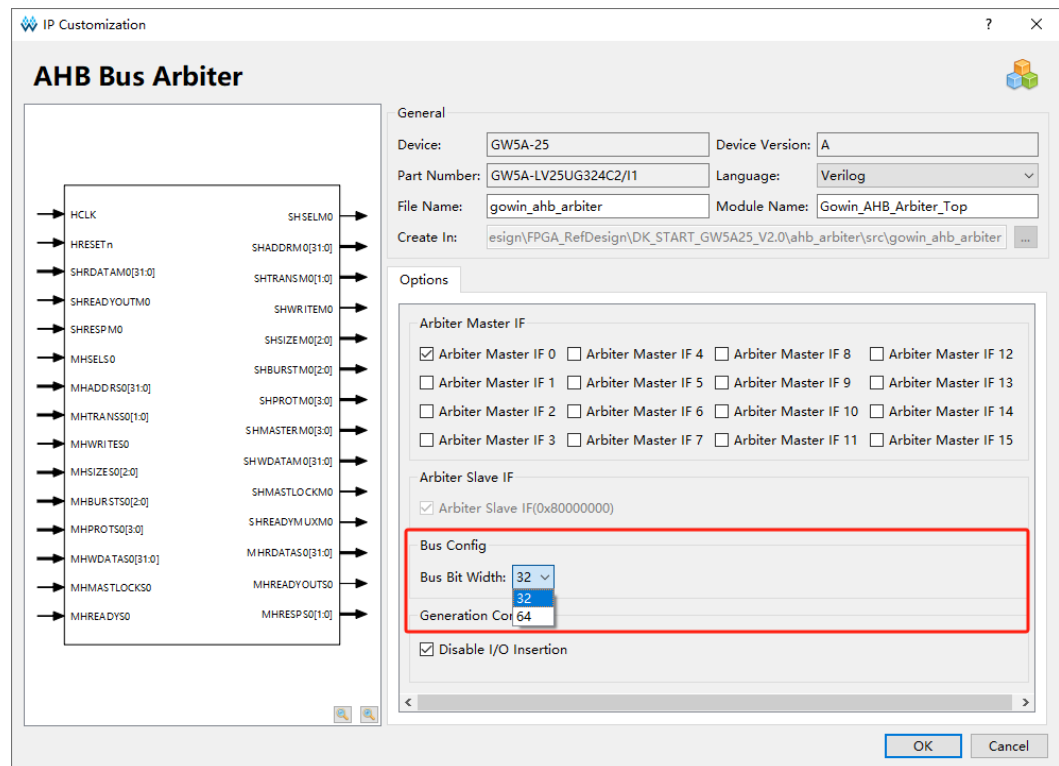
図 6-3 Arbiter Slave IF の構成



6.3 Bus Bit Width の構成

AHB Bus Arbiter bus bit width の構成を図 6-4 に示します。

図 6-4 Bus Bit Width の構成



- 32 ビットを選択した場合、AHB Bus Arbiter のバス幅は標準の 32 ビットになります。
- 64 ビットを選択した場合、AHB Bus Arbiter のバス幅は拡張された 64 ビットになります。
- AHB Bus Arbiter のバス幅はデフォルトで 32 ビットです。

7 リファレンス・デザイン

詳細については、GOWIN のホームページにおける Gowin AHB Bus Arbiter [リファレンス・デザイン](#)を参照してください。

- ハードウェア・リファレンス・デザイン：…
¥ref_design¥FPGA_RefDesign¥DK_START_GW5A25_V2.0¥ahb_arbiter
- ソフトウェア・リファレンス・デザイン：…
¥ref_design¥MCU_RefDesign¥ahb_arbiter

