



DK-START-GW1NZ1

ユーザーガイド

DEBUG357-1.1J, 2019-04-12

著作権について (2019)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

「GOWINSEMI®」、「LittleBee®」、「Arora」、及び GOWINSEMI のロゴは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、www.gowinsemi.com.cn において記載されているそれぞれの権利者に帰属しています。当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI 取引条件) に規定されている内容を除き、(明示的か又は黙示的かに拘わらず) いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。本文書における全ての情報は、予備的情報として取り扱われなければなりません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ (不具合情報) については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2018/12/13	1.0J	初版。
2019/04/12	1.1J	1. I/O Bank の説明図を変更； 2. GPIO の使用上の注意事項を追加。

目次

目次.....	i
図一覧.....	iii
表一覧.....	iv
1 本マニュアルについて	1
1.1 マニュアル内容	1
1.2 サポートされるデバイス	1
1.3 関連ドキュメント	2
1.4 用語、略語.....	2
1.5 テクニカル・サポートとフィードバック	2
2 開発ボードの紹介.....	3
2.1 概要.....	3
2.2 開発ボードキット	4
2.3 PCB コンポーネント	5
2.4 システムアーキテクチャ	6
2.5 特徴.....	6
2.6 仕様.....	7
3 開発ボードの回路.....	9
3.1 FPGA モジュール.....	9
3.1.1 概要.....	9
3.1.2 I/O BANK の説明	9
3.2 ダウンロード	11
3.2.1 概要.....	11
3.2.2 USB ダウンロード回路	11
3.2.3 ダウンロード手順.....	12
3.2.4 ピンの配置.....	12
3.3 電源.....	12
3.3.1 概要.....	12

3.3.2 電力システムの配置	12
3.4 クロックとリセット	13
3.4.1 概要.....	13
3.4.2 クロックおよびリセット回路.....	14
3.4.3 ピンの配置.....	14
3.5 LED.....	14
3.5.1 概要.....	14
3.5.2 LED 回路	14
3.5.3 ピンの配置.....	15
3.6 キースイッチ	15
3.6.1 概要.....	15
3.6.2 キースイッチ回路.....	15
3.6.3 ピンの配置.....	16
3.7 GPIO.....	16
3.7.1 概要.....	16
3.7.2 GPIO 回路	16
3.7.3 ピンの配置.....	17
3.8 LVDS	18
3.8.1 概要.....	18
3.8.2 LVDS 回路	18
3.8.3 ピンの配置.....	18
4 開発ボードの使用上の注意	20
5 Gowin YunYuan ソフトウェア	21

図一覧

図 2-1 DK-START-GW1NZ1 開発ボード	3
図 2-2 開発ボードキット.....	4
図 2-3 PCB コンポーネント	5
図 2-4 システムアーキテクチャ.....	6
図 3-1 GW1NZ シリーズ FPGA 製品の I/O BANK の全体説明図	10
図 3-2 GW1NZ-1 デバイス FN32 パッケージのピン配置図（トップビュー）	10
図 3-3 FPGA の USB を介したダウンロードの接続図	11
図 3-4 電力システムの配置図	13
図 3-5 クロックおよびリセット回路.....	14
図 3-6 LED 回路	15
図 3-7 キースイッチ回路.....	16
図 3-8 GPIO 回路	17
図 3-9 LVDS 回路	18

表一覧

表 1-1 用語、略語.....	2
表 2-1 開発ボードの仕様.....	7
表 3-1 GW1NZ-1 シリーズ FPGA 製品のリソース一覧.....	9
表 3-2 FPGA I/O の配置	11
表 3-3 FPGA のダウンロードピンの配置	12
表 3-4 FPGA のクロックおよびリセットピンの配置	14
表 3-5 LED ピンの配置	15
表 3-6 キースイッチ回路のピン配置.....	16
表 3-7 GPIO ピンの配置	17
表 3-8 LVDS ピンの配置	18

1 本マニュアルについて

1.1 マニュアル内容

DK-START-GW1NZ1 ユーザーガイドは、4つのセクションに分かれています。

1. 開発ボードの機能とハードウェアリソースの概要。
2. 開発ボード上のハードウェア回路の各部分の機能、およびピンの配置の説明。
3. 開発ボードの使用上の注意事項。
4. FPGA 開発ソフトウェアの使用。

1.2 サポートされるデバイス

本ユーザーガイドに記載される情報は、GW1NZ シリーズ FPGA 製品に適用されます：GW1NZ-1。

1.3 関連ドキュメント

GOWIN セミコンダクターのウェブサイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

1. GW1NZ シリーズ FPGA 製品データシート (DS841)
2. GW1NZ シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド (UG843)
3. GW1NZ-1 デバイス Pinout ユーザーガイド (UG842)
4. Gowin FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド (UG290)
5. Gowin YunYuan ソフトウェア ユーザーガイド (SUG100)

1.4 用語、略語

本マニュアルに使用されている関連用語、略語及び関連解釈を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
FPGA	Field Programmable Gate Array	フィールドプログラマブルゲートアレイ
LED	Light Emitting Diode	発光ダイオード
GPIO	General Purpose Input Output	汎用入出力
LUT4	4-input Look-up Table	4 入力ルックアップテーブル
S-SRAM	Shadow SRAM	分散 SRAM
B-SRAM	Block SRAM	ブロック SRAM
PLL	Phase-locked Loop	位相同期回路
LVDS	Low-Voltage Differential Signaling	低電圧差動信号
DSP	Digital Signal Processing	デジタル信号処理
SPMI	System Power Management Interface	システム電源管理インターフェース
FN32	QFN32	QFN32 パッケージ

1.5 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

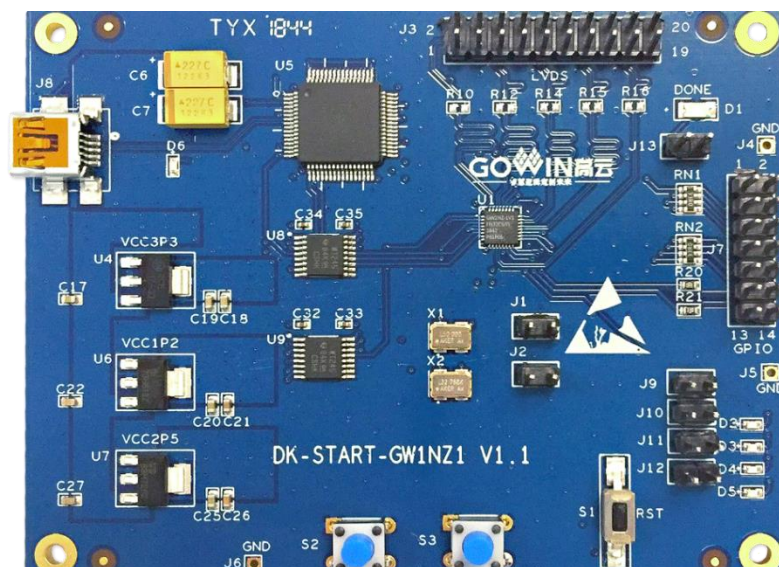
Web サイト：www.gowinsemi.com/ja

E-mail：support@gowinsemi.com

2 開発ボードの紹介

2.1 概要

図 2-1 DK-START-GW1NZ1 開発ボード



この開発ボードに搭載された GOWIN セミコンダクター GW1NZ-1 FPGA 製品は、GOWIN セミコンダクターの LittleBee®ファミリー第一世代製品で、低消費電力、クイックスタート、低コスト、不揮発性、高安全性、豊富なパッケージタイプ、使い易さ等の特徴を備えており、通信、産業制御、コンシューマ、ビデオ監視などで幅広く使用されることが出来ます。

GOWIN セミコンダクターは、GW1NZ シリーズの FPGA 製品をサポートし、FPGA 合成、レイアウト、配置配線、データビットストリームファイルの生成およびダウンロードなどに適用される、自社で研究開発した市場志向の新世代 FPGA ハードウェア開発環境を提供します。

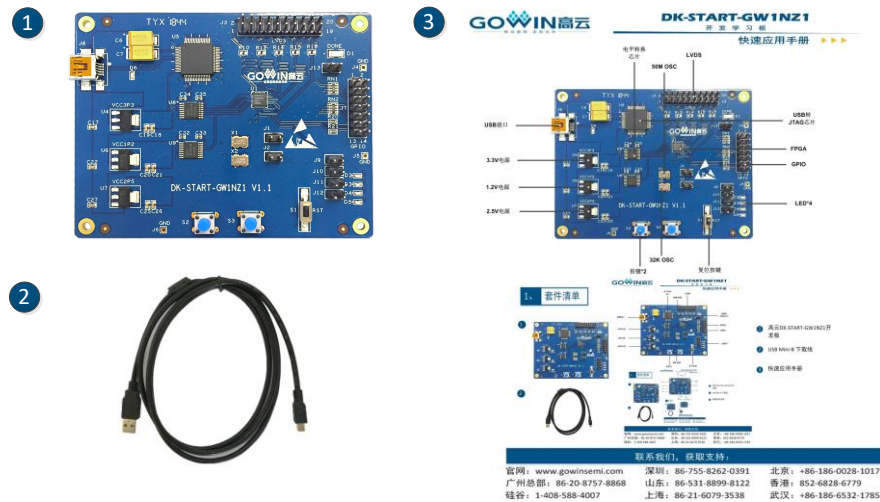
開発ボードには、開発・学習用の、USB ダウンロードインターフェース、GPIO インターフェース、LVDS インターフェース、キースイッチ、クロック、および LED が提供されています。

2.2 開発ボードキット

開発ボードキットには以下が含まれます。

- DK-START-GW1NZ1 開発ボード
- USB データケーブル
- クイックスタート ユーザーガイド

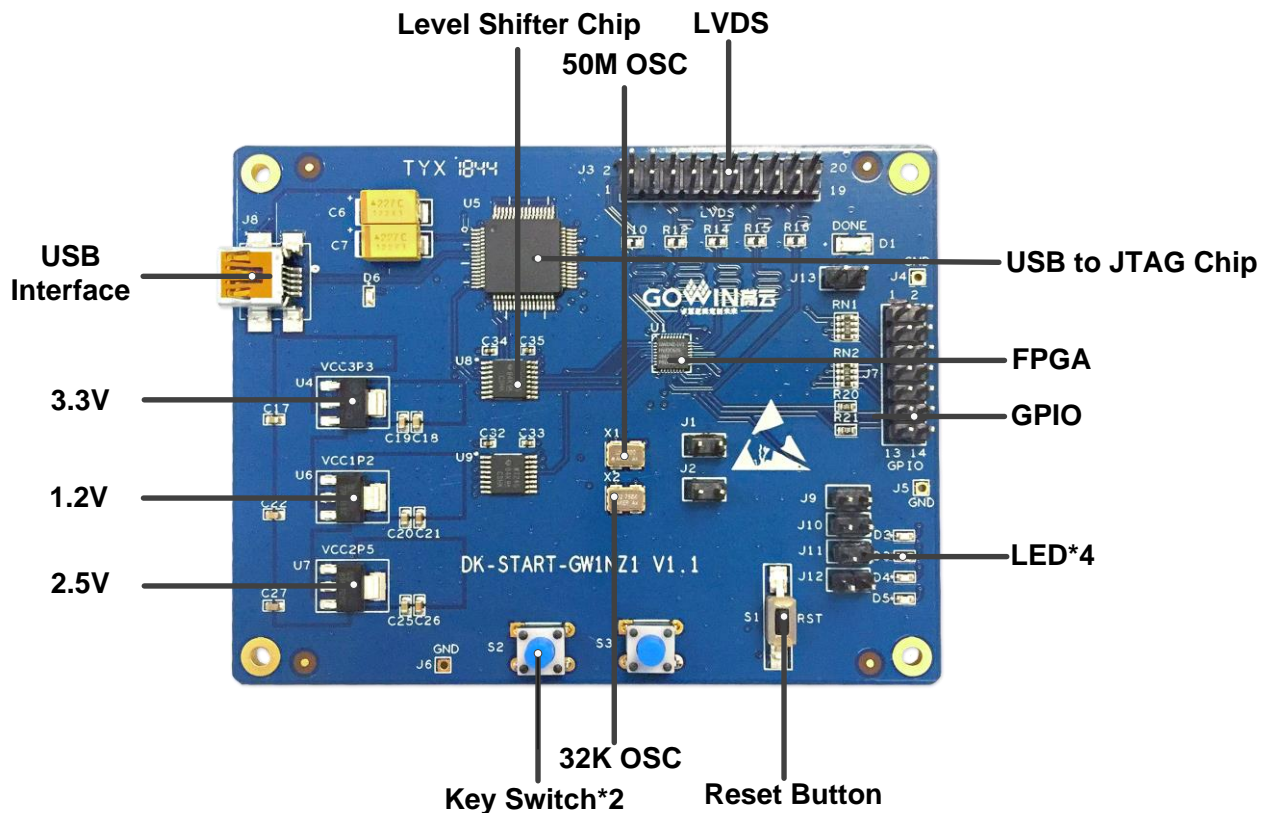
図 2-2 開発ボードキット



- ① DK-START-GW1NZ1開発ボード
- ② USBケーブル
- ③ クイックスタート ユーザーガイド

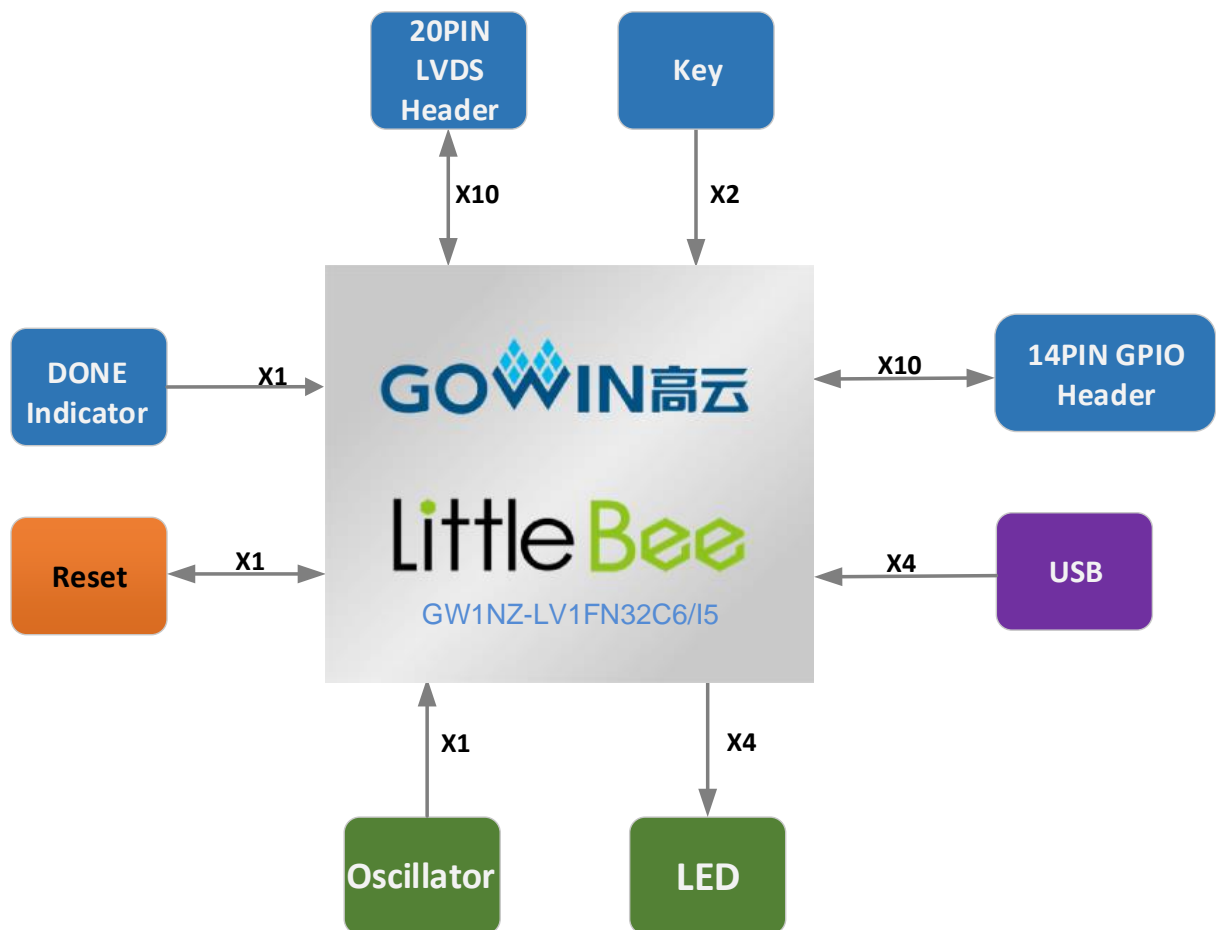
2.3 PCB コンポーネント

図 2-3 PCB コンポーネント



2.4 システムアーキテクチャ

図 2-4 システムアーキテクチャ



2.5 特徴

開発ボードの構造と特性は次のとおりです。

1. FPGA

- QFN32 パッケージ
- 25 ユーザーI/O
- パワーオフしてもデータが失われない組み込みフラッシュ
- 豊富な LUT4 リソース
- マルチモード、大容量の B-SRAM
- LV バージョンと ZV バージョンをサポート
- 組み込み SPMI モジュール

2. FPGA コンフィギュレーションモード

- JTAG
- AUTO BOOT

- DUAL BOOT
- 3. クロックリソース
 - 50MHz のクロック水晶発振器
- 4. キースイッチ
 - 1つのリセットボタン
 - 2つのキースイッチ
- 5. LED
 - 1つの電源インジケータ（緑色）
 - 1つの DONE インジケータ（緑色）
 - 4つの LED（緑色）
- 6. メモリデバイス
 - 64Kbit の組み込み Flash
- 7. GPIO
 - 10 個の GPIO
- 8. LDO 電源
 - 逆電圧保護および過電流保護機能付き
 - 5V、3.3V、2.5V、1.2V の電力を供給

2.6 仕様

表 2-1 開発ボードの仕様

番号	項目	機能の説明	技術的条件	備考
1	FPGA	コアチップ	-	-
2	ダウンロード	JTAG、AUTOBOOT モードをサポート	開発ボードに USB ダウンロードインターフェースを統合	-
3	電源	USB からの 5V 入力を、LDO 回路を介して 3.3 V、2.5V、および 1.2V で出力	<ul style="list-style-type: none"> ● 入力電力 : 5V ● 5V-3.3V 回路がダウンロード回路と他の回路に電力を供給。 ● 5V-2.5V 回路が FPGA に電力を供給。 ● 3.3V-1.2V 回路が FPGA に電力を供給。 	-
4	キースイッチ	テスト用	2 個	-
5	リセットボタン	FPGA をリセット	1 個	-
6	LED	テスト指示、DONE 指示、電源指示	<ul style="list-style-type: none"> ● 4つのテストインジケータ、緑色 	-

番号	項目	機能の説明	技術的条件	備考
			<ul style="list-style-type: none">● 1つのDONEインジケータ、緑色● 1つの電源インジケータ、緑色	
7	50MHzの水晶発振器	FPGAに50MHzのクロックを提供	パッケージ5032	-
8	32KHzの水晶発振器	FPGAに32KHzのクロックを提供	パッケージ5032	-
9	GPIO	拡張・テスト用のI/O	10個	-
10	電圧	-	入力電圧5V	-
11	湿度	-	95%	-
12	温度	-	動作範囲：-20° ~70°	-

3 開発ボードの回路

3.1 FPGA モジュール

3.1.1 概要

GW1NZ シリーズ FPGA 製品のリソースを表 3-1 に示します。

表 3-1 GW1NZ-1 シリーズ FPGA 製品のリソース一覧

デバイス	GW1NZ-1
ロジックユニット (LUT4)	1,152
フリップフロップ(FF)	864
分散 SRAM S-SRAM(bits)	4K
ブロック SRAM B-SRAM(bits)	72K
位相同期回路 (PLLs+DLLs)	1+0
ユーザーフラッシュ (bits)	64K
Vcc	1.2V(LV バージョン); 0.9V(ZV バージョン)

注記：

詳細については、[『GW1NS シリーズ FPGA 製品データシート\(DS821\)』](#)を参照してください。

3.1.2 I/O BANK の説明

GW1NZ シリーズ FPGA 製品には 2 つの I/O BANK があり、[図 3-1](#) は GW1NZ シリーズ FPGA 製品の I/O BANK の全体説明図です。

図 3-1 GW1NZ シリーズ FPGA 製品の I/O BANK の全体説明図

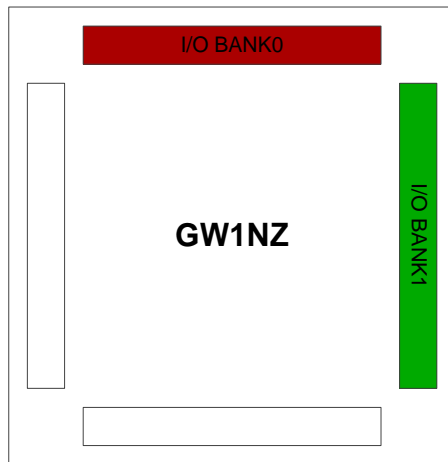


図 3-2 GW1NZ-1 デバイス FN32 パッケージのピン配置図 (トップビュー)

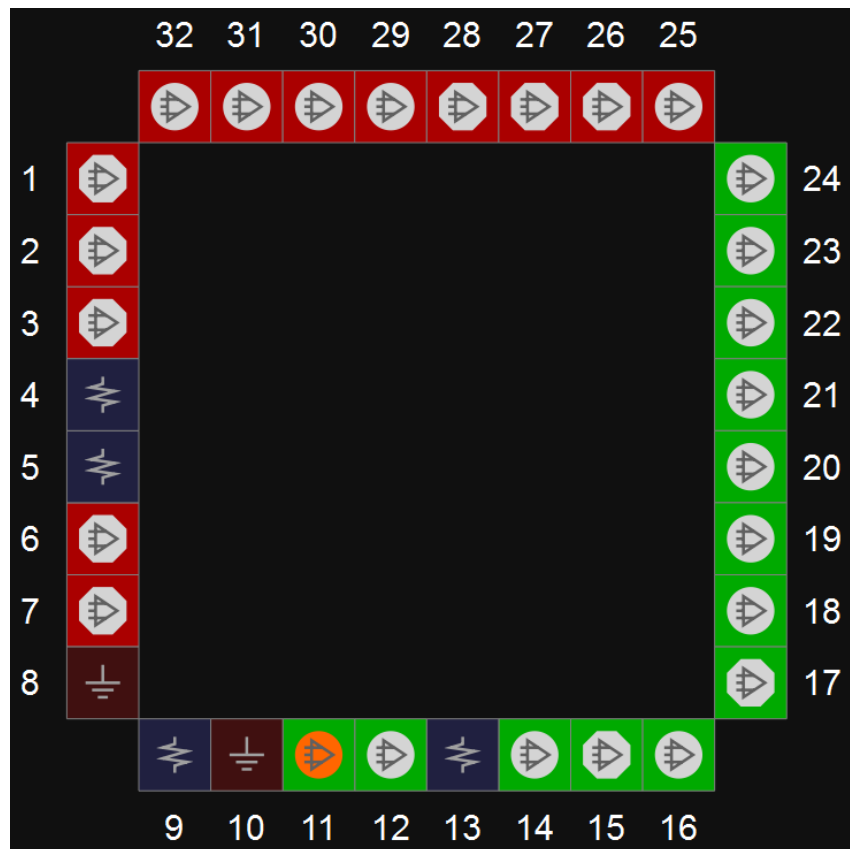


表 3-2 FPGA I/O の配置

I/O BANK の番号	接続されるモジュール
I/O BANK0	<ul style="list-style-type: none"> ● JTAG インターフェース ● GPIO インターフェース ● LVDS インターフェース ● キースイッチ
I/O BANK1	<ul style="list-style-type: none"> ● LED ● GPIO ● LVDS インターフェース ● クロック入力 ● リセット

3.2 ダウンロード

3.2.1 概要

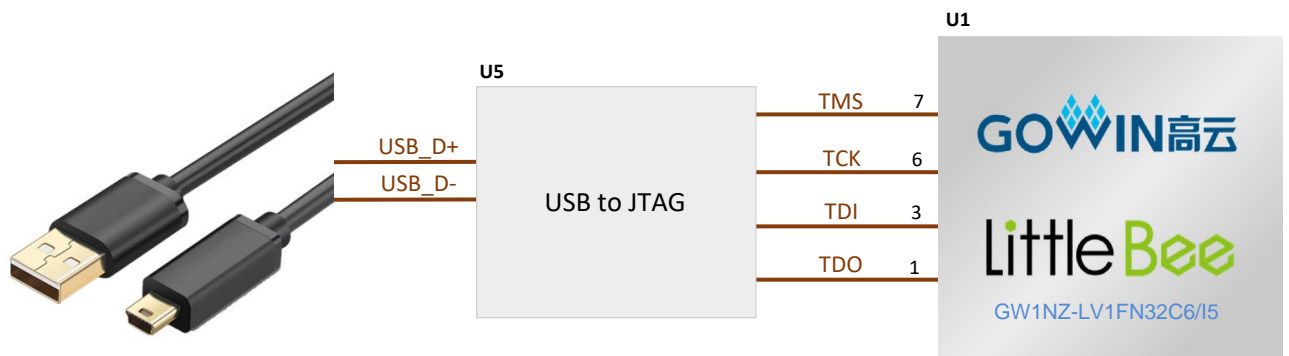
開発ボードは **USB** ダウンロードインターフェースを提供しています。ダウンロードの際は、必要に応じてオンチップ **SRAM**、オンチップ **Flash** にダウンロードできます。

注記：

- **SRAM** にダウンロードする場合、パワーオフするとデータストリームファイルが失われるため、再パワーオンした後にデータストリームファイルを再度ダウンロードする必要があります。
- **Flash** にダウンロードする場合、パワーオフしても、データストリームファイルが失われることはありません。

3.2.2 USB ダウンロード回路

図 3-3 FPGA の USB を介したダウンロードの接続図



3.2.3 ダウンロード手順

1. SRAM :

電源投入後にデバイスをスキャンし、ビットファイルをダウンロードします。ダウンロードが成功すると、**Done** インジケータが点灯します。

2. オンチップ Flash :

電源を入れてダウンロードします。ダウンロードに成功したら、パワーオフしてオンチップ Flash からビットファイルをロードします。ダウンロードが成功すると、**Done** インジケータが点灯します。

3.2.4 ピンの配置

表 3-3 FPGA のダウンロードピンの配置

信号名	FPGA のピン番号	BANK	説明	I/O レベル
TDI	3	0	JTAG 信号	2.5V
TCK	6	0	JTAG 信号	2.5V
TMS	7	0	JTAG 信号	2.5V
TDO	1	0	JTAG 信号	2.5V

3.3 電源

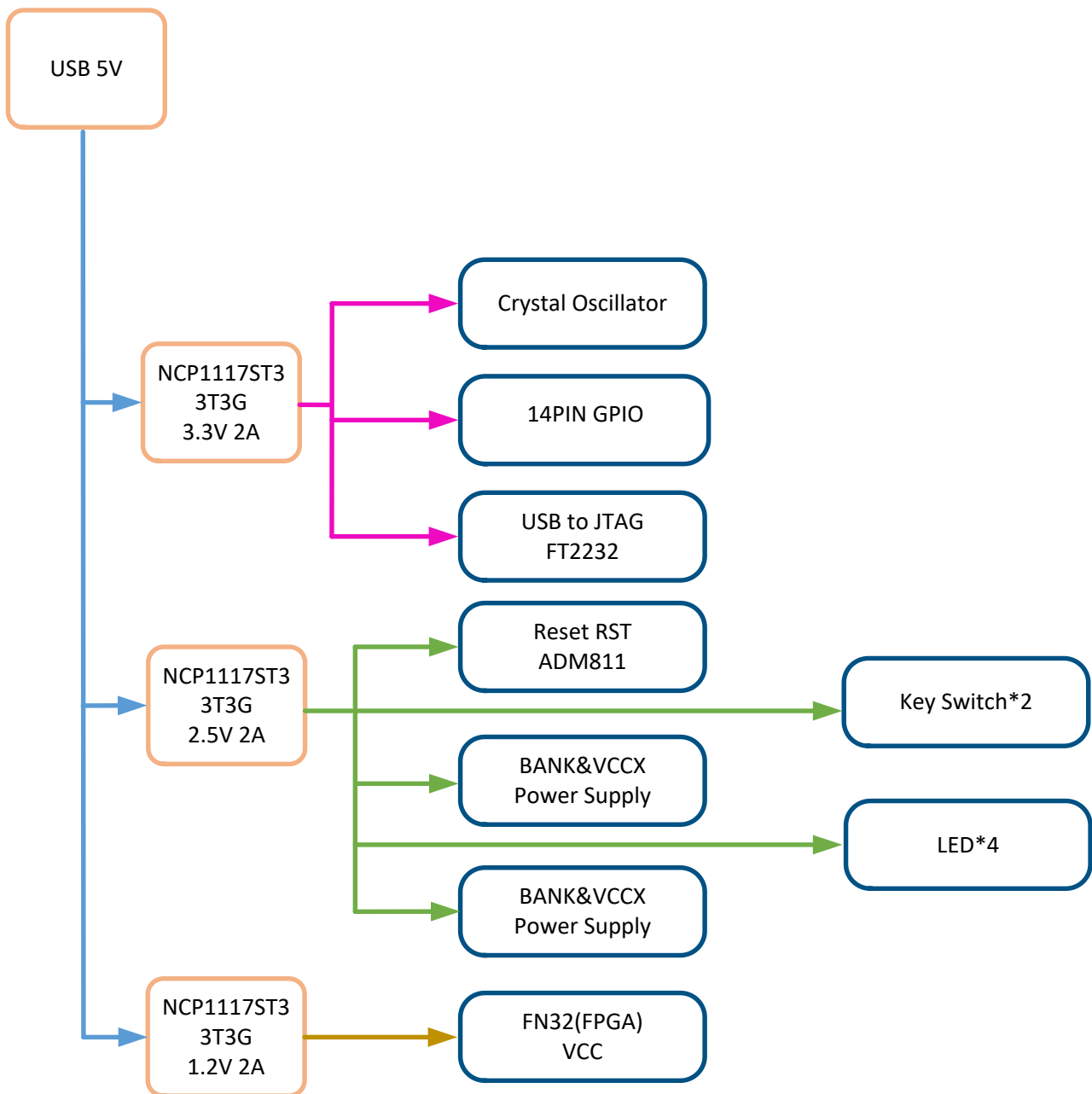
3.3.1 概要

電源は USB 5V 入力です。さらにインターフェースに過電流保護 (2A) と逆電圧保護があります。

LDO 電源チップを使用することで 5V-3.3V、3.3V-2.5V、3.3V-1.2V の変換を実装します。電流は最大 2A で、開発ボードの電力要件を満たしています。

3.3.2 電力システムの配置

図 3-4 電力システムの配置図



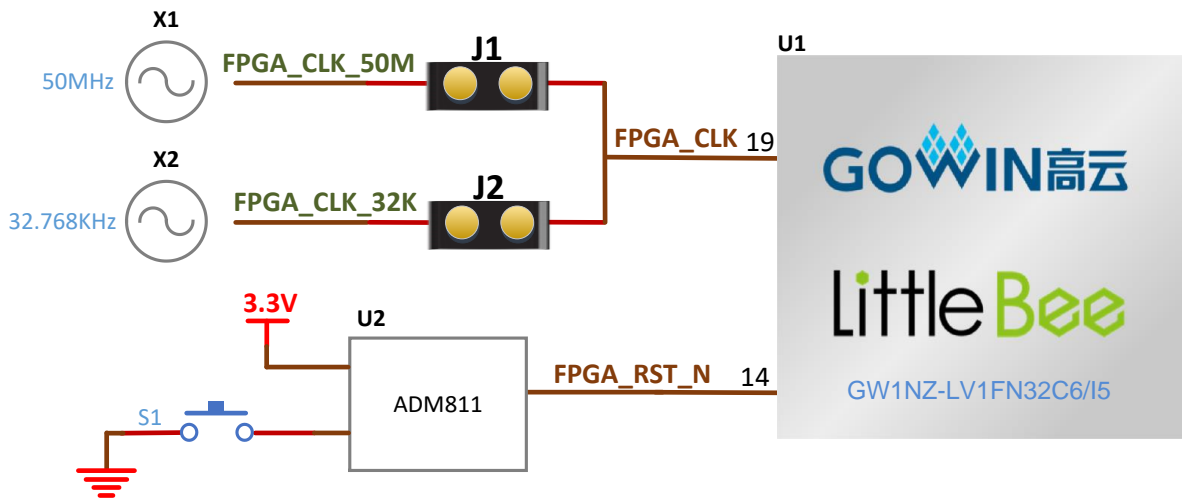
3.4 クロックとリセット

3.4.1 概要

開発ボードには、GCLK 入力ピンに接続され、FPGA のグローバルクロック入力として使用できる 50MHz と 32.768KHz の水晶発振器があります。ユーザーが必要とするクロックを PLL 逡倍及び分周を通じて出力できます。ユーザーは、J1、J2 でジャンパーキャップを使用してクロックソースを選択することができます。

3.4.2 クロックおよびリセット回路

図 3-5 クロックおよびリセット回路



3.4.3 ピンの配置

表 3-4 FPGA のクロックおよびリセットピンの配置

信号名	FPGA のピン番号	BANK	説明	I/O レベル
FPGA_CLK	19	1	アクティブクリスタル入力	2.5V
FPGA_RST2_N	14	1	リセット信号、アクティブ Low	2.5V

3.5 LED

3.5.1 概要

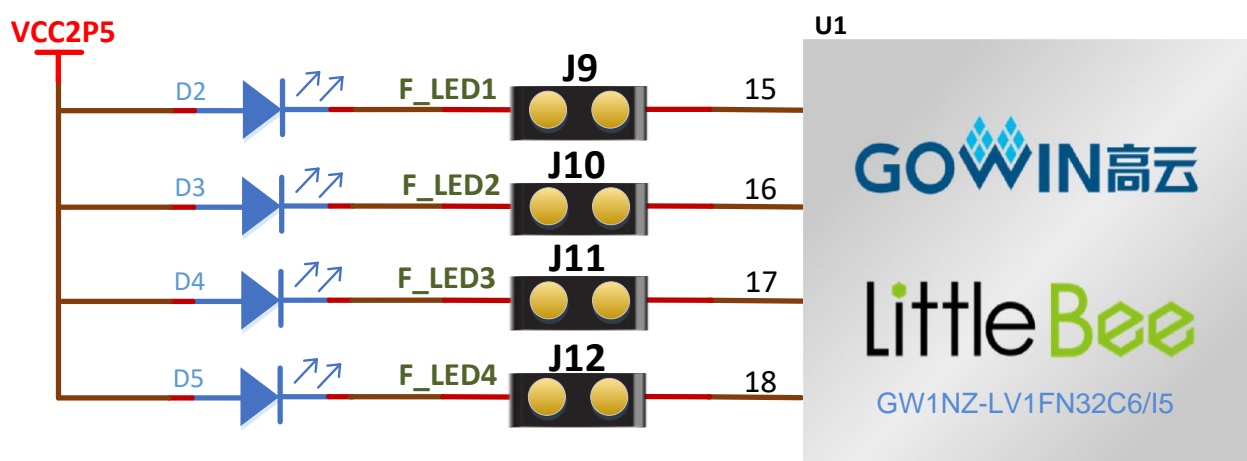
開発ボードには 4 つのテスト用の緑色の LED があります。4 つの LED を使用するには、J9、J10、J11、J12 をジャンパーキャップで接続する必要があります。

LED は次の方法でテストできます。

- FPGA の対応するピンの出力信号が Low の場合、LED が点灯します。
- 出力信号が High の場合、LED がオフになります。

3.5.2 LED 回路

図 3-6 LED 回路



3.5.3 ピンの配置

表 3-5 LED ピンの配置

信号名	FPGA のピン番号	BANK	説明	I/O レベル
F_LED1	15	1	LED インジケータ 1	2.5V
F_LED2	16	1	LED インジケータ 2	2.5V
F_LED3	17	1	LED インジケータ 3	2.5V
F_LED4	18	1	LED インジケータ 4	2.5V

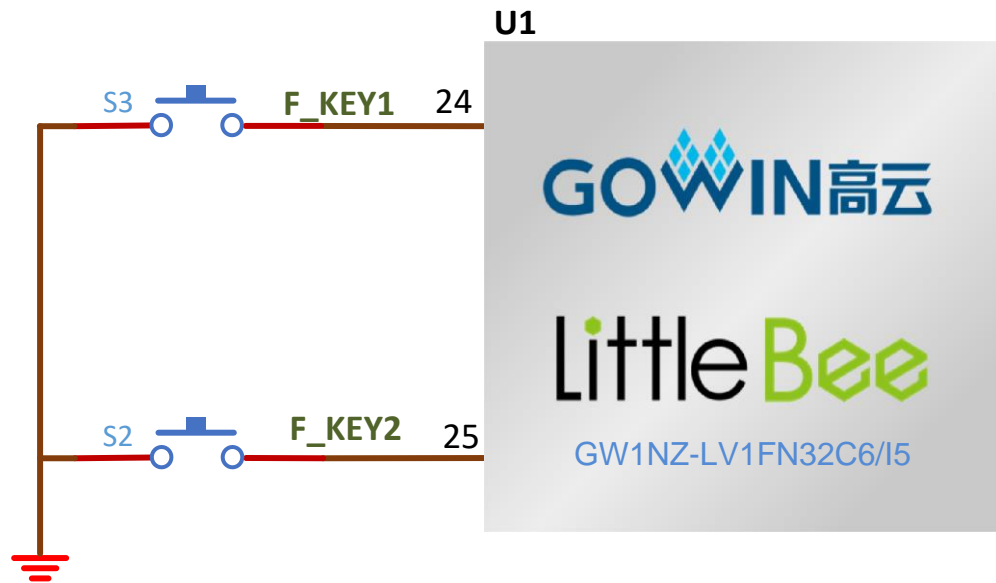
3.6 キースイッチ

3.6.1 概要

開発ボードには入力を制御するために使用できる 2 つのキースイッチがあります。ユーザーは手動制御して、対応する FPGA ピンに Low レベルを入力できます。

3.6.2 キースイッチ回路

図 3-7 キースイッチ回路



3.6.3 ピンの配置

表 3-6 キースイッチ回路のピン配置

信号名	FPGA のピン番号	BANK	説明	I/O レベル
F_KEY1	24	1	キー1	2.5V
F_KEY2	25	0	キー2	2.5V

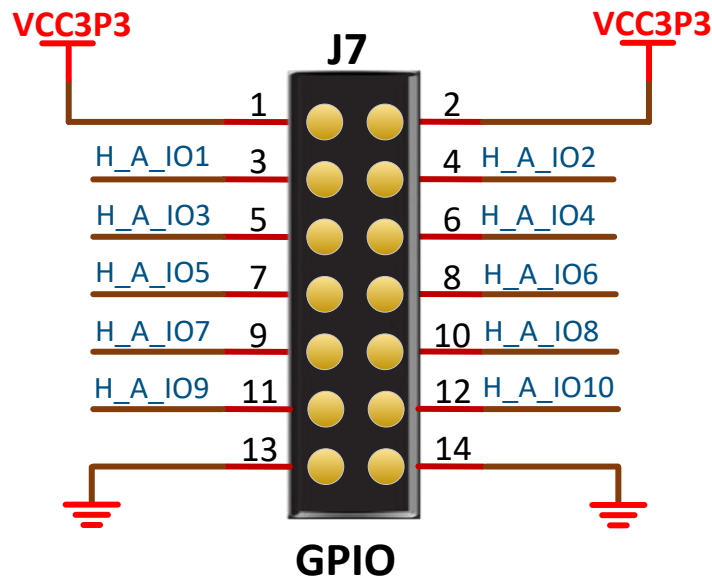
3.7 GPIO

3.7.1 概要

機能拡張とテストのために、1つの 2.54mm ピッチ DC3-14P ソケットが開発ボードに予約されています。

3.7.2 GPIO 回路

図 3-8 GPIO 回路



3.7.3 ピンの配置

表 3-7 GPIO ピンの配置

信号名	FPGA のピン番号	20P ソケットのピン番号	BANK	説明	I/O レベル
VCC3P3	--	1	--	汎用 I/O	3.3V
VCC3P3	--	2	--	汎用 I/O	3.3V
H_A_IO1	28	3	0	汎用 I/O	2.5V
H_A_IO2	27	4	0	汎用 I/O	2.5V
H_A_IO3	2	5	0	汎用 I/O	2.5V
H_A_IO4	26	6	0	汎用 I/O	2.5V
H_A_IO5	25	7	0	汎用 I/O	2.5V
H_A_IO6	24	8	1	汎用 I/O	2.5V
H_A_IO7	18	9	1	汎用 I/O	2.5V
H_A_IO8	17	10	1	汎用 I/O	2.5V
H_A_IO9	16	11	1	汎用 I/O	2.5V
H_A_IO10	15	12	1	汎用 I/O	2.5V
GND	--	13	--	汎用 I/O	--
GND	--	14	--	汎用 I/O	--

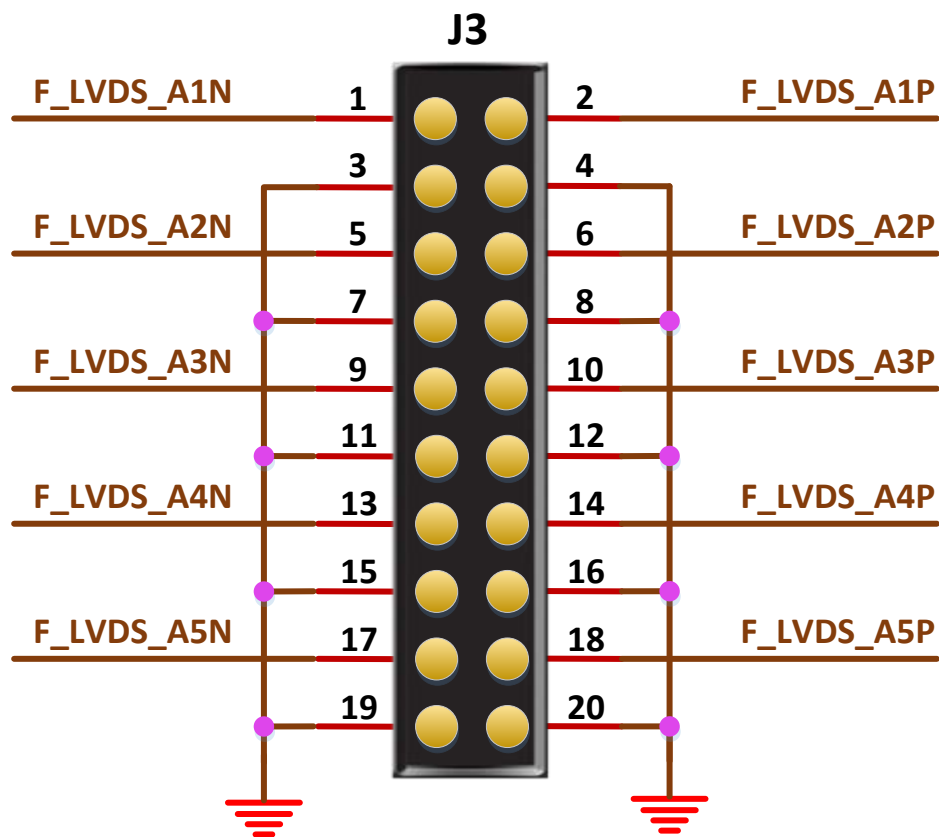
3.8 LVDS

3.8.1 概要

LVDS テストとデータ通信のために、2 つの 2.54mm ピッチ DC3-20P ソケットが開発ボードに予約されています。

3.8.2 LVDS 回路

図 3-9 LVDS 回路



3.8.3 ピンの配置

表 3-8 LVDS ピンの配置

信号名	FPGA のピン番号	20P ソケットのピン番号	BANK	説明	I/O レベル
F_LVDS_A1P	32	1	0	差動チャンネル 1+	2.5V
F_LVDS_A1N	31	2	0	差動チャンネル 1-	2.5V
GND	-	3	-	-	-
GND	-	4	-	-	-
F_LVDS_A2P	30	5	0	差動チャンネル 2+	2.5V

信号名	FPGA のピン番号	20P ソケットのピン番号	BANK	説明	I/O レベル
F_LVDS_A2N	29	6	0	差動チャンネル 2-	2.5V
GND	-	7	-	-	
GND	-	8	-	-	
F_LVDS_A3P	23	9	1	差動チャンネル 3+	2.5V
F_LVDS_A3N	22	10	1	差動チャンネル 3-	2.5V
GND	-	11	-	-	
GND	-	12	-	-	
F_LVDS_A4P	21	13	1	差動チャンネル 4+	2.5V
F_LVDS_A4N	20	14	1	差動チャンネル 4-	2.5V
GND	-	15	-	-	
GND	-	16	-	-	
F_LVDS_A5P	12	17	1	差動チャンネル 5+	2.5V
F_LVDS_A5N	11	18	1	差動チャンネル 5-	2.5V
GND	-	19	-	-	
GND	-	20	-	-	

4 開発ボードの使用上の注意

開発ボードの使用上の注意：

1. 開発ボードを使用するときは、取り扱いに注意を払い、かつ静電気保護してください。
2. 電源は **USB 5V** 入力です。
3. クロックソース入力：X1 は 50MHz の水晶発振器、X2 は 32.768KHz の水晶発振器です。J1 または J2 のいずれかをジャンパーキャップで選択します。
4. LED と DONE インジケータを使用するには、J9、J10、J11、J12、J13 をジャンパーキャップで接続する必要があります。
5. GPIO の使用上の注意：H_A_IO5 (ピン 25)、H_A_IO6 (ピン 24) は、入力としてのみ使用できます。

5 Gowin YunYuan ソフトウェア

詳細については、『Gowin YunYuan ソフトウェア ユーザーガイド (SUG100)』を参照してください。

