



Gowin I2C_UART IP ユーザーガイド

IPUG925-1.0J, 2020-04-15

著作権について（2020）

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

「GOWINSEMI®」、「LittleBee®」、「Arora」、及び GOWINSEMI のロゴは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、www.gowinsemi.com.cn において記載されているそれぞれの権利者に帰属しています。当社は、GOWINSEMI Terms and Conditions of Sale（GOWINSEMI 取引条件）に規定されている内容を除き、（明示的か又は黙示的に拘わらず）いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。本文書における全ての情報は、予備的情報として取り扱われなければなりません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ（不具合情報）については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2020/04/15	1.0J	初版。

目次

目次	i
図一覧	iii
表一覧	iv
1 本マニュアルについて	1
1.1 マニュアル内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	1
1.4 テクニカル・サポートとフィードバック	1
2 概要	2
2.1 特徴	2
2.2 性能	2
2.3 リソース使用率	2
3 信号の定義	4
3.1 システム信号	4
3.2 I ² C 側の信号	4
3.3 UART 側の信号	4
4 パラメータの構成	5
5 機能の説明	6
5.1 システムアーキテクチャ	6
5.2 全体構造	7
5.3 Gowin I ² C-UART IP レジスタ	7
5.3.1 RHR レジスタ	8
5.3.2 THR レジスタ	8
5.3.3 IER レジスタ	8
5.3.4 IIR レジスタ	9
5.3.5 LSR レジスタ	9
5.3.6 MSR レジスタ	10
5.3.7 MCR レジスタ	11
5.3.8 FCR レジスタ	11
5.3.9 TXLVL レジスタ	12
5.3.10 RXLVL レジスタ	12

5.3.11 DLL レジスタ	12
5.3.12 DLH レジスタ	12
5.4 操作手順	13
5.4.1 IP の初期化手順.....	13
5.4.2 書き込み手順	13
5.4.3 読み出し手順	13
5.5 インターフェースのタイミング	14
5.5.1 UART インターフェースのタイミング	14
5.5.2 I ² C インターフェースレジスタの書き込みタイミング	14
5.5.3 I ² C インターフェースレジスタの読み出しタイミング	14
5.5.4 I ² C インターフェースが LSR/MSR を読み出して割り込みをクリアするタイミング	15
5.5.5 I ² C インターフェースが RHR を読み出して割り込みをクリアするタイミング	15
5.5.6 I ² C インターフェースが THR を書き込んで割り込みをクリアするタイミング	16
6 GUI での構成.....	17
7 リファレンスデザイン	19

図一覧

図 5-1 システムアーキテクチャ	6
図 5-2 全体構造	7
図 5-3 UART インターフェースのタイミング	14
図 5-4 I ² C インターフェースレジスタの書き込みタイミング	14
図 5-5 I ² C インターフェースレジスタの読み出しタイミング	14
図 5-6 I ² C インターフェースが LSR/MSR を読み出して割り込みをクリアするタイミング	15
図 5-7 I ² C インターフェースが RHR を読み出して割り込みをクリアするタイミング	15
図 5-8 I ² C インターフェースが THR を書き込んで割り込みをクリアするタイミング	16
図 6-1 プロジェクトを開く	17
図 6-2 I2C_UART の構成 GUI	18
図 6-3 I2C_UART のインスタンス化	18

表一覧

表 1-1 用語、略語.....	1
表 2-1 リソース使用率	3
表 3-1 システム信号	4
表 3-2 I ² C 側の信号	4
表 3-3 UART 側の信号	4
表 4-1 GUI パラメーター一覧.....	5
表 5-1 Gowin I ² C_UART IP レジスタ	7
表 5-2 RHR レジスタ	8
表 5-3 THR レジスタ	8
表 5-4 IER レジスタ	9
表 5-5 IIR レジスタ	9
表 5-6 LSR レジスタ	9
表 5-7 MSR レジスタ	10
表 5-8 MCR レジスタ	11
表 5-9 FCR レジスタ	11
表 5-10 TXLVL レジスタ	12
表 5-11 RXLVL レジスタ	12
表 5-12 DLL レジスタ	12
表 5-13 DLH レジスタ	12

1 本マニュアルについて

1.1 マニュアル内容

このマニュアルは主に、特徴、信号の定義、パラメータの概要、全体的なブロック図、機能の説明、GUI での呼び出し、リファレンスデザインなどを含み、ユーザーが Gowin I2C_UART IP をすばやく理解できるように作成されています。

1.2 関連ドキュメント

GOWIN セミコンダクターの Web サイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

1.3 用語、略語

本マニュアルに使用されている関連用語、略語及び関連解釈を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
I ² C	Inter-Integrated Circuit	2 線式シリアルバス
UART	Universal Asynchronous Receiver/Transmitter	汎用非同期送受信機

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

Web サイト：www.gowinsemi.com/ja

E-mail：support@gowinsemi.com

2 概要

I²C (Inter-Integrated Circuit)は、マイクロコントローラとその周辺機器を接続するために使用される 2 線式のシリアルバスです。

UART(Universal Asynchronous Receiver / Transmitter) は、シリアル通信とパラレル通信の間でデータを変換する集積回路です。

システム開発を容易にするために、I²C と UART 間のインターフェース変換を実現できる I²C_UART IP を提供します。

2.1 特徴

- 1 チャンネル I²C と UART 間のデータ通信を実現。
- I²C インターフェースはスレーブモードで動作。
- UART インターフェースは 4 線式 (1 ストップビット、パリティなし、8 ビット幅)。
- UART バスのボーレートは、レジスタを設定することで柔軟に設定可能。
- 割り込みをサポート。
- UART の送信 FIFO の深さは 64 バイト。
- UART の受信 FIFO の深さは 64 バイト。
- 入力クロックのクロックレートは、入力 I²C データレートの 10 倍以上。
- 完全に合成可能。
- Verilog で実装。

2.2 性能

Gowin I²C_UART IP の動作周波数は、I²C マスターのクロック周波数と、選択したチップで IP がサポートする最大動作周波数に依存します。

2.3 リソース使用率

GOWIN GW2A-LV18PG256C7/I6 を例にとると、この IP のリソース使用

率は表 2-1 のようになります。他の GOWIN FPGA でのアプリケーション検証については、これからの最新情報を参照してください。

表 2-1 リソース使用率

デバイス	プログラミング言語	LUT4	レジスタ
GW2A-LV18PG256C7/I6	Verilog	638	270

3 信号の定義

3.1 システム信号

システム信号を表 3-1 に示します。

表 3-1 システム信号

番号	信号名	方向	説明	備考
1	I_rst_n	I	リセット	すべての信号の方向は、IP を基準としています。
2	I_clk	I	クロック	

3.2 I²C 側の信号

I²C 側の信号の定義を表 3-2 に示します。

表 3-2 I²C 側の信号

番号	信号名	方向	説明	備考
1	I_i2c_scl	I	I2C クロック	-
2	IO_i2c_sda	I/O	I2C データ	
3	O_i2c_irq_n	O	割り込みリクエスト 信号	

3.3 UART 側の信号

UART 側の信号の定義を表 3-3 に示します。

表 3-3 UART 側の信号

番号	信号名	方向	説明	備考
1	I_uart_rxd	I	入力シリアルデータ	すべての信号の方向は、IP を基準としています。
2	O_uart_txd	O	出力シリアルデータ	
3	O_uart_rts_n	O	送信 OK	
4	I_uart_cts_n	I	相手準備完了	

4 パラメータの構成

Gowin I²C_UART の GUI パラメータの定義を表 4-1 に示します。

表 4-1 GUI パラメーター一覧

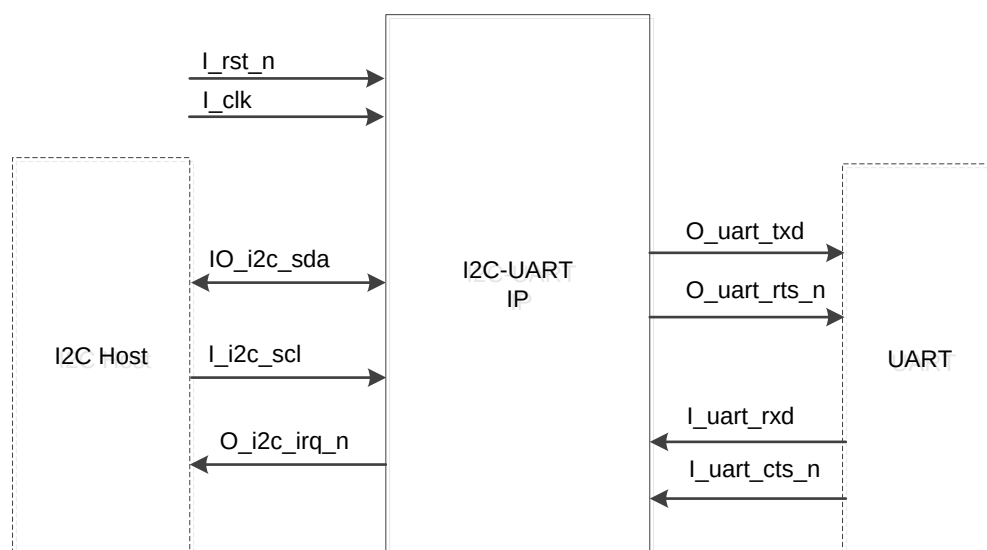
番号	パラメータ名	許容範囲	デフォルト値	説明
1	I2C ADDR	7' h01~7' h7F	7' h01	I ² C slave address

5 機能の説明

5.1 システムアーキテクチャ

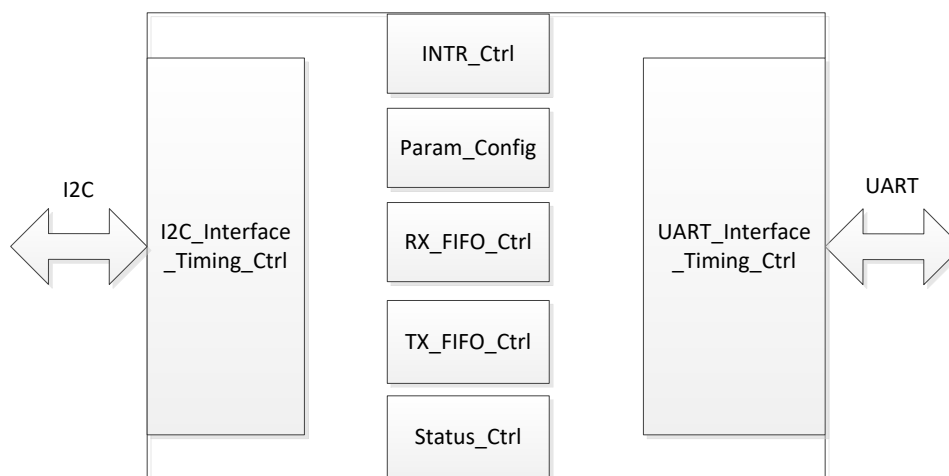
I²C_UART IP は、I²C マスターと UART ターミナルの間にあり、I²C から UART へのインターフェース変換を実装します。I²C マスターには、データ、クロック、および割り込み信号があり、UART 側には、受信データ、送信データ、およびフロー制御信号があり、ローカル入力には、リセットおよびクロック信号があります。そのブロック図を図 5-1 に示します。

図 5-1 システムアーキテクチャ



5.2 全体構造

図 5-2 全体構造



IP は、I²C_interface_Timing_Ctrl、INTR_Ctrl、Param_Config、RX_FIFO_Ctrl、TX_FIFO_Ctrl、Status_Ctrl、および UART_Interface_Timing_Ctrl モジュールで構成されています。

- I2C_interface_Timing_Ctrl : I²C マスターとの通信のほか、I²C インターフェースのタイミング制御およびプロトコル分析を実装します。
- INTR_Ctrl : IP の内部状態に従って割り込みを制御します。
- Param_Config : I2C マスターからの構成用パラメータを受信し、対応するモジュールに送ります。
- RX_FIFO_Ctrl : UART インターフェースからのデータバッファリングを実現します。
- TX_FIFO_Ctrl : I2C マスターからのデータバッファリングを実現します。
- Status_Ctrl : IP 内部インターフェースのステータスと動作ステータスの検出と統計を実現します。
- UART_Interface_Timing_Ctrl : UART 側との通信のほか、UART インターフェースのタイミング制御およびプロトコル分析を実装します。

5.3 Gowin I²C-UART IP レジスタ

Gowin I²C_UART IP レジスタを表 5-1 に示します。

表 5-1 Gowin I²C_UART IP レジスタ

番号	レジスタ名	レジスタのアドレス (4 ビット幅)	デフォルト値 (8 ビット幅)	タイプ	説明
1	RHR	0x0	-	読み出し専	受信保持レジスタ

番号	レジスタ名	レジスタのアドレス (4ビット幅)	デフォルト値 (8ビット幅)	タイプ	説明
				用	
2	THR	0x0	-	書き込み専用	送信保持レジスタ
3	IER	0x1	0x00	読み出し/書き込み	割り込みイネーブルレジスタ
4	IIR	0x2	0x01	読み出し専用	割り込み識別レジスタ
5	LSR	0x3	0x60	読み出し専用	ラインステータスレジスタ
6	MSR	0x4	0x10	読み出し専用	モデムステータスレジスタ
7	MCR	0x5	0x00	読み出し/書き込み	モデム制御レジスタ
8	FCR	0x6	0x00	読み出し/書き込み	FIFO制御レジスタ
9	TXLVL	0x7	0x00	読み出し専用	送信FIFOの有効データ数
10	RXLVL	0x8	0x00	読み出し専用	受信FIFOの有効データ数
11	DLL	0x9	0x0F	読み出し/書き込み	UART分周レジスタ(下位8bit)
12	DLH	0xA	0x00	読み出し/書き込み	UART分周レジスタ(上位8bit)

5.3.1 RHR レジスタ

RHR レジスタの定義を下表に示します。

表 5-2 RHR レジスタ

レジスタのアドレス (4ビット幅)	ビット	デフォルト値	タイプ	説明
0x0	Bit[7:0]	-	読み出し専用	UART 側の受信データを 64 バイトの深さでバッファリングします。

5.3.2 THR レジスタ

THR レジスタの定義を下表に示します。

表 5-3 THR レジスタ

レジスタのアドレス (4ビット幅)	ビット	デフォルト値	タイプ	説明
0x0	Bit[7:0]	-	書き込み専用	UART 側の送信データを 64 バイトの深さでバッファリングします。

5.3.3 IER レジスタ

IER レジスタの定義を下表に示します。

表 5-4 IER レジスタ

レジスタのアドレス (4 ビット幅)	ビット	デフォルト値	タイプ	説明
0x1	Bit[7:4]	-	-	Reserved
	Bit[3]	0	書き込み専用	Modem ステータス割り込み 0 : ディセーブル ; 1 : イネーブル
	Bit[2]	0	書き込み専用	受信ラインステータス割り込み 0 : ディセーブル ; 1 : イネーブル
	Bit[1]	0	書き込み専用	送信保持レジスタ割り込み 0 : ディセーブル ; 1 : イネーブル
	Bit[0]	0	書き込み専用	受信保持レジスタ割り込み 0 : ディセーブル ; 1 : イネーブル

5.3.4 IIR レジスタ

IIR レジスタの定義を下表に示します。

表 5-5 IIR レジスタ

レジスタのアドレス (4 ビット幅)	ビット	デフォルト値	タイプ	説明
0x2	Bit[7:3]	-	-	Reserved
	Bit[2:1]	00	読み出し専用	割り込みタイプ : 11: 受信ラインステータスエラー割り込み (1番目の優先度) 10: 受信保持レジスタ割り込み (2番目の優先度) 01: 送信保持レジスタ割り込み (3番目の優先度) 00: Modemステータス割り込み (最低優先度)
	Bit[0]	1	読み出し専用	割り込み状態 0 : 割り込み待機 ; 1 : 割り込み待機なし

5.3.5 LSR レジスタ

LSR レジスタの定義を下表に示します。

表 5-6 LSR レジスタ

レジスタのアドレス (4 ビット幅)	ビット	デフォルト値	タイプ	説明
0x3	Bit[7]	-	-	Reserved
	Bit[6]	1	読み出し専用	THR/TSR データのステータス。 0 : THR または TSR に、送信するデータがあります。 1 : THR および TSR は空です。

レジスタのアドレス (4 ビット幅)	ビット	デフォルト値	タイプ	説明
	Bit[5]	1	読み出し専用	THR データのステータス。 0 : THR に、送信するデータがあります。 1 : THR は空です。
	Bit[4]	0	読み出し専用	ブレーク割り込み。 0 : ブレーク割り込みなし。 1 : ブレーク割り込みが検出され (レベルは Low のままであり、送信はスタートビット+データビット+ストップビットを含む)、読み出し後にクリアされます。
	Bit[3]	0	読み出し専用	フレームエラー。 0 : フレームエラーなし。 1 : フレームエラーが検出され (ストップビットが失われた)、読み出し後にクリアされます。
	Bit[2]	-	-	Reserved
	Bit[1]	0	読み出し専用	オーバーフローエラー 0 : オーバーフローエラーなし。 1 : オーバーフローエラーがあり、読み出し後にクリアされます。
	Bit[0]	0	読み出し専用	RHR データステータス。 0 : データなし。 1 : RHR に少なくとも 1 つのデータが保存されます。

5.3.6 MSR レジスタ

MSR レジスタの定義を下表に示します。

表 5-7 MSR レジスタ

レジスタのアドレス (4 ビット幅)	ビット	デフォルト値	タイプ	説明
0x4	Bit[7:5]	-	-	Reserved
	Bit[4]	X	読み出し専用	送信を許可 (アクティブ High)
	Bit[3:1]	-	-	Reserved
	Bit[0]	0	読み出し専用	CTS信号のステータス変化を指示し (アクティブ High)、読み出し後にクリアされます。

注記：

X は、信号値が入口信号のステータスによって決定されることを示します。

5.3.7 MCR レジスタ

MCR レジスタの定義を下表に示します。

表 5-8 MCR レジスタ

レジスタのアドレス (4ビット幅)	ビット	デフォルト値	タイプ	説明
0x5	Bit[7:3]	-	-	Reserved
	Bit[2]	0	読み出し/ 書き込み	送受信ループバック。 0 : 通常データ通信。 1 : ループバックをイネーブ ルします。
	Bit[1]	0	読み出し/ 書き込み	送信をリクエストします。 0 : RTSをHighに駆動しま す。 1 : RTSをLowに駆動しま す。
	Bit[0]	-	-	Reserved

5.3.8 FCR レジスタ

FCR レジスタの定義を下表に示します。

表 5-9 FCR レジスタ

レジスタのアドレス (4ビット幅)	ビット	デフォルト値	タイプ	説明
0x6	Bit[7:6]	00	読み出し/ 書き込み	受信保持レジスタ割り込 みのトリガー条件 (FIFO のデータ数が次の値以上 の場合にトリガーされま す) : 00 : 8バイト ; 01 : 16バイト ; 10 : 32バイト ; 11 : 48バイト ;
	Bit[5:4]	00	読み出し/ 書き込み	送信保持レジスタ割り込 みのトリガー条件 (FIFO の空き容量が次の値以上 の場合にトリガーされま す) : 00 : 8バイト ; 01 : 16バイト ; 10 : 32バイト ; 11 : 48バイト ;
	Bit[3]	-	-	Reserved
	Bit[3]	0	読み出し/ 書き込み	送信FIFOをリセットし ます。 0 : 送信FIFOをリセット しません。 1 : 送信FIFOをリセット します。
	Bit[1]	0	読み出し/ 書き込み	受信FIFOをリセットし ます。 0 : 受信FIFOをリセット

レジスタのアドレス (4ビット幅)	ビット	デフォルト値	タイプ	説明
				しません。 1：受信FIFOをリセットします。
	Bit[0]	0	読み出し/書き込み	FIFOイネーブル。 0：受信/送信FIFOをオフにします。 1：受信/送信FIFOをオンにします。

5.3.9 TXLVL レジスタ

TXLVL レジスタの定義を下表に示します。

表 5-10 TXLVL レジスタ

レジスタのアドレス (4ビット幅)	ビット	デフォルト値	タイプ	説明
0x7	Bit[7]	-	-	Reserved
	Bit[6:0]	0x00	読み出し専用	TX FIFO の有効データ数。値の範囲：0～64

5.3.10 RXLVL レジスタ

RXLVL レジスタの定義を下表に示します。

表 5-11 RXLVL レジスタ

レジスタのアドレス (4ビット幅)	ビット	デフォルト値	タイプ	説明
0x8	Bit[7]	-	-	Reserved
	Bit[6:0]	0x00	読み出し専用	RX FIFO の有効データ数。値の範囲：0～64

5.3.11 DLL レジスタ

DLL レジスタの定義を下表に示します。

表 5-12 DLL レジスタ

レジスタのアドレス (4ビット幅)	ビット	デフォルト値	タイプ	説明
0x9	Bit[7:0]	0x0F	読み出し/書き込み	UART 分周レジスタの下位 8 ビット。

5.3.12 DLH レジスタ

DLH レジスタの定義を下表に示します。

表 5-13 DLH レジスタ

レジスタのアドレス (4ビット幅)	ビット	デフォルト値	タイプ	説明
0xA	Bit[7:0]	0x00	読み出し/書き込み	UART 分周レジスタの上位 8 ビット。

注記：

UART ボーレート=入力クロック周波数/分周器レジスタ値 (DLH + DLL)。分周レジスタ値が 10 以上。

5.4 操作手順

5.4.1 IP の初期化手順

1. 電源投入後、I²C マスターは IP のパラメータを構成します。推奨シーケンスは次のとおりです。
 - a). MCR
 - b). FCR
 - c). DLL
 - d). DLH
 - e). IER（最後に構成する）
2. I²C マスターは読み出し/書き込み動作を通じて UART 側と通信できます。

5.4.2 書き込み手順

割り込みが無効な場合

送信保持レジスタ割り込みを無効にした場合、I²C マスターは次のように書き込みを開始します。

1. I²C マスターは TXLVL レジスタをクエリして、現在の送信 FIFO のステータスを読み出します。
2. 送信 FIFO に十分な容量がある場合、I²C マスターは THR レジスタを介してデータを書き込むことができます。

割り込みが有効な場合

送信保持レジスタ割り込みを有効にした場合、I²C マスターは次のように書き込みを開始します。

1. I²C マスターは、I²C スレーブからの割り込み信号を受信すると、IIR レジスタをクエリし、現在の割り込み情報を読み出します。
2. 割り込みが送信保持レジスタ割り込みの場合、I²C マスターは THR レジスタにデータを書き込むことができます。

5.4.3 読み出し手順

読み出しが無効な場合

受信保持レジスタ割り込みを無効にした場合、I²C マスターは次のように読み出しを開始します。

1. I²C マスターは RXLVL レジスタをクエリして、現在の受信 FIFO のステータスを読み出します。
2. 受信 FIFO にデータがある場合、I²C マスターは RHR レジスタを介してデータを読み出すことができます。

読み出しが有効な場合

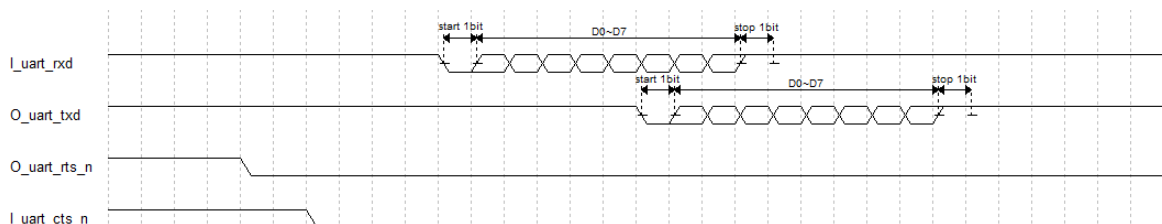
受信保持レジスタ割り込みを有効にした場合、I²C マスターは次のように読み出しを開始します。

1. I²C マスターは、I²C スレーブからの割り込み信号を受信すると、IIR レジスタをクエリし、現在の割り込み情報を読み出します。
2. 割り込みが受信保持レジスタ割り込みの場合、I²C マスターは RHR レジスタにデータを読み出すことができます。

5.5 インターフェースのタイミング

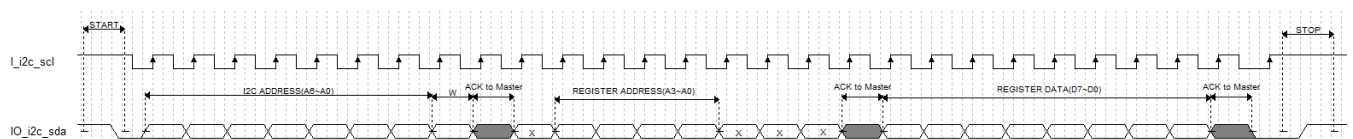
5.5.1 UART インターフェースのタイミング

図 5-3 UART インターフェースのタイミング



5.5.2 I²C インターフェースレジスタの書き込みタイミング

図 5-4 I²C インターフェースレジスタの書き込みタイミング

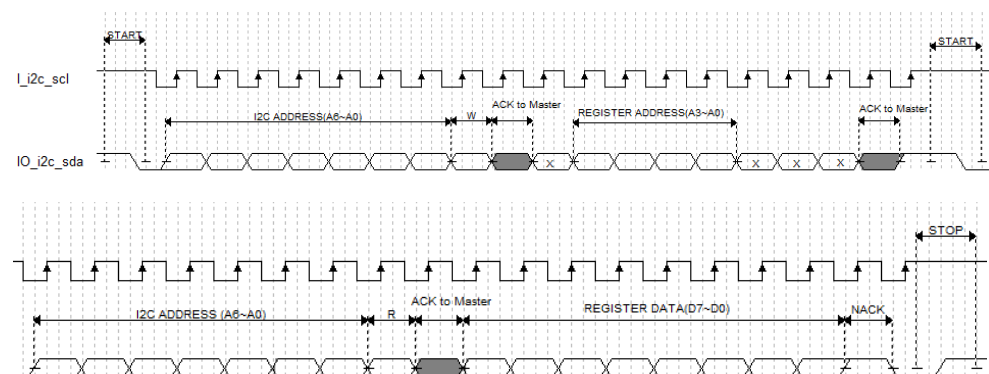


注記：

- W：書き込み、アクティブ Low。
- X：任意。
- A3~A0：レジスタのアドレス（4 ビット幅）。
- 入力クロックのクロックレートは、入力 I²C データレートの 10 倍以上。

5.5.3 I²C インターフェースレジスタの読み出しタイミング

図 5-5 I²C インターフェースレジスタの読み出しタイミング

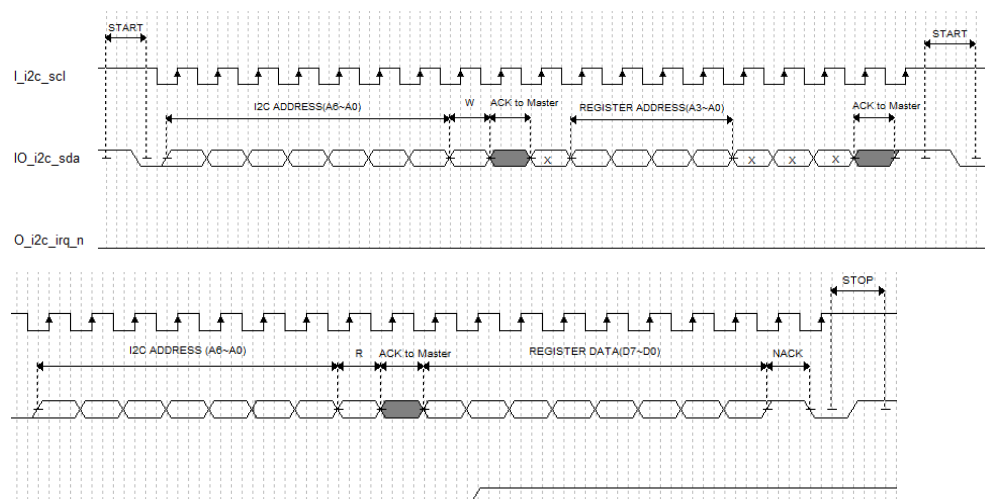


注記：

- W : 書き込み、アクティブ Low。
- R : 読み出し、アクティブ High。
- X : 任意。
- A3~A0 : レジスタのアドレス (4 ビット幅)。

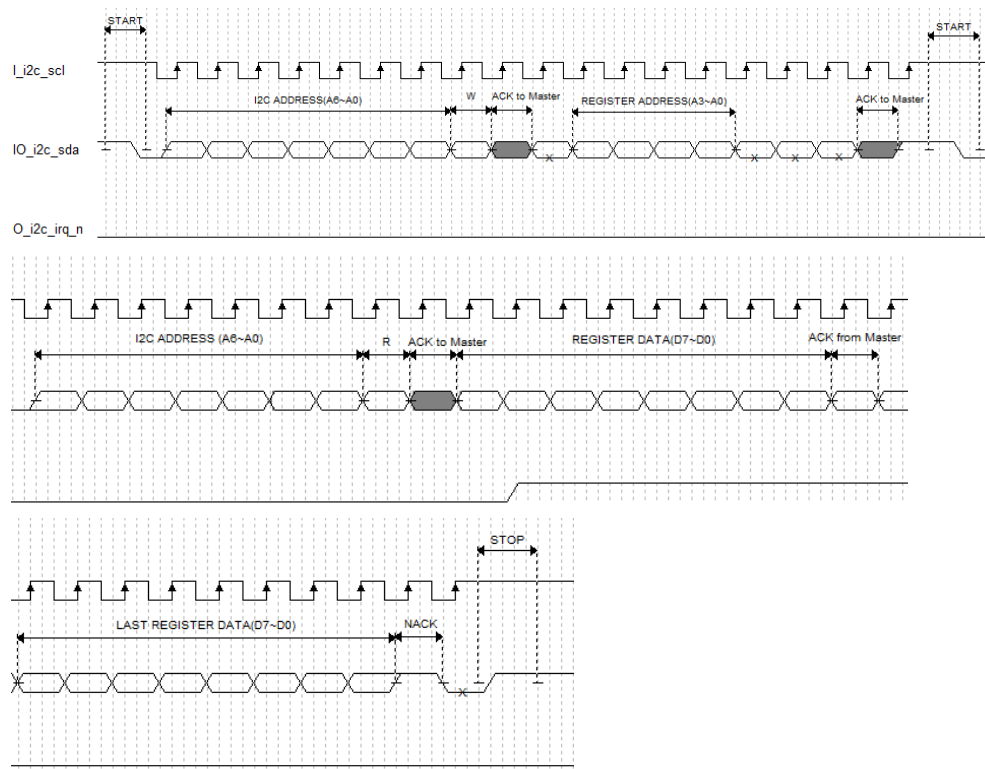
5.5.4 I²C インターフェースが LSR/MSR を読み出して割り込みをクリアするタイミング

図 5-6 I²C インターフェースが LSR/MSR を読み出して割り込みをクリアするタイミング



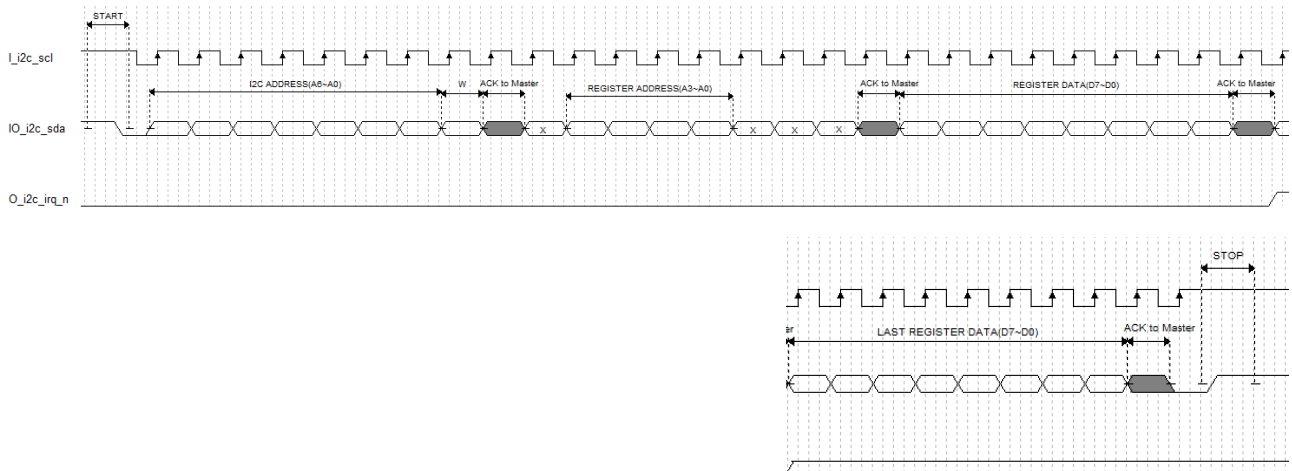
5.5.5 I²C インターフェースが RHR を読み出して割り込みをクリアするタイミング

図 5-7 I²C インターフェースが RHR を読み出して割り込みをクリアするタイミング



5.5.6 I²C インターフェースが THR を書き込んで割り込みをクリアするタイミング

図 5-8 I²C インターフェースが THR を書き込んで割り込みをクリアするタイミング

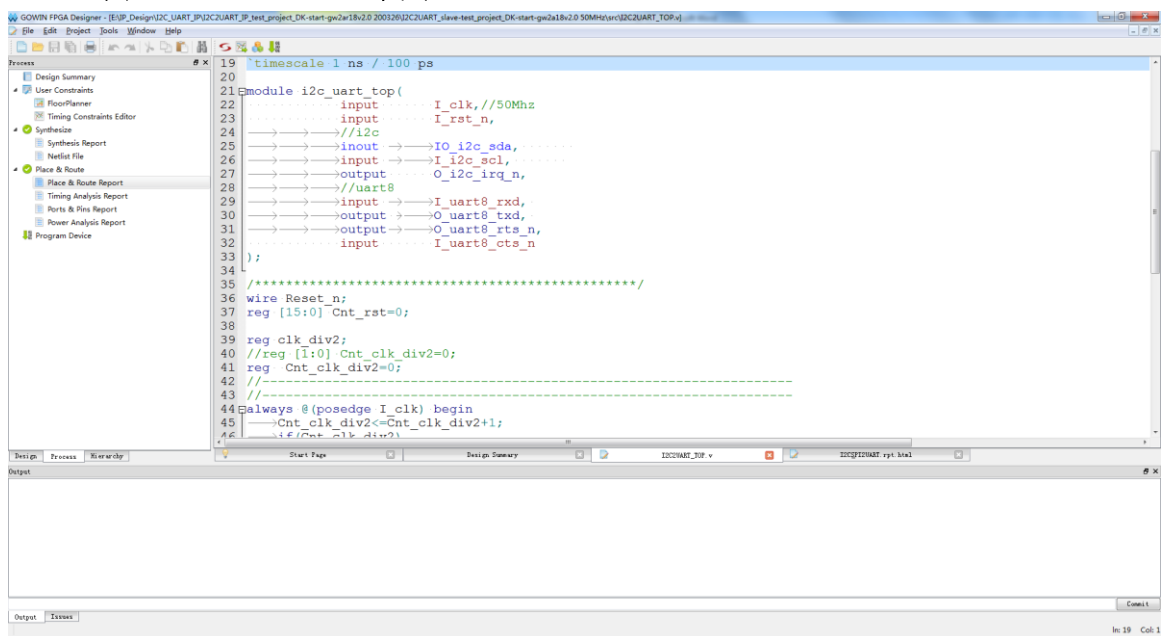


6 GUI での構成

Gowin ソフトウェア GUI のメニューバーの Tools で、IP Core Generator を使用して Gowin I²C_UART IP を呼び出し・構成できます。

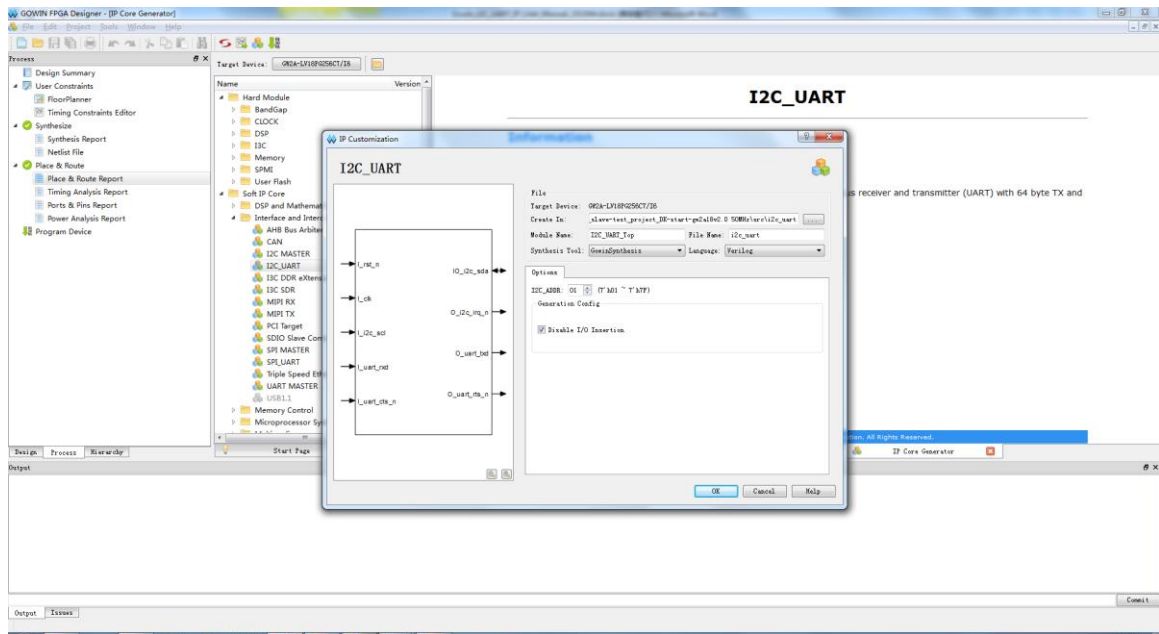
1. Gowin ソフトウェアを起動後、プロジェクトを開きます(図 6-1)。

図 6-1 プロジェクトを開く



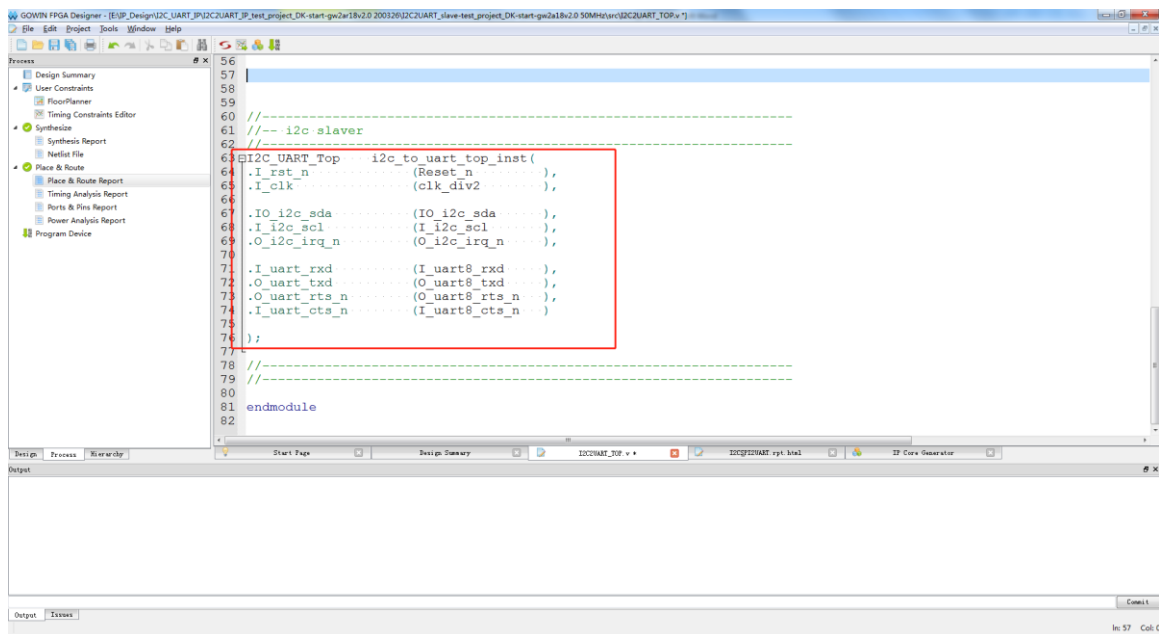
2. “Tools > IP Core Generator” を選択して、“I²C_UART” を呼び出します(図 6-2)。

図 6-2 I2C_UART の構成 GUI



3. この IP をインスタンス化します (図 6-3) :

図 6-3 I2C_UART のインスタンス化



合成、配置配線、ダウンロードなどを経て Gowin I²C_UART を使用します。

7 リファレンスデザイン

詳細については、GOWIN 公式 Web サイトの I²C_UART リファレンスデザインを参照してください。

