



Gowin USB 2.0 SoftPHY IP ユーザーガイド

IPUG781-1.7J, 2025-07-18

著作権について(2025)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云、**GOWIN**、、**GOWINSEMI**、**GOWIN**、Gowin、**高云**、晨熙、小蜜蜂、LittleBee、**Aroa-V**、GowinPnR、及びGoBridgeは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、**GOWINSEMI Terms and Conditions of Sale**(**GOWINSEMI** 取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2021/07/23	1.0J	初版。
2021/08/13	1.1J	IO 属性の構成を変更。
2021/10/12	1.2J	「 2.3 5V ホスト電源を使用して USB デバイスに電力を供給するソリューション 」を追加。
2021/12/23	1.3J	● 周辺回路の構成方法を変更。 ● IO の制約を追加。
2022/03/29	1.4J	リソース使用量の説明を追加。
2022/06/20	1.5J	● スピードグレードの要件を変更。 ● ピン制約要件の説明を変更。
2022/07/20	1.5.1J	表 2-1 に注記を追加。
2025/03/28	1.6J	● LVDS モードを追加。 ● 周辺回路の構成を変更。
2025/07/18	1.7J	● UTMI および ULPI インターフェースの使用の説明を追加。 ● USB 2.0 SoftPHY 外部回路接続の説明を改善。 ● 「図 3-3」を更新。 ● utmi_xcvrselect_i および utmi_termselect_i ポートの説明を更新。

目次

図一覧.....	ii
表一覧.....	iii
1 本マニュアルについて.....	1
1.1 マニュアルの内容.....	1
1.2 関連ドキュメント.....	1
1.3 用語、略語.....	2
1.4 テクニカル・サポートとフィードバック.....	2
2 概要.....	3
2.1 概要.....	3
2.2 特徴.....	3
2.3 5V ホスト電源を使用して USB デバイスに電力を供給するソリューション.....	4
2.4 リソース使用量.....	5
3 機能の説明.....	6
3.1 USB 2.0 SoftPHY のブロック図.....	6
3.2 USB 2.0 SoftPHY の外部回路の接続.....	7
4 信号の定義.....	12
5 GUI での構成.....	15

図一覧

図 3-1 USB 2.0 SoftPHY のブロック図.....	6
図 3-2 Single LVDS モードにおける USB スレーブデバイスのインターフェースの実装.....	8
図 3-3 Dual LVDS モードにおける USB スレーブデバイスのインターフェースの実装.....	9
図 3-4 GW1NSR-4 デバイス Pinout.....	11
図 5-1 IP Core Generator オプション.....	15
図 5-2 USB 2.0 SoftPHY IP コアを開く	16
図 5-3 USB 2.0 SoftPHY IP の構成画面.....	16

表一覧

表 1-1 用語、略語.....	2
表 2-1 Gowin USB 2.0 SoftPHY IP の概要.....	3
表 2-2 直流電気特性.....	4
表 2-3 リソース使用量(一).....	5
表 2-4 リソース使用量(二).....	5
表 4-1 信号の定義.....	12

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、ユーザーが GOWIN セミコンダクターの Gowin USB 2.0 SoftPHY IP を使いこなせるよう、その機能、信号、GUI での呼び出しなどについて説明します。本マニュアルに記載のソフトウェア GUI のスクリーンショットは、Gowin ソフトウェア V1.9.11.01 の場合のものです。ソフトウェアのアップデートにより、一部の内容が変更される場合があります。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- [GW1N シリーズFPGA 製品データシート\(DS100\)](#)
- [GW1NR シリーズFPGA 製品データシート\(DS117\)](#)
- [GW1NS シリーズFPGA 製品データシート\(DS821\)](#)
- [GW1NZ シリーズFPGA 製品データシート\(DS841\)](#)
- [GW1NSR シリーズFPGA 製品データシート\(DS861\)](#)
- [GW1NSER シリーズFPGA 製品データシート\(DS881\)](#)
- [GW1NRF シリーズBluetooth FPGA 製品データシート\(DS891\)](#)
- [GW2A シリーズFPGA 製品データシート\(DS102\)](#)
- [GW2AR シリーズFPGA 製品データシート\(DS226\)](#)
- [GW2ANR シリーズFPGA 製品データシート\(DS961\)](#)
- [GW2AN-55 FPGA 製品データシート\(DS976\)](#)
- [GW2AN-18X & 9X FPGA 製品データシート\(DS971\)](#)
- [GW5AT シリーズFPGA 製品データシート\(DS981\)](#)
- [GW5A シリーズFPGA 製品データシート\(DS1103\)](#)

- [GW5AST シリーズFPGA 製品データシート\(DS1239\)](#)
- [GW5AS シリーズFPGA 製品データシート\(DS1105\)](#)
- [GW5AR シリーズFPGA 製品データシート\(DS1108\)](#)
- [GW5ART シリーズFPGA 製品データシート\(DS1118\)](#)
- [Gowin ソフトウェア ユーザーガイド\(SUG100\)](#)

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を[表 1-1](#)に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
IP	Intellectual Property	設計資産
USB	Universal Serial Bus	ユニバーサル・シリアル・バス
UTMI	USB2.0 Transceiver Macrocell Interface	USB 2.0 トランシーバー・マクロセル・インターフェース
ULPI	UTMI+ Low Pin Interface	UTMI+ Low ピン・インターフェース
HS	Horizontal Sync	水平同期
FS	Full Speed	全速
LS	Low Speed	低速
NRZI	Non-Return to Zero Inverted	反転非ゼロ復帰

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

2.1 概要

Gowin USB 2.0 SoftPHY IP は、高速(480Mbps)、全速(12Mbps)、および低速(1.5Mbps)のデータ受信および送信をサポートする USB 低レベルトランシーバーです。

表 2-1 Gowin USB 2.0 SoftPHY IP の概要

Gowin USB 2.0 SoftPHY IP	
サポートされるデバイス ^[1]	● Arora ファミリー ● LittleBee ファミリー(GW1N-1/GW1N-1S/GW1NZ-1/GW1N-1P5 を除く)
ロジックリソース	表 2-3 および表 2-4 参照。
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンス・デザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis
統合開発環境	Gowin ソフトウェア(V1.9.8.05 以降)

注記：

[1] USB 2.0 SoftPHY IP は、スピードグレード C7 以上のデバイス(Arora V を除く)でのみサポートされます。

2.2 特徴

Gowin USB 2.0 SoftPHY IP の特徴は次のとおりです。

- 高速(480Mbps)、全速(12Mbps)、および低速(1.5Mbps)の周辺機器モードをサポート。
- データのデシリアライズをサポート。
- ビットのスタッフィングとアンスタッフィングをサポート。

- NRZI エンコーディングとデコーディングをサポート。
- UTMI インターフェースは、USB 2.0 Transceiver Macrocell Interface (UTMI) Version 1.05 の USB 周辺機器モードと互換性がある
- ULPI インターフェースは、UTMI+ Low Pin Interface (ULPI) Specification Revision 1.1 の USB 周辺機器モードと互換性がある

2.3 5V ホスト電源を使用して USB デバイスに電力を供給するソリューション

多くのソリューションは、個別の電源を提供せず、ケーブルを介して 5V のホスト電源を USB デバイスに供給します。ケーブルを介して電源が供給される USB デバイスの使用例をサポートするために、設計者は、デバイスの PCB 全体の BOM が USB ホストの電流制限とケーブルの電圧降下を超えないように注意する必要があります。

USB 2.0 仕様のセクション 7.1.2 および 7.3.2 には、USB ホストによって提供される電流および電圧降下の要件が記載されています。PCB 全体の BOM が指定されたホストの電流および最小電圧要件を満たすことができない場合は、別の電源を使用して回路基板に電力を供給することができます。

表 2-2 直流電気特性

パラメータ	記号	USB 2.0 仕様での位置	最小値	最大値	単位
電源電圧					
高消費電力ポート	V _{BUS}	セクション 7.2.1、注記 2	4.75	5.25	V
低消費電力ポート	V _{BUS}	セクション 7.2.1、注記 2	4.40	5.25	V
電源電流					
高消費電力ハブポート（出力）	I _{CCPRT}	セクション 7.2.1	500		mA
低消費電力ハブポート（出力）	I _{CCUPT}	セクション 7.2.1	100		mA
高消費電力機能（入力）	I _{CCHPF}	セクション 7.2.1		500	mA
低消費電力機能（入力）	I _{CCLPF}	セクション 7.2.1		100	mA
未構成の機能/ハブ(入力)	I _{CCINIT}	セクション 7.2.1.4		100	mA
サスペンドされた高消費電力デバイス	I _{CCSH}	セクション 7.2.3、注記 15		2.5	mA
サスペンドされた低消費電力デバイス	I _{CCSL}	セクション 7.2.3		500	μA

2.4 リソース使用量

GowinUSB 2.0 SoftPHY は Verilog で実装されます。そのリソース使用量は、使用されているデバイスの密度、スピードグレードなどにより異なる場合があります。例えば、GW1N-9 および GW5A-25 の場合、USB 2.0 SoftPHY のリソース使用量は表 2-3 と表 2-4 に示すようになります。

表 2-3 リソース使用量(一)

シリーズ	スピードグレード	リソース名	リソース使用量
GW1N-9	C7/I6	LUT	432
		REG	1040
		ALU	14
		BSRAM	2
		SSRAM	0
		IO	Single Mode : 9 Dual Mode: 11

注記：

スピードグレード C7/I6 のデバイスを使用してください。

表 2-4 リソース使用量(二)

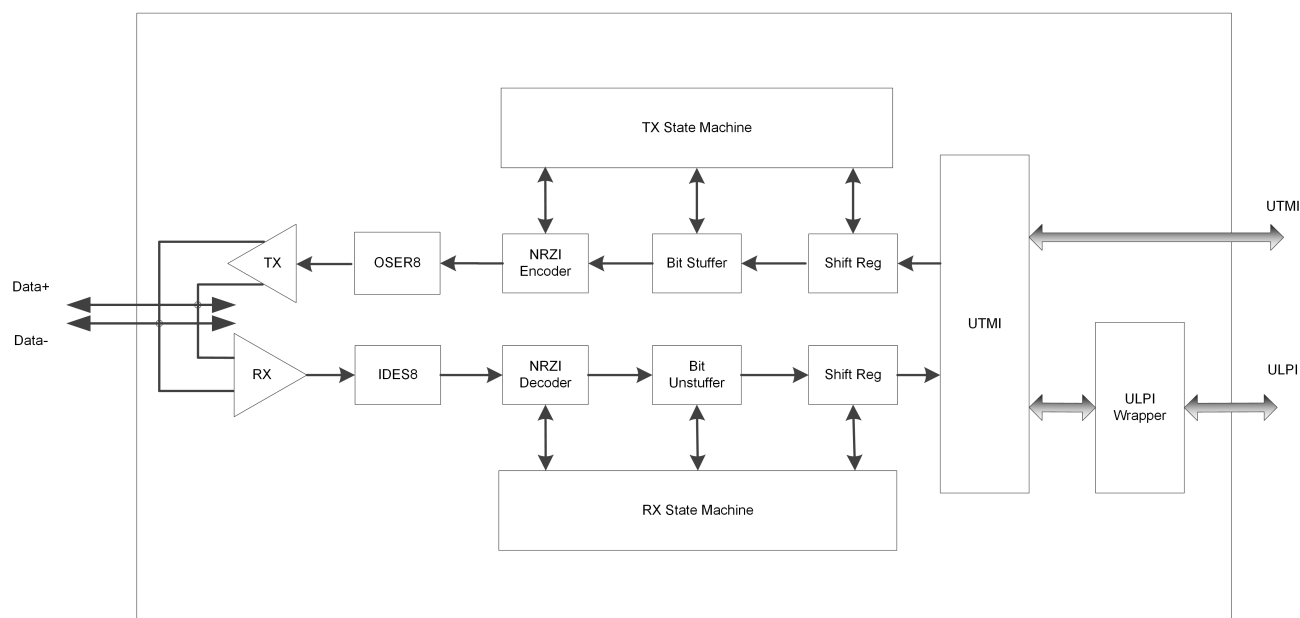
シリーズ	スピードグレード	リソース名	リソース使用量
GW5A-25	C2/I1	LUT	436
		REG	1029
		ALU	14
		BSRAM	2
		SSRAM	0
		IO	Single Mode : 9 Dual Mode: 11

3 機能の説明

3.1 USB 2.0 SoftPHY のブロック図

RX 方向では、USB シリアル・データが IDER8、NRZI デコーディング、ビットアンスタッフイング、データシフトモジュールを順番に通過した後、UTMI インターフェースまたは ULPI インターフェースを介して上位モジュールに送信されます。TX 方向では、UTMI インターフェースまたは ULPI インターフェースからの送信データを受信した後、データシフト、ビットスタッフイング、および NRZI エンコーディングモジュール経由で、シリアル TX データストリームが生成され、そして OSER8 を介して USB インターフェースに送信されます。

図 3-1 USB 2.0 SoftPHY のブロック図



3.2 USB 2.0 SoftPHY の外部回路の接続

USB 2.0 SoftPHY は、高速(480Mbps)転送モードをサポートします。USB 2.0 SoftPHY を USB スレーブデバイスとして使用する場合、外部回路は **Single LVDS** モードと **Dual LVDS** モードで接続できます。**Single LVDS** モードは、利用可能な FPGA IO が少なく、USB 伝送距離が短い場合に適しています。ユーザーは、IP 構成オプションの **LVDS Mode** で **Single** を選択できます。既存の Gowin 開発ボードの一部は、**Single LVDS** モードを使用しています。**Dual LVDS** モードは、USB 2.0 のフルシナリオでの使用に適しています。Gowin の最新の USB 開発ボードはデュアル LVDS モードを使用しています。**Dual LVDS** モードは互換性が高いため、最終製品では **Dual LVDS** モードを使用することをお勧めします。

図 3-2 Single LVDS モードにおける USB スレーブデバイスのインターフェースの実装

R1:1.5K ohm
 R2:0 ohm(1N/2A), 36 ohm(Arora V)
 R3:0 ohm(1N/2A), 36 ohm(Arora V)
 R4:42 ohm(1N/2A), 100 ohm(Arora V)
 R5:42 ohm(1N/2A), 100 ohm(Arora V)
 R6:1.8K ohm
 R7: 75 ohm(1N), 56 ohm(2A), 75 ohm(Arora V)
 C1:1uF

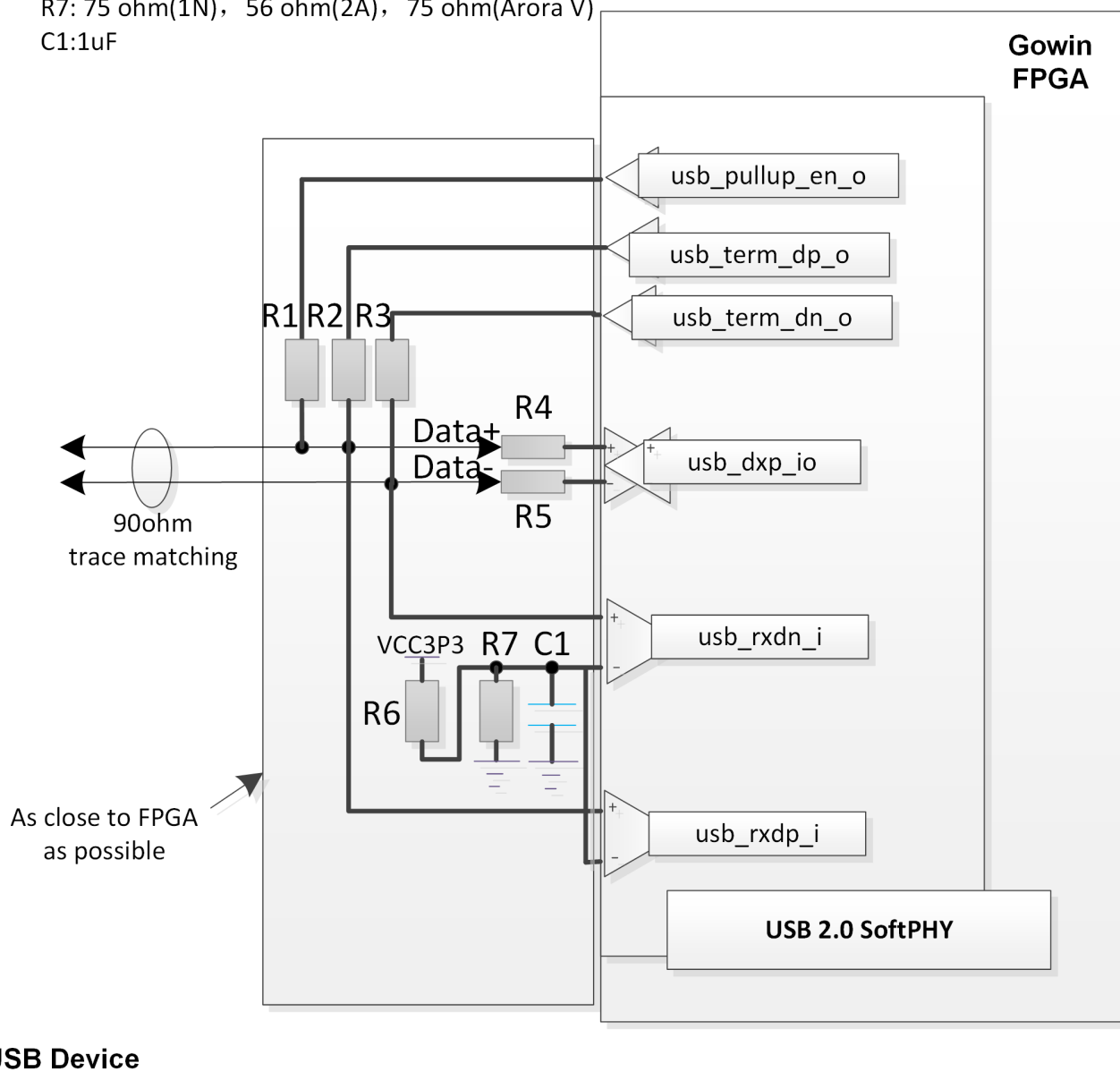
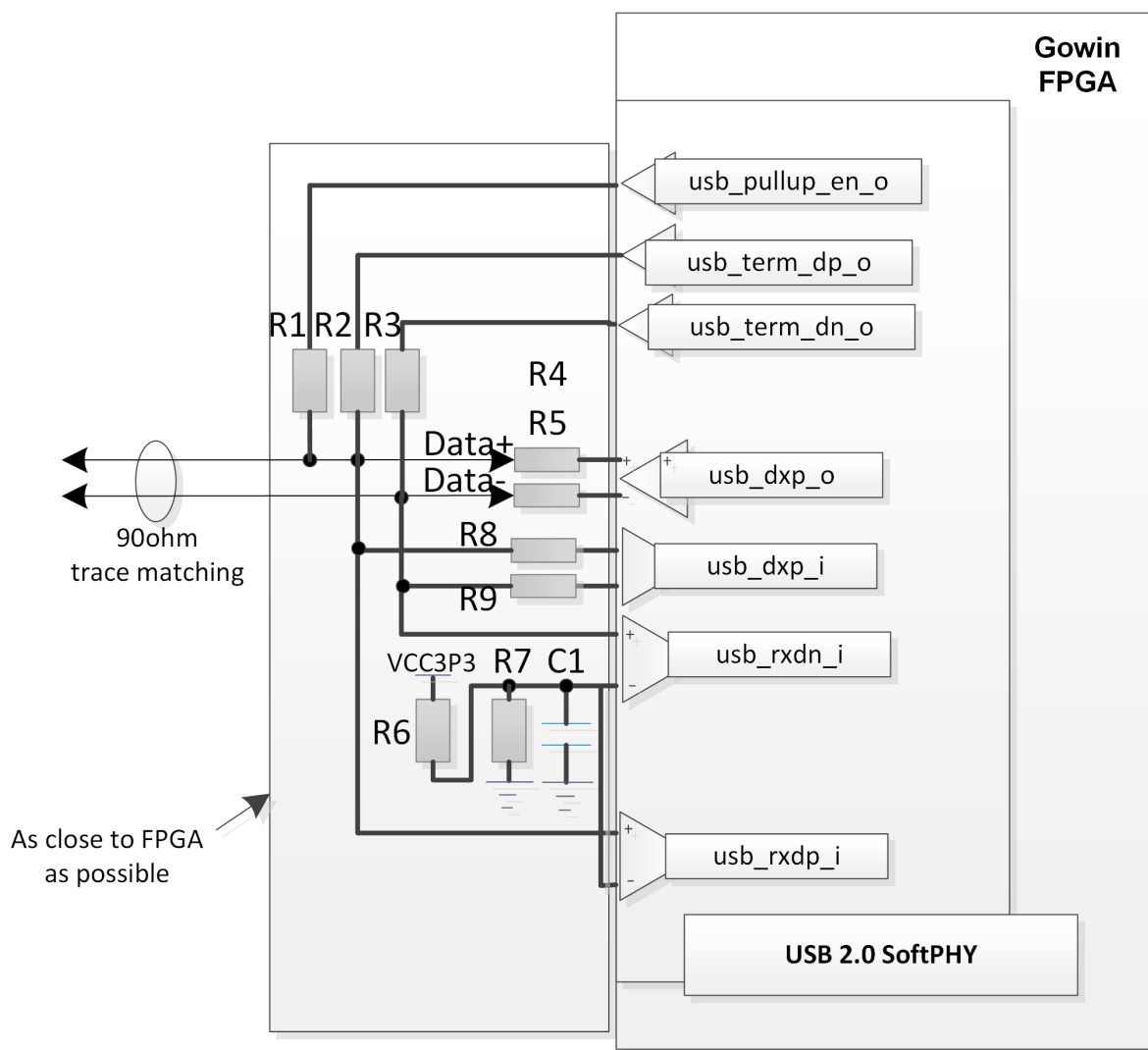


図 3-3 Dual LVDS モードにおける USB スレーブデバイスのインターフェースの実装

R1:1.5K ohm
 R2:0 ohm(1N/2A), 36 ohm(Arora V)
 R3:0 ohm(1N/2A), 36 ohm(Arora V)
 R4:42 ohm(1N/2A), 100 ohm(Arora V)
 R5:42 ohm(1N/2A), 100 ohm(Arora V)
 R6:1.8K ohm
 R7: 75 ohm(1N), 56 ohm(2A), 75 ohm(Arora V)
 R8: 0 ohm
 R9: 0 ohm
 C1:1uF



USB Device

1. Gowin GW2A シリーズ FPGA の IO ポートの属性制約は次のとおりです。

- usb_dxp_io: IO_TYPE= LVCMOS33D PULL_MODE= NONE DIFF_RESISTOR=OFF DRIVE=4 ; (Single Mode Only)

- usb_dxp_o: IO_TYPE= LVCMOS33D PULL_MODE= NONE DIFF_RESISTOR=OFF DRIVE=4 ; (Dual Mode Only)
- usb_dxp_i: IO_TYPE= LVCMOS33D PULL_MODE= NONE ; (Dual Mode Only)
- usb_term_dn_o: IO_TYPE=LVCMOS33 PULL_MODE= NONE DRIVE=8
- usb_term_dp_o: IO_TYPE=LVCMOS33 PULL_MODE=NONE DRIVE=8
- usb_pullup_en_o: IO_TYPE=LVCMOS33 PULL_MODE=NONE DRIVE=8
- usb_rxdn_i: IO_TYPE=LVDS25 PULL_MODE=NONE DIFF_RESISTOR=OFF
- usb_rxdp_i: IO_TYPE=LVDS25 PULL_MODE=NONE DIFF_RESISTOR=OFF

2. Gowin GW1N シリーズ FPGA の IO ポートの属性制約は次のとおりです。

- usb_dxp_io: IO_TYPE= LVCMOS33D PULL_MODE= NONE DIFF_RESISTOR=OFF DRIVE=8 ; (Single Mode Only)
- usb_dxp_o: IO_TYPE= LVCMOS33D PULL_MODE= NONE DIFF_RESISTOR=OFF DRIVE=8 ; (Dual Mode Only)
- usb_dxp_i: IO_TYPE= LVCMOS33D PULL_MODE= NONE ; (Dual Mode Only)
- usb_term_dn_o: IO_TYPE=LVCMOS33 PULL_MODE= NONE DRIVE=16
- usb_term_dp_o: IO_TYPE=LVCMOS33 PULL_MODE=NONE DRIVE=16
- usb_pullup_en_o: IO_TYPE=LVCMOS33 PULL_MODE=NONE DRIVE=8
- usb_rxdn_i: IO_TYPE=LVDS25 PULL_MODE=NONE DIFF_RESISTOR=OFF
- usb_rxdp_i: IO_TYPE=LVDS25 PULL_MODE=NONE DIFF_RESISTOR=OFF

3. Arora V デバイスの IO ポートの属性制約は次のとおりです。

- usb_dxp_io: IO_TYPE= LVCMOS33D PULL_MODE= NONE DIFF_RESISTOR=OFF DRIVE=8 ; (Single Mode Only)
- usb_dxp_o: IO_TYPE= LVCMOS33D PULL_MODE= NONE DIFF_RESISTOR=OFF DRIVE=8 ; (Dual Mode Only)
- usb_dxp_i: IO_TYPE= LVCMOS33D PULL_MODE= NONE ; (Dual Mode Only)
- usb_term_dn_o: IO_TYPE=LVCMOS33 PULL_MODE= NONE DRIVE=8
- usb_term_dp_o: IO_TYPE=LVCMOS33 PULL_MODE=NONE DRIVE=8
- usb_pullup_en_o: IO_TYPE=LVCMOS33 PULL_MODE=NONE DRIVE=8
- usb_rxdn_i: IO_TYPE=LVDS25 PULL_MODE=NONE DIFF_RESISTOR=OFF
- usb_rxdp_i: IO_TYPE=LVDS25 PULL_MODE=NONE DIFF_RESISTOR=OFF

4. FPGA の USB インターフェースに関連するすべての信号を同じ Bank に、隣接するように配置することをお勧めします。I/O が配置されている Bank の電源電圧は 3.3V です。usb_dxp_io、usb_dxp_o、usb_dxp_i などの差動信号は PCB 上で等長である必要があります、その他の信号 usb_term_dp_o および usb_term_dn_o も PCB 上で等長である必要があります。

5. LittleBee ファミリーおよび Arora ファミリーの FPGA 製品(Arora V デバイスを除く)の場合、usb_dxp_io 差動ペアおよび usb_dxp_i 差動ペアが配置されている同じバンクの隣接する差動ペアが存在し、使用されていない必要があります。例えば、GW1NSR-4 の場合、そのピン配置図を図 3-4 に示します。usb_dxp_io が G5/H5 (つまり、ピン IOR11A/IOR11B) に割り当てられている場合、隣接する差動ピン IOR10A/IOR10B が存在しないため、Gowin ソフトウェアでのプロジェクトの合成・配置配線中にエラーが報告されます。usb_dxp_io 差動ペアが G6/H6 (つまり、ピン IOR13A/IOR13B) に割り当てられている場合、隣接する差動ペア IOR12A/IOR12B が存在するため、プロジェクトは Gowin ソフトウェアによって正常に合成・配置配線できます。

図 3-4 GW1NSR-4 デバイス Pinout

GW1NSR系列FPGA产品
GW1NSR-4器件Pinout
Pin List



管脚名	功能	BANK	配置功能	差分Pair	LVDS	X16	MG64P
IOB13A	I/O	3		True_of IOB13B	NONE	NONE	
IOB13B	I/O	3		Comp_of IOB13A	NONE	NONE	
IOB14A	I/O	3		True_of IOB14B	NONE	NONE	
IOB14B	I/O	3		Comp_of IOB14A	NONE	NONE	
IOB15A	I/O	3		True_of IOB15B	NONE	NONE	
IOB15B	I/O	3		Comp_of IOB15A	NONE	NONE	
IOB16A/GCLKT_5	I/O	3	GCLKT_5	True_of IOB16B	NONE	NONE	
IOB16B/GCLKC_5	I/O	3	GCLKC_5	Comp_of IOB16A	NONE	NONE	
IOB22A/GCLKT_4	I/O	3	GCLKT_4	True_of IOB22B	NONE	NONE	
IOB22B/GCLKC_4	I/O	3	GCLKC_4	Comp_of IOB22A	NONE	NONE	
IOB23A	I/O	3		True_of IOB23B	NONE	NONE	
IOB23B	I/O	3		Comp_of IOB23A	NONE	NONE	
IOB24A	I/O	3		True_of IOB24B	NONE	NONE	
IOB24B	I/O	3		Comp_of IOB24A	NONE	NONE	
IOB25A	I/O	3		True_of IOB25B	NONE	NONE	
IOB25B	I/O	3		Comp_of IOB25A	NONE	NONE	
IOB29A	I/O	3		True_of IOB29B	NONE	NONE	
IOB29B	I/O	3		Comp_of IOB29A	NONE	NONE	
IOB4A	I/O	3		True_of IOB4B	NONE	NONE	
IOB4B	I/O	3		Comp_of IOB4A	NONE	NONE	
IOB5A	I/O	3		True_of IOB5B	NONE	NONE	
IOB5B	I/O	3		Comp_of IOB5A	NONE	NONE	
IOB6A	I/O	3		True_of IOB6B	NONE	NONE	
IOB6B	I/O	3		Comp_of IOB6A	NONE	NONE	
IOB7A	I/O	3		True_of IOB7B	NONE	NONE	
IOB7B	I/O	3		Comp_of IOB7A	NONE	NONE	
IOR11A/GCLKT_3	I/O	2	GCLKT_3	True_of IOR11B	TRUE	x16	G5
IOR11B/GCLKC_3	I/O	2	GCLKC_3	Comp_of IOR11A	TRUE	NONE	H5
IOR12A	I/O	2		True_of IOR12B	NONE	NONE	
IOR12B	I/O	2		Comp_of IOR12A	NONE	NONE	
IOR13A	I/O	2		True_of IOR13B	TRUE	x16	G6
IOR13B	I/O	2		Comp_of IOR13A	TRUE	NONE	H6
IOR14A	I/O	2		True_of IOR14B	NONE	NONE	

© 2020 GOWINSEMI

UG864-1.0

5(10)

4 信号の定義

Gowin USB 2.0 SoftPHY IP 信号の定義を表 4-1 に示します。

表 4-1 信号の定義

番号	信号名	方向	幅(ビット)	説明
1	clk_i	I	1	入力クロック信号(60MHz)
2	fclk_i	I	1	入力クロック信号(480MHz)
3	rst_i	I	1	非同期リセット信号。PHY 内部状態機械をリセットします。
4	pll_locked_i	I	1	PLL のロック信号。
5	utmi_data_out_i	I	8	データ入力。8 ビットパラレル送信データバス。
6	utmi_txvalid_i	I	1	送信データ有効の指示。アクティブ High。
7	utmi_txready_o	O	1	送信データ準備完了信号。PHY がコントローラ側から送信されるデータを受信できることを示します。
8	utmi_data_in_o	O	8	データ出力。8 ビット・パラレル・データ受信バス。
9	utmi_rxactive_o	O	1	データ受信アクティベーション。PHY が SYNC 信号を検出し、データの受信を開始することを示します。
10	utmi_rxvalid_o	O	1	受信データ有効。アクティブ High。
11	utmi_rxerror_o	O	1	受信データエラー。アクティブ High。
12	utmi_linestate_o	O	2	受信側の回線状態 : DM DP 2'b00 : SE0 2'b01 : 「J」 状態 2'b10 : 「K」 状態 2'b11 : SE1
13	utmi_opmode_i	I	2	動作モード選択信号 :

番号	信号名	方向	幅(ビット)	説明
13	utmi_opmode_i	I	2	2'b00 : USB 通常モード。ビットスタッフィングと NRZI エンコードが有効。 2'b01 : USB ドライバ無効モード。USB の TX はハイインピーダンス状態 2'b10 : USB 出力のビットスタッフィングおよび NRZI エンコードが無効 2'b11 : Reserved
14	utmi_xcvrselect_i	I	2	転送モード選択信号： 2'b00 : HS 転送モードが有効 2'b01 : FS 転送モードが有効 2'b10 : LS 転送モードが有効 2'b11 : Reserved
15	utmi_termselect_i	I	1	終端抵抗選択信号： 1'b0 : HS 終端抵抗が有効 1'b1 : FS/LS 信号のプルアップが有効
16	ulpi_txdata_i	I	8	ULPI インターフェースのデータ入力。8 ビットパラレル送信データバス。
17	ulpi_rxdata_o	O	8	ULPI インターフェースのデータ出力。8 ビットパラレル送信データバス。
18	ulpi_dir_o	O	1	ULPI インターフェースのデータ方向の指示： 1'b0 : データ方向は Link to PHY 1'b1 : データ方向は PHY to Link
19	ulpi_stp_i	I	1	ULPI インターフェースのデータ送信停止信号、アクティブ High
20	ulpi_nxt_o	O	1	ULPI インターフェースの Link データ受信信号、アクティブ High
21	usb_dxp_io	I/O	1	USB データ信号 Data+双方向。LVDS_Mode が Single として構成されている場合に有効
22	usb_dxn_io	I/O	1	USB データ信号 Data-双方向。LVDS_Mode が Single として構成されている場合に有効
23	usb_dxp_i	I	1	USB データ信号 Data+入力。LVDS_Mode が Dual として構成されている場合に有効
24	usb_dxn_i	I	1	USB データ信号 Data-入力。LVDS_Mode が Dual として構成されている場合に有効
25	usb_dxp_o	O	1	USB データ信号 Data+出力。LVDS_Mode が Dual として構成されている場合に有効
26	usb_dxn_o	O	1	USB データ信号 Data-出力。LVDS_Mode が Dual として構成されている場合に有効

番号	信号名	方向	幅(ビット)	説明
27	usb_rxdp_i	I	1	USB データ信号 Data+入力
28	usb_rxdn_i	I	1	USB データ信号 Data-入力
29	usb_pullup_en_o	O	1	USB データ信号 Data+の 1.5K プルアップ抵抗の制御
30	usb_term_dp_o	I/O	1	USB データ信号 Data+の終端抵抗の制御
31	usb_term_dn_o	I/O	1	USB データ信号 Data-の終端抵抗の制御

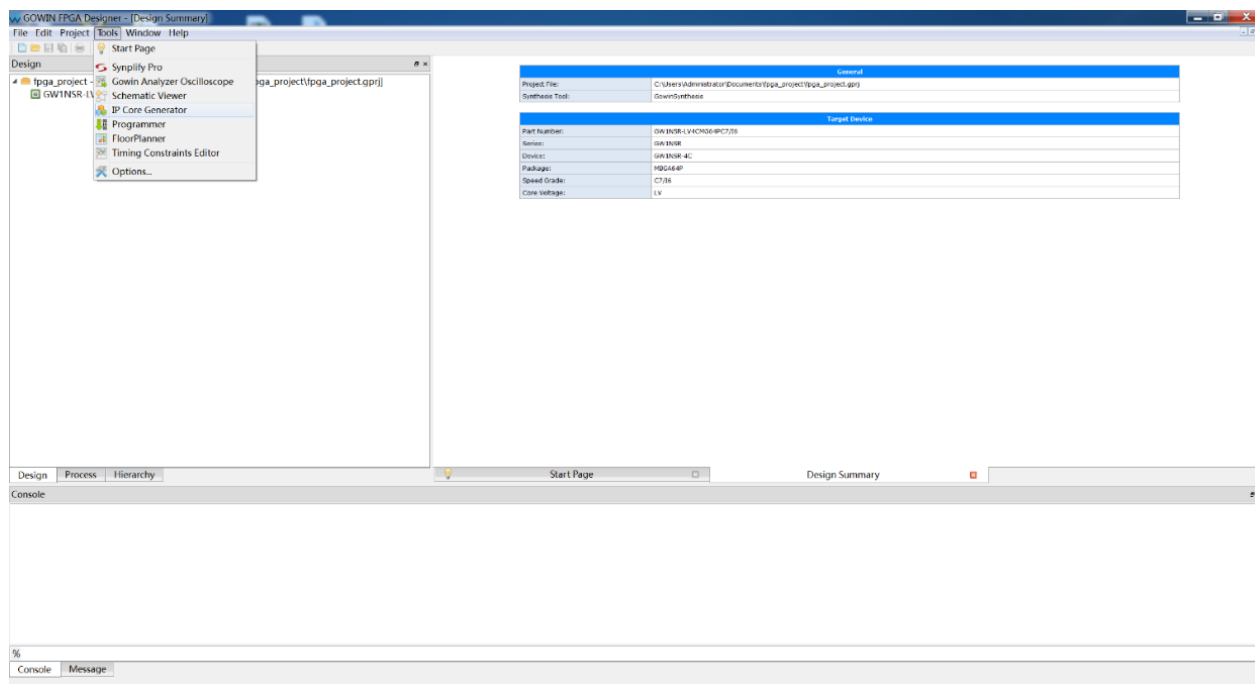
5 GUI での構成

Gowin ソフトウェア GUI のメニューバー > Tools > IP Core Generator を通じて IP を呼び出し・構成することができます。

1. IP Core Generator を開く

プロジェクトが作成された後、「Tools > IP Core Generator」を開きます(図 5-1)。

図 5-1 IP Core Generator オプション



2. USB 2.0 SoftPHY IP コアを開く

「Soft IP Core > Interface and Interconnect > USB 2.0 SoftPHY IP」を選択してダブルクリックします(図 5-2)。

図 5-2 USB 2.0 SoftPHY IP コアを開く

USB 2.0 SoftPHY

Information

Type: USB 2.0 SoftPHY

Vendor: GOWIN Semiconductor

Summary

The USB 2.0 SoftPHY IP core is a transceiver compliant with the USB 2.0 Transceiver Macrocell Interface. It is capable of transmitting and receiving serial data at high speed (480M bit/s) data rate, full speed (12M bit/s) data rate and low speed (1.5M bit/s) data rate. While transmitting, the PHY serializes data, generates Synchronize (SYNC) and End-of-Packet (EOP) packet fields, and performs bit stuffing and Non-Return-to-Zero Inverted (NRZI) encoding. While receiving data, the PHY recovers incoming data and clock, de-serializes data, strips SYNC and EOP fields, and performs bit un-stuffing and NRZI decoding.

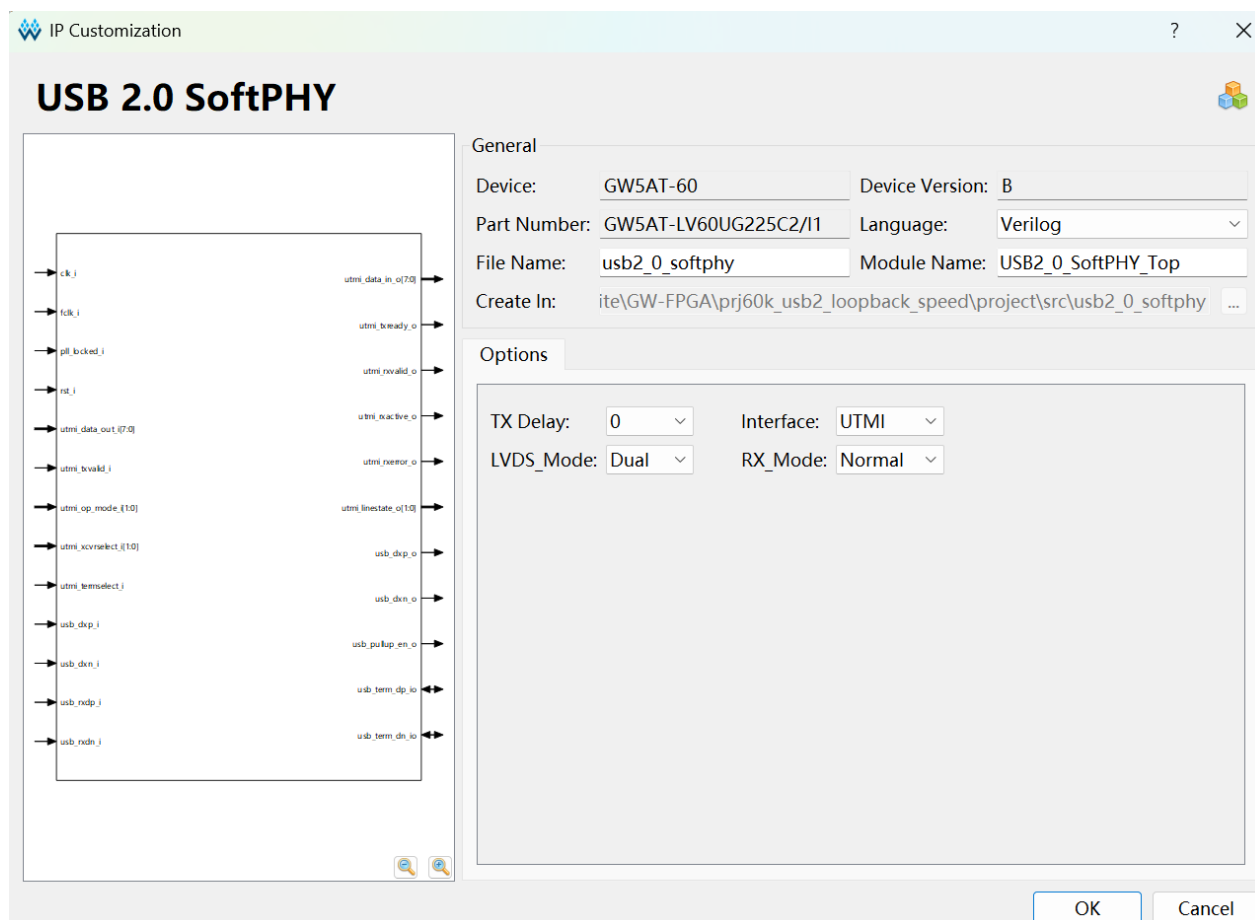
Reference

- [Reference documents\(CN\)](#) - IP reference designs and user guide
- [Reference documents\(EN\)](#) - IP reference designs and user guide

3. USB 2.0 SoftPHY IP コアの構成画面

Gowin USB 2.0 SoftPHY IP コアの構成画面を図 5-3 に示します。左側は、Gowin USB2.0 SoftPHY IP コアのポート図です。右側は、構成可能なオプションです。

図 5-3 USB 2.0 SoftPHY IP の構成画面



General 構成タブ

「General」構成ボックス：IP ファイルの構成に使用されます。

- **Device**：対象デバイス。
- **Part Number**：部品番号。
- **Language**：IP を実現するハードウェア記述言語。右側のドロップダウン・リストからターゲット言語(Verilog または VHDL)を選択します。
- **Module Name**：生成される IP ファイルのモジュール名。右側のテキストボックスで編集できます。**Module Name** をプリミティブ名と同じにすることはできません。同じである場合、エラーが報告されます。
- **File Name**：生成される IP ファイルのファイル名。右側のテキストボックスで再編集できます。
- **Create In**：生成される IP ファイルのパス。右側のテキストボックスでパスを直接編集するか、テキストボックスの右側にある選択ボタンを使用してパスを選択できます。

Option 構成タブ

- **TX Delay**：0/1/2。USB 信号出力の遅延を構成します。
- **Interface**：UTMI/ULPI。IP 制御インターフェースのタイプを構成します。
- **LVDS_Mode**：Single/Dual。SoftPHY IP USB ポートのタイプを選択します。**Single** モードでは 1 つの差動ペアを使用して USB 信号伝送を実装し、**Dual** モードでは 2 つの差動ペアを使用して USB 信号伝送を実装します。**Dual** モードでは、USB の TX IO と RX IO が分離されているため、USB 信号の受信感度が向上します。
- **RX_Mode**：Normal/Advance。SoftPHY IP USB 受信モードを選択します。**Normal** モードでは、60MHz の低速クロックを使用して RX データを処理し、**Advance** モードでは 120MHz の高速クロックを使用して RX データを処理します。**Advance** モードは、データ遅延が小さく、タイミング要件が高いため、Arora V FPGA に適しています。

