Gowin MIPI D-PHY RX TX Advance IP ユーザーガイド

IPUG948-2.3J, 2026-10-15

著作権について(2026)

著作権に関する全ての権利は、Guangdong Gowin Semiconductor Corporation に留保されています。

GOWIN高云、GOWIN、、 GOWINSEMI、GOWIN、Gowin、高云、晨熙、小蜜蜂 、LittleBee、Arora-V、GowinPnR、及びGoBridgeは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale(GOWINSEMI 取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2020/09/01	1.0J	初版。
2021/04/27	1.1J	D-PHY RX ポートの説明を変更。
2021/07/09	1.11J	● IP 対応デバイスの情報を更新。 ●「*8 MIPI D-PHY のデータレート表*」を追加。
2023/05/16	1.12J	●「*3.4 リソース使用量*」を変更。 ●「*3.5 サポートされるデバイス*」を更新。
2023/06/08	1.13J	レーンごとの TX データレート(Line Rate)の範囲を変更。
2024/05/22	2.0J	● サポートされる最大レートを更新。 ● TX ポートの説明を更新。 ● サポートされるデバイスの情報を更新。
2024/07/18	2.0.1J	● MIPI IO の説明を更新。 ●「*1.2 関連ドキュメント*」を更新。
2024/10/25	2.0.2J	「*3.5 サポートされるデバイス*」を更新。
2024/12/13	2.0.3J	「*3.5 サポートされるデバイス*」を更新。
2025/02/28	2.1J	●「*3.5 サポートされるデバイス*」を更新。 ●「*1.2 関連ドキュメント*」を更新。 ● MIPI D-PHY RX Advance IP の IO ポートを更新。
2025/07/04	2.2J	● MIPI D-PHY TX Advance IP に int_pll_lock 信号と init_clk 信号を追加。 ● MIPI D-PHY TX Advance IP に PLL Reference Clock パラメータを追加。 ●「Generation Config」オプションの説明を追加。 ● RX データレートの範囲を更新。
2025/08/08	2.2.1J	「表 3-4」および「表 3-6」に、ソフト MIPI D-PHY RX/TX をサポートしていない一部のパッケージに関する注記を追加。
2025/10/30	2.2.2J	●「表 3-4」および「表 3-6」から、ソフト MIPI D-PHY RX/TX をサポートしていないパッケージに関する注記を削除。 ●「表 3-5」および「表 3-7」に、MIPI IO RX/TX をサポートしていないパッケージに関する注記を追加。
2026/03/13	2.2.3J	「*3.1 主な特徴*」および「*3.2 最大周波数*」に、line rate に関する注記を追加。
2026/08/11	2.2.4J	init_clk ポートの説明を更新。
2026/10/15	2.3J	● MIPI D-PHY RX TX Advance IP のブロック図を更新。 ● MIPI D-PHY RX TX Advance IP のポートの説明を更新。 ●「*6 タイミングの説明*」の説明を更新。 ● 画面とオプションの説明を更新。

目次

図一覧 iii
表一覧 iv
1 本マニュアルについて 1
1.1 マニュアルの内容 1
1.2 関連ドキュメント 1
1.3 用語、略語 2
1.4 テクニカル・サポートとフィードバック 2
2 概要 3
2.1 MIPI D-PHY RX/TX Advance IP の紹介 3
2.2 MIPI D-PHY 3
3 特徴及び性能 5
3.1 主な特徴 5
3.2 最大周波数 5
3.3 レイテンシ 5
3.4 リソース使用量 6
3.5 サポートされるデバイス 7
4 機能の説明 9
4.1 MIPI D-PHY RX Advance IP の構造及び機能 9
4.2 MIPI D-PHY TX Advance IP の構造及び機能 10
5 ポートの説明 12
5.1 Gowin MIPI D-PHY RX Advance IP のポート 12
5.2 Gowin MIPI D-PHY TX Advance IP のポート 15
6 タイミングの説明 18
6.1 MIPI D-PHY RX Advance ユーザーインターフェースのタイミング 18
6.1.1 RX リセット 18
6.1.2 LP 受信 18
6.1.3 LP 送信 19
6.1.4 HS 受信 20
6.1.5 バイト・アライメント 21
6.1.6 レーン・アライメント 21

6.1.7 位相校正.....21
6.2 MIPI D-PHY TX Advance ユーザーインターフェースのタイミング..... 24
6.2.1 TX リセット..... 24
6.2.2 クロック.....24
6.2.3 LP 送信.....24
6.2.4 LP 受信.....25
6.2.5 HS 送信.....25
7 呼び出しと構成.....27
7.1 MIPI D-PHY RX Advance の構成.....27
7.2 MIPI D-PHY TX Advance の構成..... 29
付録 A MIPI D-PHY のデータレート表.....31

図一覧

図 2-1 MIPI D-PHY の構造....4
図 4-1 MIPI D-PHY RX Advance IP の構造....10
図 4-2 MIPI D-PHY TX Advance IP の構造....11
図 6-1 RX Advance クロック・レーンの LP 受信....18
図 6-2 RX Advance データ・レーンの LP 受信....19
図 6-3 RX Advance クロック・レーンの LP 送信....19
図 6-4 RX Advance データ・レーンの LP 送信....20
図 6-5 RX Advance クロック・レーンの HS 受信....20
図 6-6 RX Advance データ・レーンの HS 受信....21
図 6-7 クロックの位相ずれ....22
図 6-8 校正後のクロックとデータの位相関係....22
図 6-9 RX Advance IO Delay スキャン....23
図 6-10 内部 PLL を使用する場合のタイミング図....24
図 6-11 TX Advance クロック・レーンの LP 送信....24
図 6-12 TX Advance データ・レーンの LP 送信....25
図 6-13 TX Advance クロック・レーンの LP 受信....25
図 6-14 TX Advance データ・レーンの LP 受信....25
図 6-15 TX Advance データ・レーンの HS 送信....26
図 7-1 MIPI D-PHY RX Advance の構成画面....27
図 7-2 MIPI D-PHY TX Advance の構成画面....29

表一覧

表 1-1 用語、略語.....2
表 2-1 Gowin MIPI D-PHY RX TX Advance IP の概要.....3
表 3-1 D-PHY RX TX Advance Latency.....6
表 3-2 MIPI D-PHY RX Advance のリソース使用量.....6
表 3-3 MIPI D-PHY TX Advance のリソース使用量.....6
表 3-4 MIPI D-PHY RX Advance 伝送モード対応デバイス.....7
表 3-5 MIPI D-PHY RX IO タイプ対応デバイス.....7
表 3-6 MIPI D-PHY TX Advance 伝送モード対応デバイス.....8
表 3-7 MIPI D-PHY TX IO タイプ対応デバイス.....8
表 5-1 D-PHY RX Advance の IO ポート一覧.....12
表 5-2 D-PHY TX Advance の IO ポート一覧.....15
表 6-1 HS Data <n> IO Delay Value と実際の遅延の関係.....22
表 7-1 MIPI D-PHY RX Advance の構成オプション.....28
表 7-2 MIPI D-PHY TX Advance の構成オプション.....29
表 A-1 MIPI D-PHY データレート(LittleBee ファミリー).....32
表 A-2 MIPI D-PHY データレート(Arora ファミリー).....33

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、ユーザーが Gowin MIPI D-PHY RX TX Advance IP を使いこなせるよう、その機能、ポート、タイミング、呼び出しと構成、リファレンス・デザインなどについて説明しています。本マニュアルは、ユーザーが Gowin MIPI D-PHY TX/RX Advance IP を使いこなせるように作成されています。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ *www.gowinsemi.com/ja* から、以下の関連ドキュメントがダウンロード、参考できます：

- GW1N シリーズ FPGA 製品データシート(*DS100*)
- GW1NR シリーズ FPGA 製品データシート(*DS117*)
- GW1NRF シリーズ Bluetooth FPGA 製品データシート(*DS891*)
- GW1NS シリーズ FPGA 製品データシート(*DS821*)
- GW1NSER シリーズ安全 FPGA 製品データシート(*DS881*)
- GW1NSR シリーズ FPGA 製品データシート(*DS861*)
- GW2A シリーズ FPGA 製品データシート(*DS102*)
- GW2AR シリーズ FPGA 製品データシート(*DS226*)
- GW2ANR シリーズ FPGA 製品データシート(*DS961*)
- GW2AN-18X & 9X FPGA 製品データシート(*DS971*)
- GW2AN-55 FPGA 製品データシート(*DS976*)
- GW5AT シリーズ FPGA 製品データシート(*DS981*)
- GW5A シリーズ FPGA 製品データシート(*DS1103*)
- GW5AST シリーズ FPGA 製品データシート(*DS1239*)
- GW5AS シリーズ FPGA 製品データシート(*DS1105*)

- GW5AR シリーズ FPGA 製品データシート(*DS1108*)
- GW5ART シリーズ FPGA 製品データシート(*DS1118*)
- Gowin ソフトウェア ユーザーガイド(*SUG100*)

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
CSI	Camera Serial Interface	カメラ・シリアル・インターフェース
DSI	Display Serial Interface	ディスプレイ・シリアル・インターフェース
GSR	Global System Reset	グローバル・システム・リセット
IP	Intellectual Property Core	設計資産
LUT	Look-up Table	ルックアップテーブル
RAM	Advanced RISC Machine	高度な RISC マシン

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ：*www.gowinsemi.com/ja*

E-mail：*support@gowinsemi.com*

2 概要

2.1 MIPI D-PHY RX/TX Advance IP の紹介

Gowin MIPI D-PHY RX TX Advance IP は、ディスプレイ・シリアル・ インターフェース(Display Serial Interface、DSI)及びカメラ・シリアル・インターフェース(Camera Serial Interface、CSI)に適用されます。画像またはビデオデータを送受信するために使用されます。MIPI D-PHY は物理層の定義を提供します。

表 2-1 Gowin MIPI D-PHY RX TX Advance IP の概要

Gowin MIPI D-PHY RX TX Advance IP	
ロジックリソース	表 3-2 および表 3-3 参照。
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンス・デザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis
統合開発環境	Gowin Software（V1.9.7.05 Beta 以降）

2.2 MIPI D-PHY

モバイル産業プロセッサインターフェース(Mobile Industry Processor Interface，MIPI)は、モバイルデバイスのスタンダードです。MIPI D-PHY は、ソース同期、高速、および低消費電力の物理層ソリューションであり、DSI および CSI の物理層を定義します。MIPI D-PHY Advance IP には、それぞれデータの送受信に使用される TX および RX があります。その構造は図 2-1 に示すとおりです。

MIPI D-HPY には通常、1 つのクロック・レーンと 1～4 つのデータ・レーンが含まれています。ユーザーは、IDE を使用してデータ・レーンの数を構成できます。クロック・レー

ンとデータ・レーンでは、1.2V LVCMOS 信号と SLVS-200 差動信号を切り替えることができます。

MIPI D-PHY は、以下の 2 つのデータ転送モードをサポートします：

- 高速(High-speed、HS)モード
- 低消費電力(Low-power、LP)モード

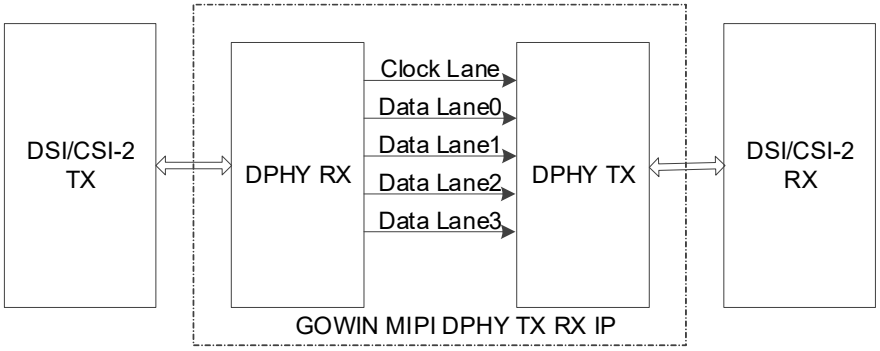
HS モードでは、ビデオデータは差動ペアで配信されます。アプリケーションに応じて、HS モードを常に利用するか、HS 差動レーンからシングルエンド・データに切り替えることができます。

D-PHY がシングルエンド信号データを送信すると、LP モードに入ります。

注記：

- カメラおよびディスプレイのアプリケーションでは、ブランキング期間中に LP モードに入ることで消費電力を抑えることができます。
- ディスプレイアプリケーションでは、LP モードは画面構成に使用することができます。

図 2-1 MIPI D-PHY の構造



3 特徴及び性能

3.1 主な特徴

- 『MIPI Alliance Standard for D-PHY Specification』バージョン 1.1 をサポート。
- MIPI CSI-2 と DSI(RX/TX)をサポート。
- TX と RX は、単方向高速(HS : High-speed)モードと、双方向低消費電力(LP : Low-power)動作モードをサポート。
- TX と RX は、8:1 モードおよび 16:1 モードをサポート。
- TX と RX は、ELVDS、TLVDS、および MIPI IO などの IO タイプをサポート。
- RX は、IO Delay の手動設定または自動スキャンをサポート。
- レーンごとの TX データレート(Line Rate)は、80Mb/s~2000Mb/s[1]。
- レーンごとの RX データレート(Line Rate)は、80Mb/s~1600Mb/s[1]。
- 制御データは、10 Mb/s のデータレートで LP モードで送信。

注記：

[1]各デバイスがサポートするデータレートについては、各デバイスのデータシートおよび『Gowin MIPI ソリューション ホワイトペーパー(*WP1153*)』に記載されているデータレートの説明を参照してください。

3.2 最大周波数

MIPI D-PHY の最大周波数は、主に Line Rate[1]と、使用されるデバイスのスピードグレード(speed grade of the devices)によって決まります。

注記：

[1]各デバイスがサポートするデータレートについては、各デバイスのデータシートおよび『Gowin MIPI ソリューション ホワイトペーパー(*WP1153*)』に記載されているデータレートの説明を参照してください。

3.3 レイテンシ

D-PHY TX のレイテンシは、data_in(8 ビット/16 ビット・パラレル・データ)の入力から HS_DATA の出力までの遅延サイクル数です。

D-PHY RX のレイテンシは、HS_DATA SOT(start-of-transmission、送信開始)の入力から data_out(8 ビット/16 ビット・パラレル・データ)の出力までの遅延サイクル数です。

詳細については、表 3-1 を参照してください。

表 3-1 D-PHY RX TX Advance Latency

モジュール	Latency (SclkCycle)
D-PHY TX	3
D-PHY RX	11

3.4 リソース使用量

MIPI D-PHY RX および TX は Verilog 言語で実装されています。パフォーマンスとリソース使用量は、使用されているデバイスの密度、スピードグレードなどにより異なる場合があります。

例えば、GW1N-2 FPGA の場合、MIPI D-PHY RX および TX のリソース使用量は表 3-2 および表 3-3 のようになります。他の GOWIN FPGA でのアプリケーション検証については、これからの最新情報を参照してください。

表 3-2 MIPI D-PHY RX Advance のリソース使用量

シリーズ	スピードグレード	デバイス名	リソース使用量	備考
GW1N-2	-6	LUT	477	• 1:8 Mode • 4 つの HS データ・レーンあり • ワードアラインメント・モジュールおよびレーンアラインメント・モジュールあり
		IODELAY	4	
		REG	505	
		BSRAM	0	
		IDES8	4	
		CLKDIV	1	
		DHCEN	1	

表 3-3 MIPI D-PHY TX Advance のリソース使用量

シリーズ	スピードグレード	デバイス名	リソース使用量	備考
GW1N-2	-6	LUT	3	• 1:8 Mode • 内部 PLL 使用
		REG	0	
		CLKDIV	1	
		OSER8	5	

3.5 サポートされるデバイス

表 3-4 MIPI D-PHY RX Advance 伝送モード対応デバイス

D-PHY RX 伝送モード	サポートされるデバイス
1:8 モード	GW1N シリーズ、GW1NR シリーズ、GW1NS シリーズ、GW1NSR シリーズ、GW1NSER シリーズ、GW1NRF シリーズ、GW1AN シリーズ、GW2A シリーズ、 GW2AR シリーズ、 GW2ANR シリーズ、GW2AN シリーズ、GW5A シリーズ、GW5AT シリーズ、GW5AST シリーズ、GW5AS シリーズ、GW5AR シリーズ、GW5ART シリーズ、GW3A シリーズ、GW1NZ-2B、GW1NZ-2C
1:16 モード	GW1NS シリーズ、GW1NSR シリーズ、GW1NSER シリーズ、GW5AT シリーズ、GW5AST シリーズ、GW5A シリーズ、GW5AS シリーズ、GW5AR シリーズ、GW5ART シリーズ、GW3A シリーズ、GW1N-1S、GW1N-2、GW1N-2B、GW1N-2C、GW1NR-2、GW1NR-2B、GW1NR-2C、GW1N-1P5、GW1N-1P5B、GW1N-1P5C、GW1NR-9、GW1NR-9C、GW1N-9、GW1N-9C、GW1NZ-2B、GW1NZ-2C

表 3-5 MIPI D-PHY RX IO タイプ対応デバイス

D-PHY RX IO タイプ	サポートされるデバイス
MIPI IO[1]	GW1NS シリーズ、GW1NSR シリーズ、GW1NSER シリーズ、GW5AT シリーズ、GW5A シリーズ、GW5AS シリーズ、GW5AST シリーズ、GW5AR シリーズ、 GW5ART シリーズ、GW3A シリーズ、GW1N-9、GW1N-9C、GW1NR-9、GW1NR-9C、GW1N-1P5、GW1N-1P5B、GW1N-1P5C、GW1N-2、GW1N-2B、GW1NR-2、GW1NR-2B、GW1N-2C、GW1NR-2C、GW1NZ-2B、GW1NZ-2C、GW1NR-9、GW1NR-9C、GW1AN-9A、GW2AN-18X、GW2AN-9X
TLVDS IO	GW1N-1S、GW1NZ-1、GW1NZ-1C を除くすべての Gowin FPGA
ELVDS IO	すべての Gowin FPGA

注記：

- [1] GW2AN-18X、GW2AN-9X で MIPI IO モードを使用する場合、MIPI CLK は GCLK IO を使用する必要があります。
- GW5AT-LV15CS130 は MIPI IO RX をサポートしていません。
- GW5A-LV25UG324S、GW5A-LV25PG256C、 GW5A-LV25UG256C、GW5A-LV25LQ100、GW5A-LV25MG196S、GW5A-LV25PG256S、GW5A-LV25LQ144、GW5A-LV25PG196S は MIPI IO RX をサポートしていません。
- GW5A-LV60UG324A は MIPI IO RX をサポートしていません。
- GW5ART-LV15CM90P および GW5ART-LV15CM90PF は MIPI IO RX をサポートしていません。

表 3-6 MIPI D-PHY TX Advance 伝送モード対応デバイス

D-PHY TX 伝送モード	サポートされるデバイス
8:1 モード	GW1N シリーズ、GW1NR シリーズ、GW1NZ シリーズ、GW1NS シリーズ、GW1NSR シリーズ、GW1NSER シリーズ、GW1NRF シリーズ、GW1AN シリーズ、GW2A シリーズ、GW2AR シリーズ、GW2ANR シリーズ、GW2AN シリーズ、GW5AT シリーズ、GW5A シリーズ、GW5AST シリーズ、GW5AS シリーズ、GW5AR シリーズ、GW5ART シリーズ、GW3A シリーズ
16:1 モード	GW1NS シリーズ、GW1NSR シリーズ、GW1NSER シリーズ、GW5AT シリーズ、GW5ART シリーズ、 GW5AS シリーズ、 GW5AST シリーズ、GW5A シリーズ、GW5AR シリーズ、GW3A シリーズ、GW1N-1S、GW1N-2、GW1N-2C、GW1N-2B、GW1NR-2、GW1NR-2C、GW1NR-2B、GW1N-1P5、GW1N-1P5B、 GW1N-1P5C、 GW1NZ-2B、GW1NZ-2C、GW1N-9、GW1N-9C、GW1NR-9、GW1NR-9C

表 3-7 MIPI D-PHY TX IO タイプ対応デバイス

D-PHY TX IO タイプ	サポートされるデバイス
MIPI IO	GW1NS シリーズ、GW1NSR シリーズ、GW1NSER シリーズ、GW5AR シリーズ、GW5ART シリーズ、GW3A シリーズ、GW1N-1P5、GW1N-1P5B、GW1N-1P5C、GW1N-2、GW1N-2B、GW1N-2C、GW1NR-2、GW1NR-2B、GW1NR-2C、GW1NR-9、GW1NR-9C、GW1N-9、GW1N-9C、GW1NZ-2B、GW1NZ-2C、GW5A-25A、GW5A-25B、GW5AS-25A、GW5AS-25B、GW5AT-60ES、GW5AT-60B、GW5A-60B、GW5AT-15A
TLVDS IO	GW1N-1S、GW1NZ-1、GW1NZ-1C を除くすべての Gowin FPGA
ELVDS IO	すべての Gowin FPGA

注記：

- GW5AT-LV15CS130 は MIPI IO TX をサポートしていません。
- GW5A-LV25UG324S、GW5A-LV25PG256C、GW5A-LV25UG256C、GW5A-LV25LQ100、GW5A-LV25MG196S、GW5A-LV25PG256S、GW5A-LV25LQ144、GW5A-LV25PG196S は MIPI IO TX をサポートしていません。。
- GW5A-LV60UG324A は MIPI IO TX をサポートしていません。
- GW5ART-LV15CM90P および GW5ART-LV15CM90PF は MIPI IO TX をサポートしていません。

4 機能の説明

MIPI D-PHY には、2 つの D-PHY IP モジュールが含まれています：

- D-PHY RX Advance
- D-PHY TX Advance

D-PHY RX Advance および D-PHY TX Advance では、HS データはそれぞれデシリアライズ/シリアライズされます。LP モードのデータは、任意のデータ・レーンまたはクロック・レーンで双方向に送信できます。

注記：

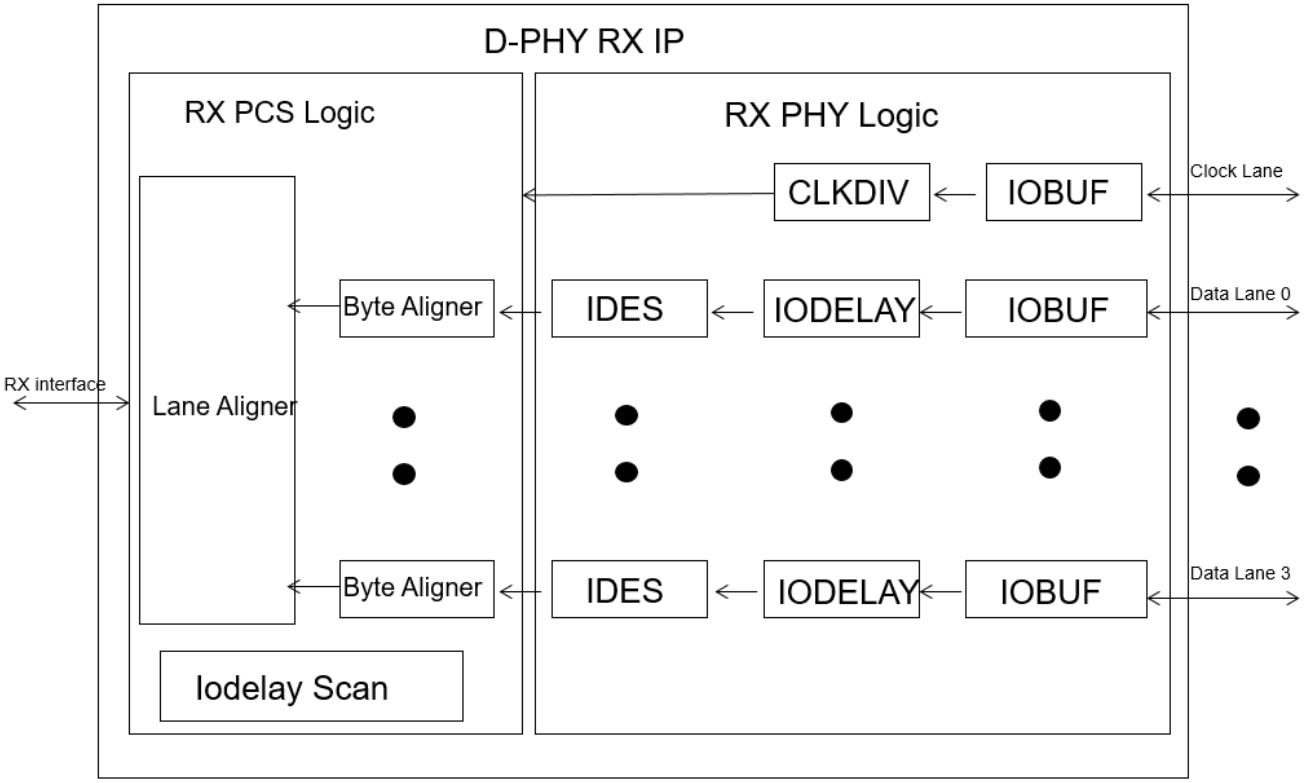
D-PHY RX Advance 及び D-PHY TX Advance の抵抗ネットワークは異なりますが、この 2 つのモジュールはどちらも双方向の LP モード通信と単方向の HS モード通信をサポートする必要があります。

4.1 MIPI D-PHY RX Advance IP の構造及び機能

図 4-1 は、D-PHY RX Advance IP の IO タイプを MIPI IO、TLVDS、ELVDS に設定した場合のブロック図を示しており、主に 2 つのモジュールで構成されています。

- RX PCS Logic：RX ユーザー・インターフェースを提供し、B8 アライメントおよびレーン・アライメントを実現し、HS/LP の切り替え制御、ODT オン/オフの制御、および IO Delay Scan を実現します。
- RX PHY logic：クロック・リカバリおよびデータのデシリアライズを実現し、クロックとデータの位相を調整し、双方向 LP を実現します。

図 4-1 MIPI D-PHY RX Advance IP の構造



IO タイプを MIPI IO に設定する場合、クロック・レーンおよびデータ・レーンはそれぞれ 1 ペアの IO を使用し、外部抵抗ネットワークは不要です。一方、IO タイプを ELVDS/TLVDS に設定する場合、クロック・レーンおよびデータ・レーンはそれぞれ 2 ペアの IO を使用し、そのうち 1 ペアが HS を実現し、もう 1 ペアが LP を実現します。また、外部抵抗ネットワークが必要となります。『GOWIN セミコンダクター FPGA に基づく MIPI インターフェースマッチング方法(*TN100*)』を参照してください。

注記：

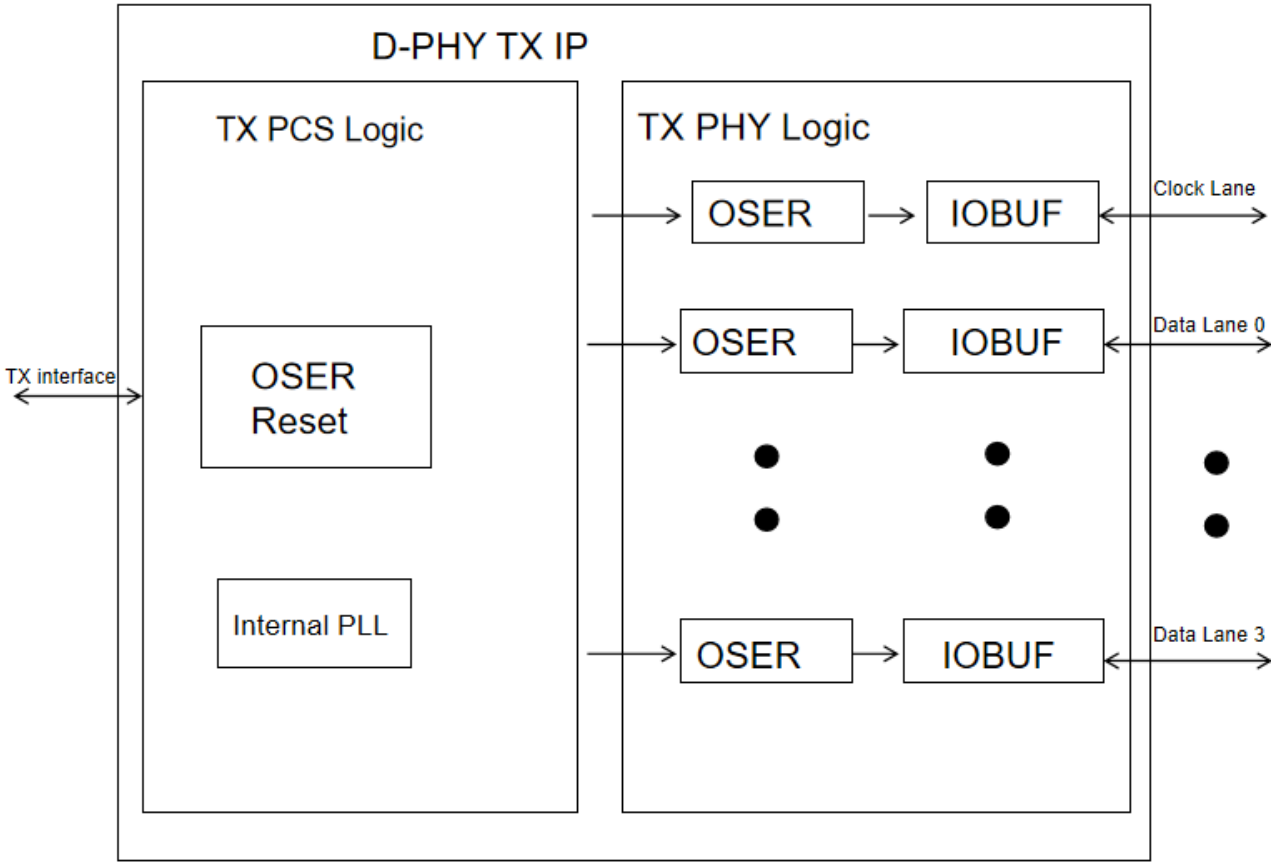
LittleBee ファミリの 9K および 4K FPGA を使用する場合、D-PHY RX MIPI IO の Bank 電圧が 1.2V のとき、MIPI IO の P 側と N 側の間に 100 オームの終端抵抗を接続する必要があります。

4.2 MIPI D-PHY TX Advance IP の構造及び機能

図 4-2 は、D-PHY TX Advance IP の IO タイプを MIPI IO、TLVDS、ELVDS に設定した場合のブロック図を示しており、主に 2 つのモジュールで構成されています。

- TX PCS Logic : TX ユーザー・インターフェースを提供し、HS/LP の切り替え制御、OSER リセットタイミングの制御、および内部 PLL の実装を実現します。
- TX PHY logic：クロックとデータのシリアライズ、および双方向 LP を実現します。

図 4-2 MIPI D-PHY TX Advance IP の構造



IO タイプを MIPI IO に設定する場合、クロック・レーンおよびデータ・レーンはそれぞれ 1 ペアの IO を使用し、外部抵抗ネットワークは不要です。一方、IO タイプを ELVDS/TLVDS に設定する場合、クロック・レーンおよびデータ・レーンはそれぞれ 2 ペアの IO を使用し、そのうち 1 ペアが HS を実現し、もう 1 ペアが LP を実現します。また、外部抵抗ネットワークが必要となります。『GOWIN セミコンダクター FPGA に基づく MIPI インターフェースマッチング方法(*TN100*)』を参照してください。

5 ポートの説明

5.1 Gowin MIPI D-PHY RX Advance IP のポート

Gowin MIPI D-PHY RX Advance IP の IO ポートの詳細は、表 5-1 に示すとおりです。

表 5-1 D-PHY RX Advance の IO ポート一覧

信号	方向	クロック・ドメイン	説明
HS_CLK_P, HS_CLK_N	入力/双方向(デバイスが双方向 LP をサポートしている場合)	N/A	クロック・レーンの HS 信号 ● HS_CLK_P = P wire, HS_CLK_N = N wire ; ● クロック・レーンの IO TYPE が TLVDS または ELVDS である場合に有効
HS_DATA_P<n>, HS_DATA_N<n>	入力/双方向(デバイスが双方向 LP をサポートしている場合)	N/A	データ・レーン[n]の HS 信号 ● HS_DATA_P = P wire , HS_DATA_N = N wire ; ● データ・レーン[n]の IO TYPE が TLVDS または ELVDS である場合に有効
LP_CLK [1:0]	双方向	N/A	クロック・レーンの LP 信号

信号	方向	クロック・ドメイン	説明
LP_CLK [1:0]	双方向	N/A	● LP_CLK[0] = N wire，LP_CLK[1] = P wire； ● クロック・レーンの IO TYPE が TLVDS または ELVDS であり、かつクロック・レーンの LP モードがイネーブルされている場合に有効
LP_DATA<N> [1:0]	双方向	N/A	データ・レーンの LP 信号 ● LP_DATA[0] = N wire, LP_DATA[1] = P wire； ● データ・レーンの IO TYPE が TLVDS または ELVDS であり、かつデータ・レーンの LP モードがイネーブルされている場合に有効
MIPI_CLK_P, MIPI_CLK_N	双方向	N/A	クロック・レーン信号 ● MIPI_CLK_P = P wire，MIPI_CLK_N = N wire； ● クロック・レーンの IO Type が MIPI IO である場合に有効
MIPI_LANE<N>_P, MIPI_LANE<N>_N	双方向	N/A	データ・レーン信号 ● MIPI_LANE<N>_P = P wire，MIPI_LANE<N>_N = N wire； ● データ・レーンの IO Type が MIPI IO である場合に有効
reset_n	入力	Async	リセット信号
clk_hs_en	入力	clk_out	クロック・レーン HS 受信のイネーブル
data_hs_en	入力	clk_out	データ・レーン HS 受信のイネーブル
data_out<n>	出力	clk_out	データ・レーン<n>HS 受信データ ● MIPI D-PHY が 1:8 モードの場合、幅は 8 ビットです。 ● MIPI D-PHY が 1:16 モードの場合、幅は 16 ビットです。
ready[3:0]	出力	clk_out	データ・レーンのパラレル・データ出力アライメント、アクティブ High。 ready[n]はデータ・レーン<n>に対応します。
clk_term_en	入力	Async	クロック・レーン終端抵抗の制御。 ● 1：抵抗を有効にする ● 0：抵抗を無効にする
data_term_en	入力	Async	すべてのデータ・レーン終端抵抗の制御。 ● 1：抵抗を有効にする ● 0：抵抗を無効にする
lp_clk_dir	入力	Async	クロック・レーン LP 方向の制御 ● 0：受信 ● 1：送信

信号	方向	クロック・ドメイン	説明
lp_data<n>_dir	入力	Async	データ・レーン[n]LP 方向の制御 ● 0：受信 ● 1：送信
lp_clk_out [1:0]	出力	Async	クロック・レーン LP 受信データ lp_clk_out [0] = N wire, lp_clk_out [1] = P wire
lp_data<n>_out [1:0]	出力	Async	データ・レーン<n>LP 受信データ lp_data<n>_out [0] = N wire, lp_data<n>_out [1] = P wire
lp_clk_in [1:0]	入力	Async	クロック・レーン LP 送信データ lp_clk_in [0] = N wire, lp_clk_in [1] = P wire
lp_data<n>_in [1:0]	入力	Async	データ・レーン<n>LP 送信データ lp_data<n>_in [0] = N wire, lp_data<n>_in [1] = P wire
lane<n>_iodelay	出力	clk_byte_out	データ・レーン[n] IO delay スキャン値
lane<n>_iodelay_lock	出力	clk_byte_out	データ・レーン[n] IO delay スキャン値のロック。アクティブ High。
data_bf_lane<n>	出力	clk_byte_out	データ・レーン<n>のバイト・アライメント前の HS 受信データ Data<n> Before Alignment を有効にした場合に OSER から出力された生 HS データの観測に使用可能。

注記：

<n>の値は 0、1、2、3。

5.2 Gowin MIPI D-PHY TX Advance IP のポート

Gowin MIPI D-PHY TX Advance IP の IO ポートの詳細は、表 5-2 に示すとおりです。

表 5-2 D-PHY TX Advance の IO ポート一覧

信号	方向	クロック・ドメイン	説明
HS_CLK_P, HS_CLK_N	出力	N/A	クロック・レーンの HS 信号 ● HS_CLK_P = P wire，HS_CLK_N = N wire； ● クロック・レーンの IO TYPE が TLVDS または ELVDS である場合に有効
HS_DATA_P<n>, HS_DATA_N<n>	出力	N/A	データ・レーン[n]の HS 信号 ● HS_DATA_P = P wire，HS_DATA_N = N wire； ● データ・レーン[n]の IO TYPE が TLVDS または ELVDS である場合に有効
LP_CLK [1:0]	双方向	N/A	クロック・レーンの LP 信号 ● LP_CLK[0] = N wire，LP_CLK[1] = P wire； ● クロック・レーンの IO TYPE が TLVDS または ELVDS であり、かつクロック・レーンの LP モードがイネーブルされている場合に有効
LP_DATA<N> [1:0]	双方向	N/A	データ・レーンの LP 信号 ● LP_DATA[0] = N wire，LP_DATA[1] = P wire； ● データ・レーンの IO TYPE が TLVDS または ELVDS であり、かつデータ・レーンの LP モードがイネーブルされている場合に有効
MIPI_CLK_P, MIPI_CLK_N	出力/双方向(デバイスが双方向 LP をサポートしている場合)	N/A	クロック・レーン信号 ● MIPI_CLK_P = P wire，MIPI_CLK_N = N wire； ● クロック・レーンの IO Type が MIPI IO である場合に有効
MIPI_LANE<N>_P, MIPI_LANE<N>_N	双方向	N/A	データ・レーン信号 ● MIPI_LANE<N>_P = Pwire，MIPI_LANE<N>_N = N wire； ● データ・レーンの IO Type が MIPI IO である場合に有効
reset_n	入力	Async	リセット信号、アクティブ Low。
sclk_in	入力	N/A	HS パラレルクロック入力 ● 8:1 モードの場合、周波数はラインレート/8。16:1 モードの場合、周波数はラインレート/16。

信号	方向	クロック・ドメイン	説明
sclk_in	入力	N/A	● 内部 PLL を有効にしない場合、内部 PLL を有効にした MIPI TX の sclk_out に接続する必要があります。
sclk_out	出力	N/A	● HS パラレルクロック出力。内部 PLL を有効にしていない MIPI TX の sclk_in 入力として使用できます。 ● 内部 PLL が有効な場合に有効となります。
clk_bit_out	出力	N/A	● HS シリアルクロック出力。sclk_out と同相であり、内部 PLL を有効にしていない MIPI TX の clk_bit_in 入力として使用できます。 ● 内部 PLL が有効な場合に有効となります。
clk_bit_90_out	出力	N/A	● HS シリアルクロック出力。clk_bit_out と 90°の位相差があり、内部 PLL を有効にしていない MIPI TX の clk_bit_90_in 入力として使用できます。 ● 内部 PLL が有効な場合に有効となります。
clk_bit_in	入力	N/A	● HS シリアルクロック入力。内部 PLL を有効にした MIPI TX の clk_bit_out に接続する必要があります。 ● 内部 PLL を有効にしない場合に有効となります。
clk_bit_90_in	入力	N/A	● HS シリアルクロック入力。内部 PLL を有効にした MIPI TX の clk_bit_90_out に接続する必要があります。 ● 内部 PLL を有効にしない場合に有効となります。
init_clk	入力	N/A	内部 PLL を有効にした場合、内部 PLL の MDCLK 信号となります。Arora V デバイスにのみ適用されます。
hs_clk_en	入力	sclk	クロック・レーン HS 送信のイネーブル
hs_data_en	入力	sclk	すべてのデータ・レーン HS 送信のイネーブル
lp_clk_dir	入力	Async	クロック・レーン LP 方向の制御 ● '0'：受信 ● '1'：送信
lp_clk_out [1:0]	入力	Async	クロック・レーン LP 送信データ lp_clk_out [0] = N wire, lp_clk_out [1] = P wire
lp_clk_in [1:0]	出力	Async	クロック・レーン LP 受信データ lp_clk_ in [0] = N wire, lp_clk_ in [1] = P wire
lp_data<n>_dir	入力	Async	データ・レーン[n]LP 方向の制御 ● '0'：受信

信号	方向	クロック・ドメイン	説明
lp_data<n>_dir	入力	Async	● '1'：送信
lp_data<n>_out [1:0]	入力	Async	データ・レーン<n>LP 送信データ lp_data_out [0] = N wire, lp_data<n>_out_[1] = P wire
lp_data<n>_in[1:0]	出力	Async	データ・レーン<n>LP 受信データ lp_data_in [0] = N wire, lp_data<n>_in_[1] = P wire
clk_data	入力	sclk	クロック・レーン HS データ ● MIPI D-PHY が 8：1 モードの場合、幅は 8 ビットです。例えば：8’b01010101。 ● MIPI D-PHY が 16：1 モードの場合、幅は 16 ビットです。例えば：16'b0101010101010101。
data_in<n>	入力	sclk	データ・レーン<n>HS 送信データ ● MIPI D-PHY が 8：1 モードの場合、幅は 8 ビットです。 ● MIPI D-PHY が 16：1 モードの場合、幅は 16 ビットです。

注記：

- <n>の値は 0、1、2、3。
- 内部 PLL を有効にした場合、sclk は sclk_out を指し、そうでない場合は sclk_in を指します。

6 タイミングの説明

このセクションでは、HS モードにおける MIPI D-PHY TX/RX Advance の入力信号のタイミングについて説明します。

6.1 MIPI D-PHY RX Advance ユーザーインターフェースのタイミング

6.1.1 RX リセット

MIPI D-PHY RX Advance は、リセット信号として reset_n(アクティブ Low)を使用します。

6.1.2 LP 受信

図 6-1 は、RX Advance クロック・レーンの LP 受信のタイミング図です。LP 受信の際、ユーザーは lp_clk_dir、clk_term_en、および clk_hs_en を 0 にセットします。lp_clk_out は IP の出力信号であり、現在の Clock Lane State を示すために使用されます。

図 6-1 RX Advance クロック・レーンの LP 受信

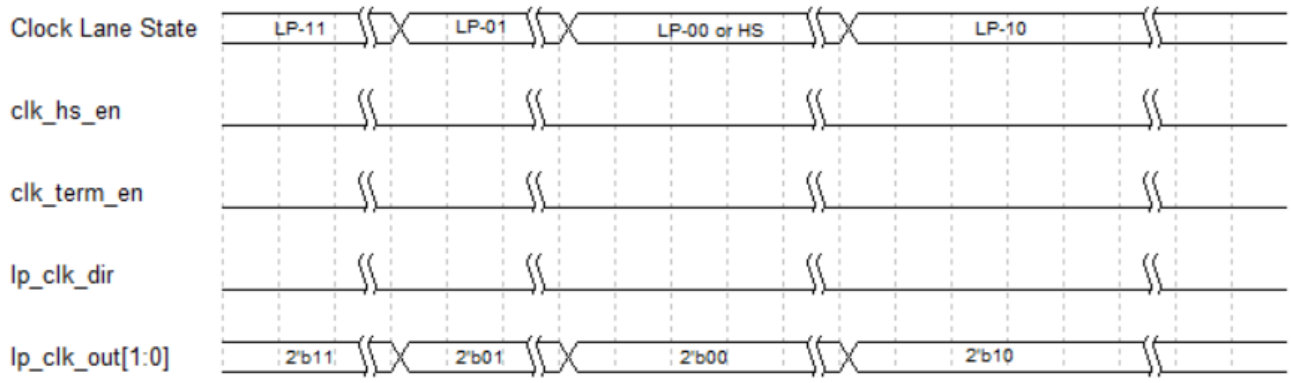
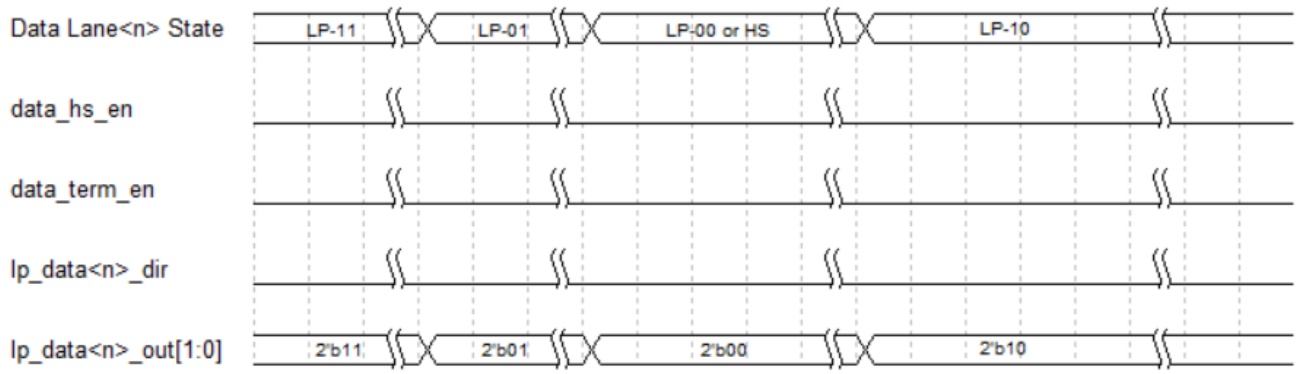


図 6-2 は、RX Advance データ・レーンの LP 受信のタイミング図です。LP 受信の際、ユーザーは lp_data<n>_dir、data_term_en、および data_hs_en を 0 にセットします。

lp_data<n>_out は IP の出力信号であり、現在の Data Lane <n> State を示すために使用されます。

図 6-2 RX Advance データ・レーンの LP 受信



6.1.3 LP 送信

図 6-3 は、RX Advance クロック・レーンの LP 送信のタイミング図です。LP 送信のとき、ユーザーは lp_clk_dir を 1 にセットし、lp_clk_in を送信する必要のある Lane State にセットし、clk_term_en と clk_hs_en を 0 にセットする必要があります。RX Advance は lp_clk_in の値に基づいて Clock Lane を駆動して該当する Clock Lane State にします。

図 6-3 RX Advance クロック・レーンの LP 送信

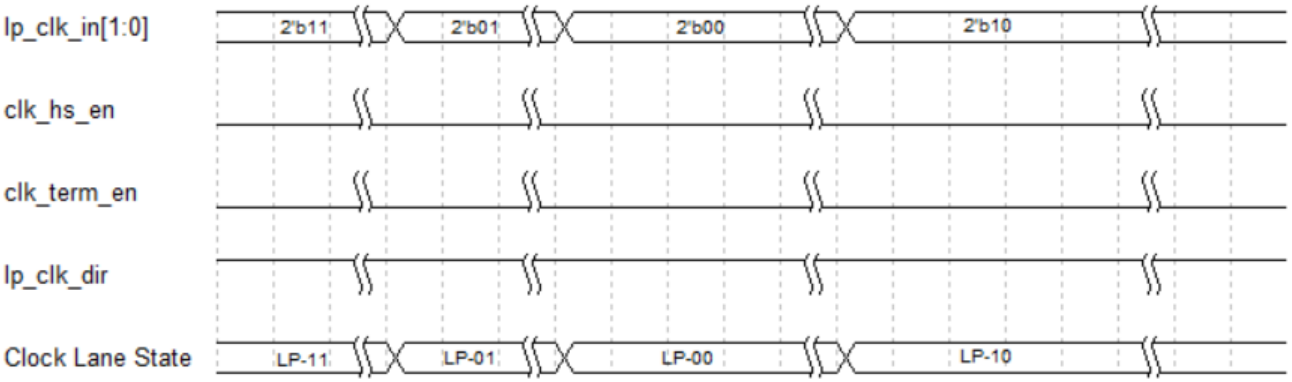
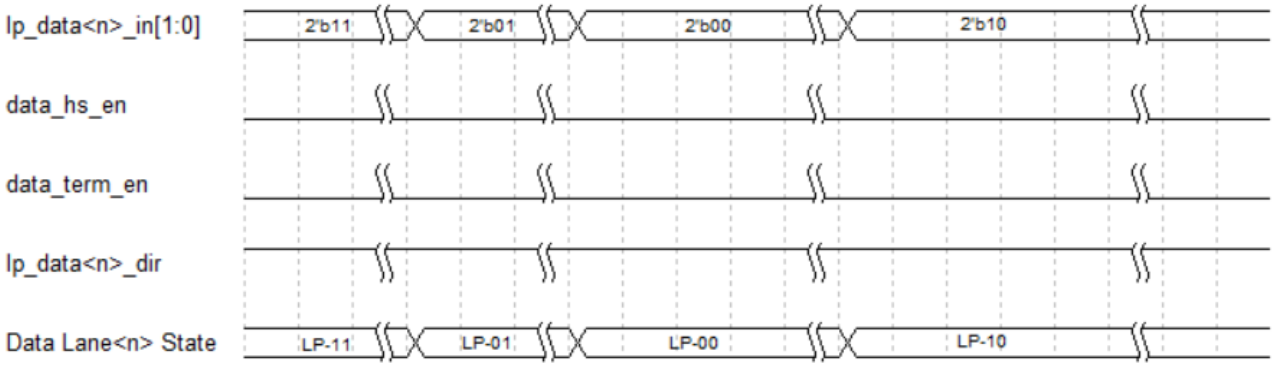


図 6-4 は、RX Advance データ・レーンの LP 送信のタイミング図です。LP 送信のとき、ユーザーは lp_data<n> dir を 1 にセットし、lp_data_<n>_in を送信する必要のある Lane State にセットし、data_term_en と data_hs_en を 0 にセットする必要があります。RX Advance は lp_data<n>_in の値に基づいて Data Lane <n>を駆動して該当する Data Lane State にします。

図 6-4 RX Advance データ・レーンの LP 送信



6.1.4 HS 受信

図 6-5 は、RX Advance クロック・レーンの HS 受信のタイミング図です。HS 受信の際、ユーザーは clk_hs_en と clk_term_en を 1 にセットします。

図 6-5 RX Advance クロック・レーンの HS 受信

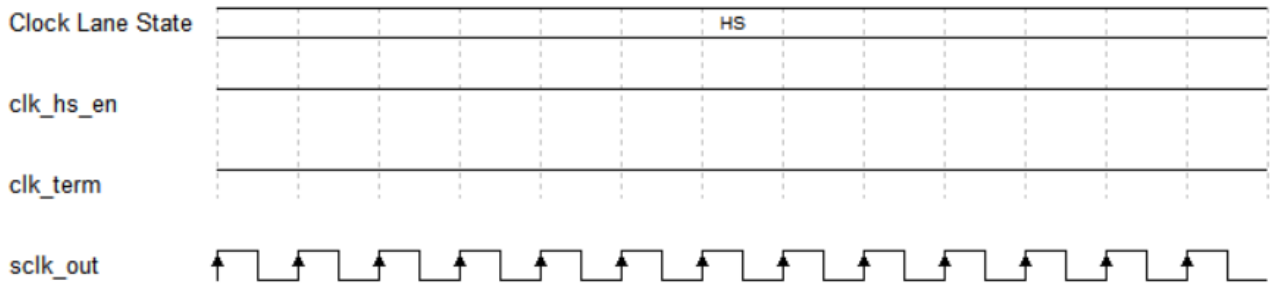
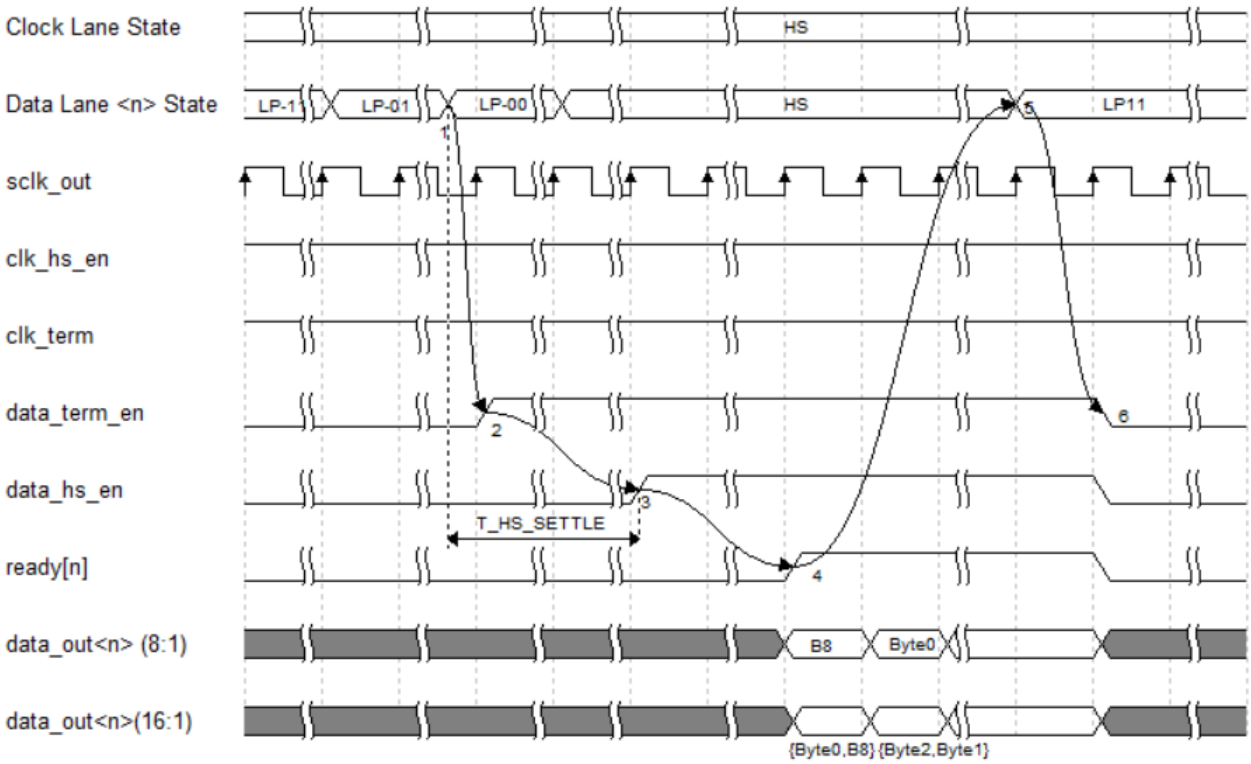


図 6-6 は、MIPI_RX_Advance データ・レーンの HS 受信のタイミング図です。

1. 送信側が Data Lane <n>を LP-00 に駆動します。
2. ユーザーが data_term_en を 1 にセットします。
3. T_HS_SETTLE の経過後、ユーザーが data_hs_en を 1 にセットします。
4. バイト・アライメントを有効にしている場合、RX Advance は ready<n>を 1 にセットし、整列されたデータを data_out_<n>に出力します。有効にしていない場合、整列されていないデータを data_out_<n>に出力します。
5. 送信側が Data Lane <n>を LP-11 に駆動します。
6. ユーザーが data_term_en と data_hs_en を 0 にセットします。

図 6-6 RX Advance データ・レーンの HS 受信



6.1.5 バイト・アライメント

ユーザーがバイト・アライメントを有効にしている場合、RX Advance は HS 段階で B8 を探索します。B8 の検出に成功するとデータが整列され、ready[n]が 1 にセットされ、整列されたデータが data_out_<n>に出力されます。B8 が検出されない場合、ready[n]は 0 のままであり、データは出力されません。

ユーザーがバイト・アライメントを有効にしていない場合、RX Advance は受信した HS データを直接 data_out_<n>に出力します。

6.1.6 レーン・アライメント

ユーザーがレーン・アライメントを有効にしている場合、RX Advance はすべてのデータ・レーンのアライメントが完了した後、各レーンの ready 信号を同時に 1 にセットし、アライメント済みデータを出力します。いずれかのデータ・レーンのアライメントに失敗した場合、すべてのデータ・レーンがデータを出力しません。

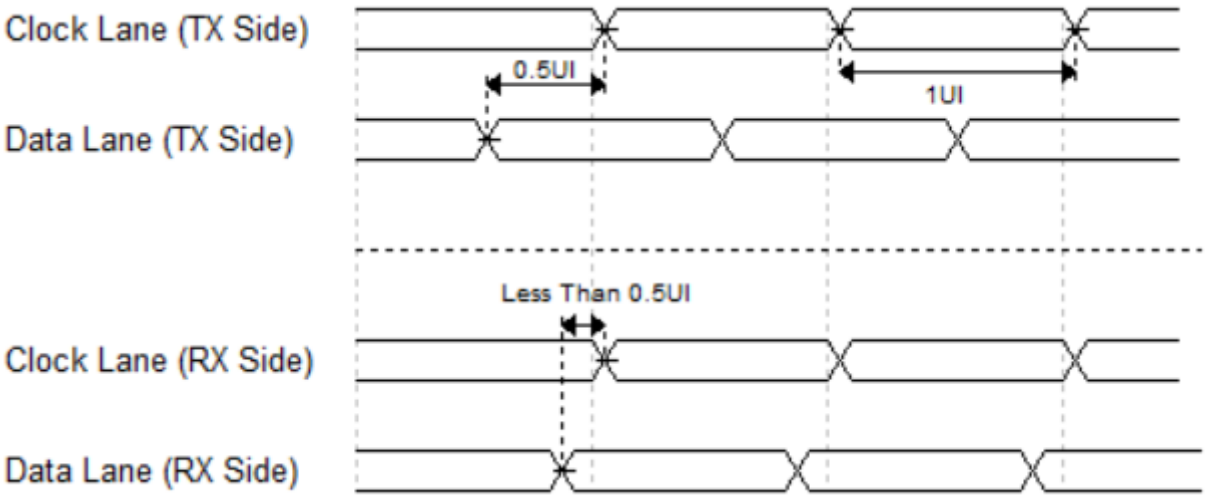
RX Advance は、「Standard」と「Lite」の 2 種類のレーン・アライメント方式をサポートします。Standard 方式は一般的なレーン・アライメント方式です。Lite 方式は論理リソースが限られている状況に適しています。

6.1.7 位相校正

プロトコルの規定に従い、TX 側のクロック・レーンとデータ・レーンは 90°の位相関係を維持します。RX 側では、PCB 配線の長さの違いや RX 内部の遅延などの影響により、

クロック・レーンとデータ・レーンの間で位相ずれが発生する可能性があります。位相校正を行わないと、受信エラーを引き起こすおそれがあります(図 6-7)。

図 6-7 クロックの位相ずれ

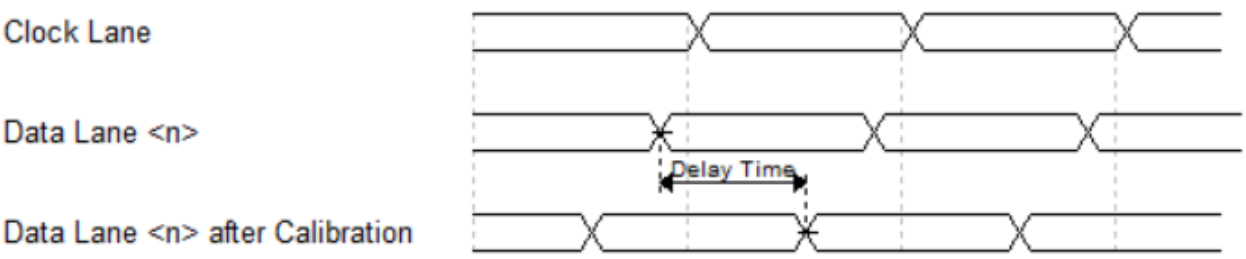


RX Advance では、静的な IO Delay 調整と IO Delay Scan の 2 つの方法で位相を校正することができます。静的 IO Delay 調整方式を使用する場合、ユーザーは GUI の「Calibration > HS Data <n> IO Delay Value」を変更して位相校正を行います。HS Data <n> IO Delay Value と実際の遅延の関係を表 6-1 に示し、校正後のクロックとデータの位相関係を図 6-8 に示します。

表 6-1 HS Data <n> IO Delay Value と実際の遅延の関係

Device Family	Data Lane <n> Delay Time (ps)
GW1N	HS Data <n> IO Delay Value * 30
GW2AN-18	HS Data <n> IO Delay Value * 18
GW2AN-55	HS Data <n> IO Delay Value * 22
Arora V	HS Data <n> IO Delay Value * 12.5
Arora III	HS Data <n> IO Delay Value * 12.5

図 6-8 校正後のクロックとデータの位相関係

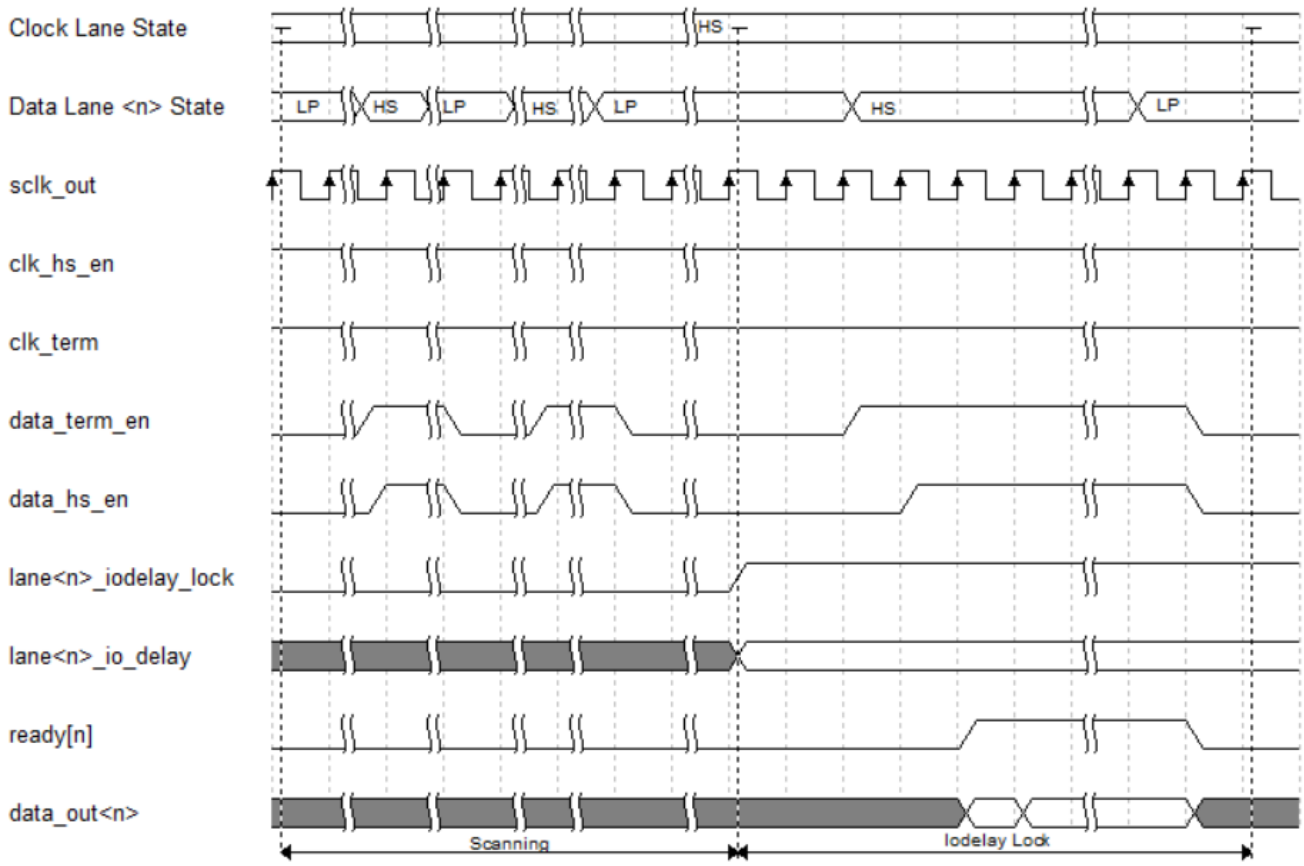


RX Advance は、IO Delay Scan 方式による自動位相校正方法をサポートします。IO Delay Scan を有効にした場合のタイミング図は図 6-9 のとおりです。スキャンの際、ユーザーは関連信号を制御して HS 受信を完了させる必要があります。具体的な操作については、*6.1.4 HS 受信*を参照してください。

リセットが完了するたびに、RX Advance は自動的に位相校正を 1 回実行します。スキャンの開始時、RX Advance は lane<n>_iodelay_lock を 0 にセットし、HS Data <n> の IO Delay Value を初期値の 0 にセットして、現在の遅延値で B8 が正常に検出されたかどうかを確認します。その後、RX Advance は HS Data <n>の IO Delay Value を 1 ずつインクリメントし、B8 が正常に検出されるかどうかを順次確認します。初めて B8 の検出に成功したときの対応する HS Data <n>の IO Delay Value を Value_a と記録し、最後に B8 の検出に成功したときの対応する HS Data <n>の IO Delay Value を Value_b と記録します。スキャン完了後、RX Advance は lane<n>_iodelay を Value_a と Value_b の中間値にセットし、lane<n>_iodelay_lock を 1 にセットします。

IO Delay Scan を有効にしている場合、lane<n>_iodelay_lock が 1 になった場合にのみ、ready[n]が 1 にセットされます。

図 6-9 RX Advance IO Delay スキャン



6.2 MIPI D-PHY TX Advance ユーザーインターフェースのタイミング

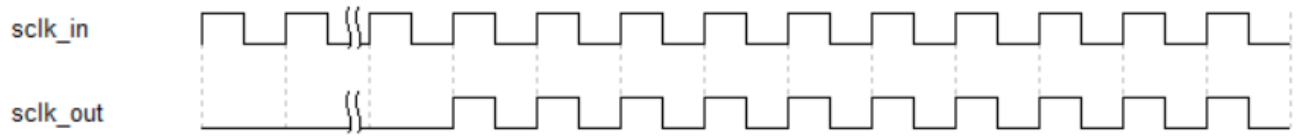
6.2.1 TX リセット

MIPI D-PHY TX Advance は、リセット信号として reset_n(アクティブ Low)を使用します。

6.2.2 クロック

MIPI D-PHY TX Advance では、内部 PLL を使用するかどうかを選択できます。図 6-10 は、内部 PLL を使用する場合のタイミング図です。

図 6-10 内部 PLL を使用する場合のタイミング図



6.2.3 LP 送信

図 6-11 は、TX Advance クロック・レーンの LP 送信のタイミング図です。LP 送信の際、ユーザーは clk_hs_en を 0、lp_clk_dir を 1 にセットします。lp_clk_out は IP の出力信号であり、現在の Clock Lane State を示すために使用されます。TX Advance は、対応する制御信号に基づいて Clock Lane を駆動して該当する LP State にします。

図 6-11 TX Advance クロック・レーンの LP 送信

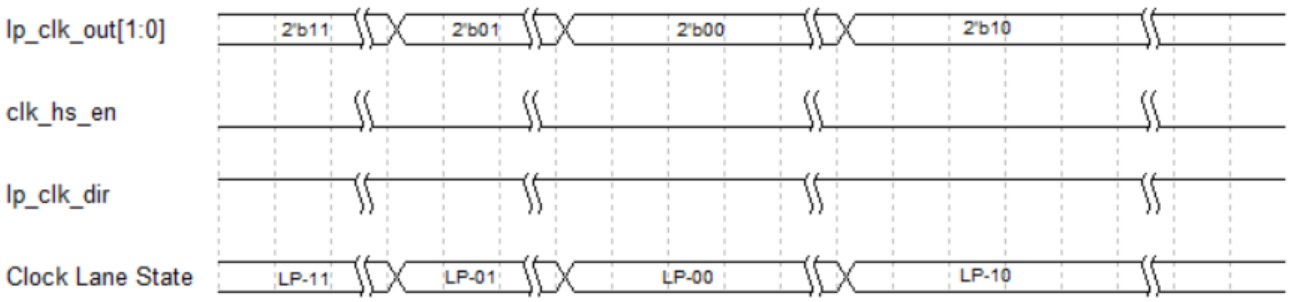
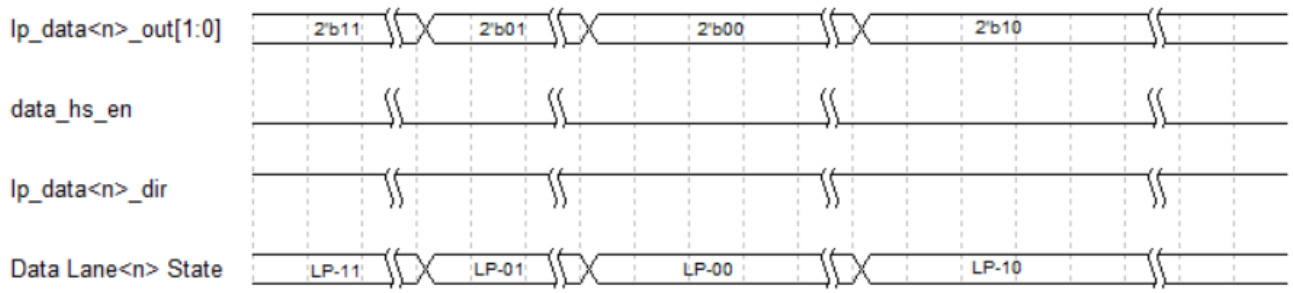


図 6-12 は、TX Advance データ・レーンの LP 送信のタイミング図です。LP 送信の際、ユーザーは data_hs_en を 0、lp_data<n>_dir を 1 にセットします。lp_data<n>_out は IP の出力信号であり、現在の Data Lane <n> State を示すために使用されます。TX Advance は、対応する制御信号に基づいて Data Lane <n>を駆動して該当する LP State にします。

図 6-12 TX Advance データ・レーンの LP 送信



6.2.4 LP 受信

図 6-13 は、TX Advance クロック・レーンの LP 受信のタイミング図です。LP 受信の際、ユーザーは clk_hs_en と lp_clk_dir を 0 にセットします。TX Advance は Clock Lane State を lp_clk_in に出力します。

図 6-13 TX Advance クロック・レーンの LP 受信

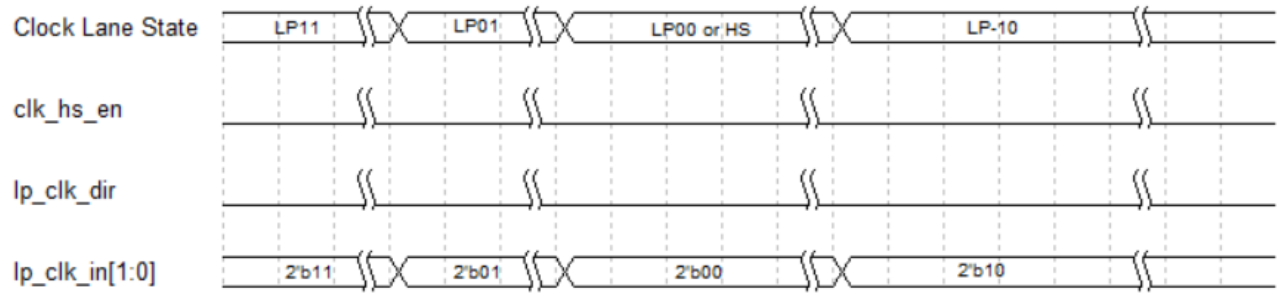
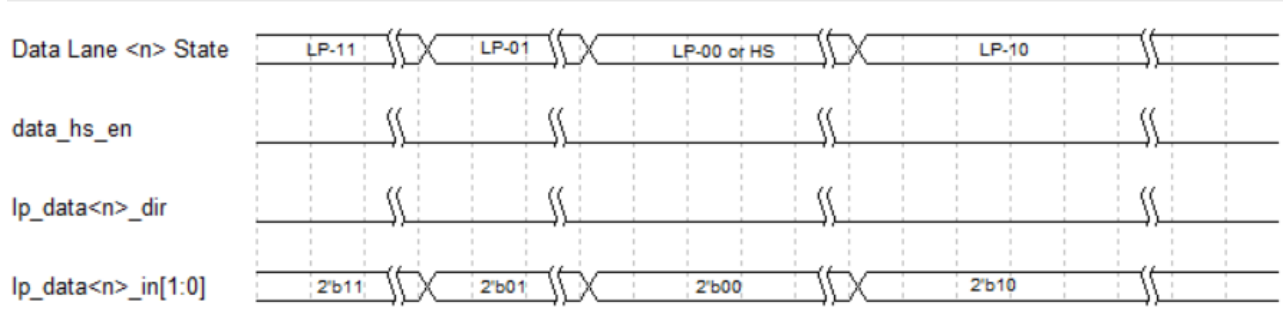


図 6-14 は、TX Advance データ・レーンの LP 受信のタイミング図です。LP 受信の際、ユーザーは data_hs_en と lp_data<n>_dir を 0 にセットします。TX Advance は Data Lane <n> State を lp_data<n>_in に出力します。

図 6-14 TX Advance データ・レーンの LP 受信



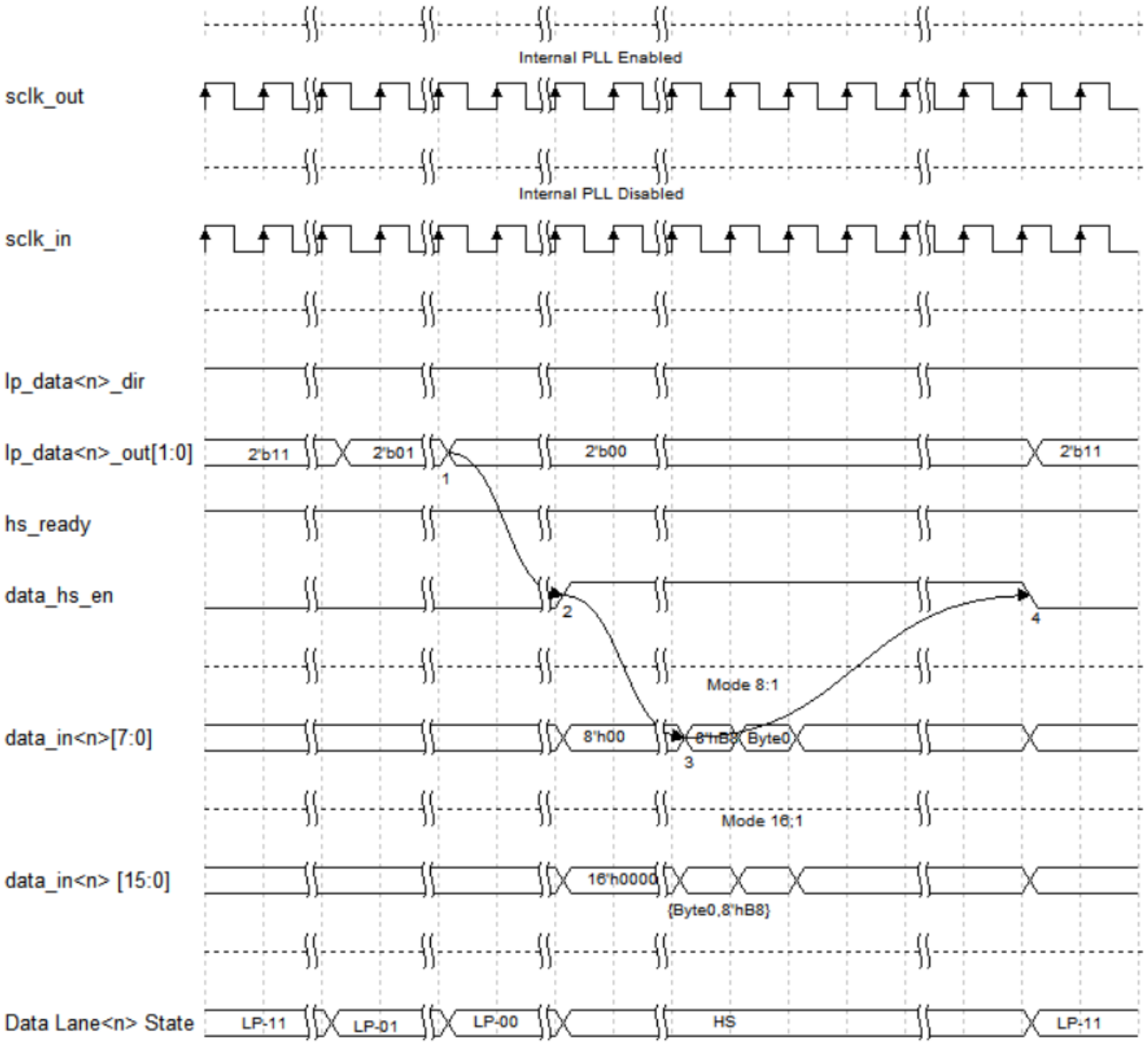
6.2.5 HS 送信

図 6-15 は、TX Advance データ・レーンの HS 送信のタイミング図です。

1. ユーザーが lp_data<n>_out を 2'b00 にセットすると、TX Advance は Data Lane <n>を LP00 に駆動します。

2. ユーザーが data_hs_en を 1 にセットし、かつ data_in<n>を 8'h00(8:1 モードの場合)または 16'h0000(16:1 モードの場合)にセットすると、TX Advance は Data Lane <n>を HS-0 に駆動します。
3. ユーザーが data_in<n>を、送信される HS データにセットします。TX Advance が HS データを Data Lane<n>に出力します。
4. ユーザーが data_hs_en を 0 に、lp_data<n>_out を 2'b11 にセットします。TX Advance が Data Lane<n>を LP-11 に駆動します。

図 6-15 TX Advance データ・レーンの HS 送信



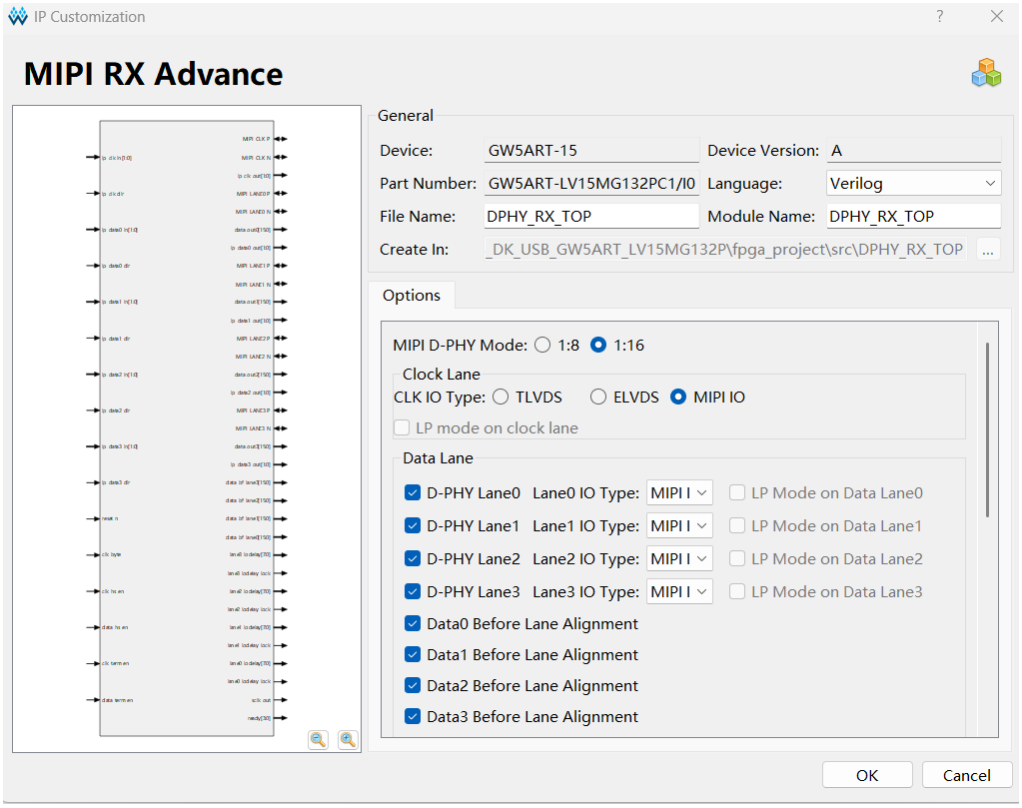
7 呼び出しと構成

Gowin ソフトウェア GUI 上のメニューバー > Tools > IP Core Generator を通じて MIPI D-PHY RX Advance IP または MIPI D-PHY TX Advance IP を構成・呼び出しできます。

7.1 MIPI D-PHY RX Advance の構成

MIPI D-PHY RX Advance の構成画面は図 7-1 に示すとおりです。

図 7-1 MIPI D-PHY RX Advance の構成画面



1.「File Name」は、生成される IP ファイルの名前です。この名前は変更できます。

2.「Module Name」は、生成れる IP モジュールの名前です。この名前は変更できます。

3. Options タブで、HS データ・レーンの数、LP モードでのクロックとデータ・レーン、byte alignment または lane alignment などを構成できます。表 7-1 に各構成オプションを示します。
4. デフォルトでは、1 つの HS クロック・レーンと 1 つの HS データ・レーンのみが使用されます。

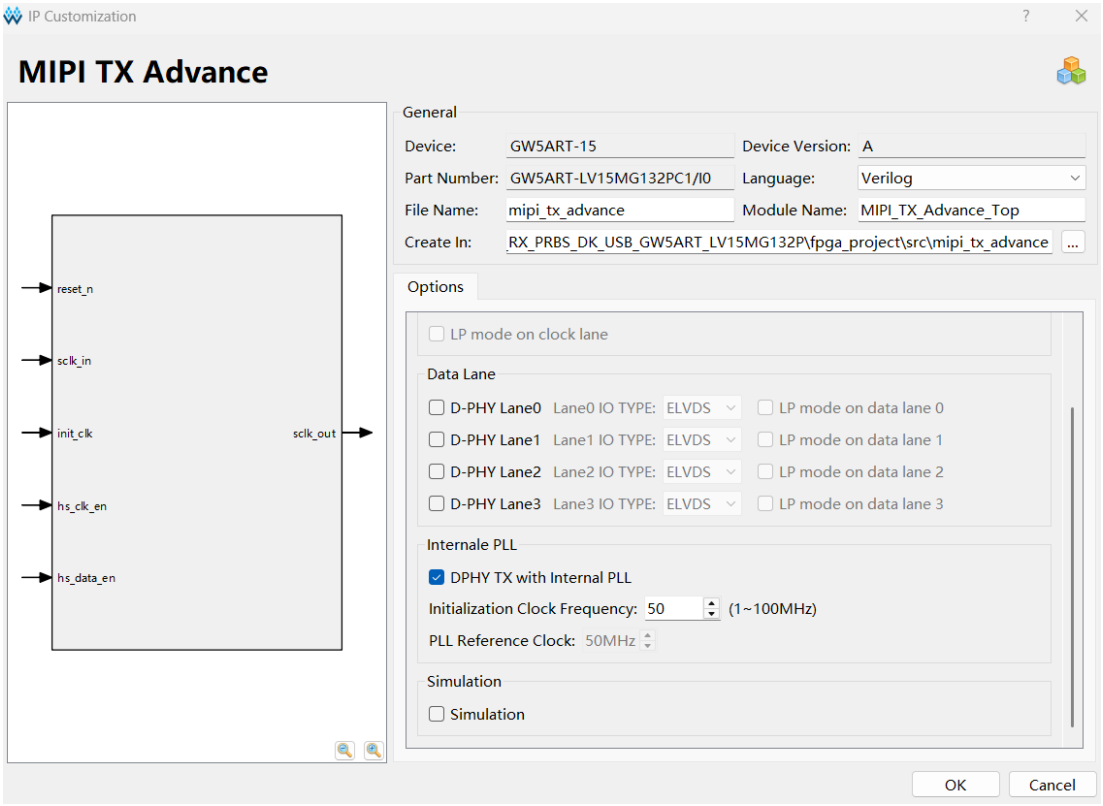
表 7-1 MIPI D-PHY RX Advance の構成オプション

オプション	説明
MIPI D-PHY Mode	データ転送比 1:8 または 1:16 のモードを選択します。
CLK IO Type	クロック・レーンの IO タイプ : ELVDS、TLVDS、または MIPI IO
D-PHY Lane[n]	クロック・レーン[n]のイネーブル
Lane[n] IO Type	データ・レーン[n]の IO タイプ : ELVDS、TLVDS、または MIPI IO
LP Mode on Data Lane[n]	データ・レーン[n]の LP モードのイネーブル(データ・レーン n の IO タイプが ELVDS または TLVDS の場合にのみイネーブル可能)
Data[n] Before Lane Alignment	データ・レーン[n]のバイト・アライメント前のデータ。IDES でサンプリングされた生データの観測に使用可能。
Turns On Lane Alignment	レーン・アライメントのイネーブル。これをチェックすると、データ・レーンのバイト・アライメントも強制的に有効になります。
Turns On Lane[n] Byte Alignment	データ・レーン[n]のバイト・アライメントのイネーブル
Lane[n] IO Delay Scan Enable	データ・レーン[n] IO Delay スキャンのイネーブル
HS Data[n] IO Delay Value	データ・レーン[n]の IO Delay の構成。データ・レーン[n]の IO Delay スキャンが無効な場合に構成可能です。
Simulation	シミュレーションのイネーブル。これをチェックすると、生成される.vo ファイルをシミュレーションに使用できます。これをチェックすると、生成される.vo ファイルをシミュレーションに使用できます。プロジェクトで使用する場合は、チェックを外す必要があります。

7.2 MIPI D-PHY TX Advance の構成

MIPI D-PHY TX Advance の構成画面は図 7-2 に示すとおりです。

図 7-2 MIPI D-PHY TX Advance の構成画面



1. 「File Name」は、生成される IP ファイルの名前です。この名前は変更できます。
2. 「Module Name」は、生成れる IP モジュールの名前です。この名前は変更できます。
3. Options フィールドで、HS データ・レーンの数、LP モードでのクロック・レーンとデータ・レーン、内部 PLL などを構成できます。表 7-2 に各構成オプションを示します。
4. デフォルトでは、1 つの HS クロック・レーンと 1 つの HS データ・レーンのみが使用されます。

表 7-2 MIPI D-PHY TX Advance の構成オプション

オプション	説明
MIPI D-PHY Mode	データ転送比 1:8 または 1:16 のモードを選択します。
D-PHY CLK	HS クロック・レーンのイネーブル
CLK IO Type	クロック・レーンの IO タイプ：ELVDS、TLVDS、または MIPI IO
LP mode on clock mode	クロック・レーンの LP モードのイネーブル(クロック・レーンの IO タイプが ELVDS または TLVDS の場合にのみイネーブル可能)
D-PHY Lane[n]	クロック・レーン[n]のイネーブル
Lane[n] IO Type	データ・レーン[n]の IO タイプ：ELVDS、TLVDS、または MIPI IO

オプション	説明
LP mode on data lane [n]	データ・レーン[n]の LP モードのイネーブル(データ・レーンの IO タイプが ELVDS または TLVDS の場合にのみイネーブル可能)
D-PHY TX with Internal PLL	内部 PLL のイネーブル
PLL Reference Clock	内部 PLL のリファレンス・クロックの周波数

付録 A MIPI D-PHY のデータレート表

表 A-1 MIPI D-PHY データレート(LittleBee ファミリー)

Resolution	Frame Rate (HZ)	Bits Per Pixel (Bits)	Total Data Rate (Mbps)	Lane Number	Per Lane Bit Rate (Mbps)	Recommended Gearing Ratio (1:N)	Per Lane Fabric Clock (MHz)
FHD 1920x1080p (2200x1125)	60	8	1188	2	594.0	8	74.25
		10	1485	2	742.5	8	92.81
		16	2376	2	1188.0	16	74.25
		18	2673	4	668.3	8	83.53
		24	3564	4	891.0	8	111.38
	120	8	2376	2	1188.0	16	74.25
		10	2970	4	742.5	8	92.81
		16	4752	4	1188.0	16	74.25
		18	5346	8	668.3	8	83.53
		24	7128	8	891.0	8	111.38
UHD 3840x2160p (4400x2250)	30	8	2376	4	594.0	8	74.25
		10	2970	4	742.5	8	92.81
		16	4752	4	1188.0	16	74.25
		18	5346	8	668.3	8	83.53
		24	7128	8	891.0	8	111.38
	60	8	4752	4	1188.0	16	74.25
		10	5940	8	742.5	8	92.81
		16	9504	8	1188.0	16	74.25

表 A-2 MIPI D-PHY データレート(Arora ファミリー)

Resolution	Frame Rate (HZ)	Bits Per Pixel (Bits)	Total Data Rate (Mbps)	Lane Number	Per Lane Bit Rate (Mbps)	Recommended Gearing Ratio (1:N)	Per Lane Fabric Clock (MHz)
FHD 1920x1080p (2200x1125)	60	8	1188	2	594.0	8	74.25
		10	1485	2	742.5	8	92.81
		16	2376	2	1188.0	8	148.50
		18	2673	4	668.3	8	83.53
		24	3564	4	891.0	8	111.38
	120	8	2376	2	1188.0	8	148.50
		10	2970	4	742.5	8	92.81
		16	4752	4	1188.0	8	148.50
		18	5346	8	668.3	8	83.53
		24	7128	8	891.0	8	111.38
UHD 3840x2160p (4400x2250)	30	8	2376	4	594.0	8	74.25
		10	2970	4	742.5	8	92.81
		16	4752	4	1188.0	8	148.50
		18	5346	8	668.3	8	83.53
		24	7128	8	891.0	8	111.38
	60	8	4752	4	1188.0	8	148.50
		10	5940	8	742.5	8	92.81
		16	9504	8	1188.0	8	148.50


GOWIN高云
智慧逻辑 定制未来