



Gowin UART Master & Slave IP ユーザーガイド

IPUG511-1.5J,2021-08-11

著作権について（2021）

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云、、Gowin、及びGOWINSEMIは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale（GOWINSEMI取引条件）に規定されている内容を除き、（明示的か又は黙示的に拘わらず）いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。本文書における全ての情報は、予備的情報として取り扱われなければなりません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ（不具合情報）については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2018/06/28	1.0J	初版。
2019/03/28	1.1J	サポートされるデバイスを更新。
2019/05/08	1.2J	AXI インターフェースを SRAM インターフェースに変更。
2019/07/22	1.3J	インターフェースコンフィギュレーションの説明を追加。
2019/09/25	1.4J	UART Master を IP、UART Slave をオープンソースのリファレンスデザインとして提供。
2021/08/11	1.5J	● レジスタ LSR/MSR の一部の説明を変更。 ● SRAM インターフェースのタイミング図を追加。

目次

目次	i
図一覧	iii
表一覧	iv
1 本マニュアルについて	1
1.1 マニュアル内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	1
1.4 テクニカル・サポートとフィードバック	2
2 機能の紹介	3
2.1 概要	3
2.2 特徴	3
2.2.1 Gowin UART Master IP	3
2.2.2 Gowin UART Slave	3
3 動作原理	4
3.1 ブロック図	4
3.2 Gowin UART Master IP レジスタ	4
3.2.1 受信バッファレジスタ (RBR)	5
3.2.2 送信保持レジスタ (THR)	5
3.2.3 割り込みイネーブルレジスタ (IER)	6
3.2.4 割り込み識別レジスタ (IIR)	7
3.2.5 ライン制御レジスタ (LCR)	7
3.2.6 モデム制御レジスタ (MCR)	8
3.2.7 ラインステータスレジスタ (LSR)	9
3.2.8 モデムステータスレジスタ (MSR)	10
3.2.9 SRAM Interface のタイミング図	11
3.3 Gowin UART Slave の実装	12
4 信号の定義	14
4.1 Gowin UART Master IP	14

4.1.1 SRAM インターフェース側の信号.....	14
4.1.2 UART 側の信号	14
4.2 Gowin UART Slave.....	15
5 インターフェースの構成.....	16
5.1 UART Master IP コアの構成 GUI.....	16
5.2 UART Slave リファレンスデザインのプロジェクト	17
5.3 ビットストリームファイルの生成	17
6 リファレンスデザイン	18

図一覧

図 3-1 ブロック図.....	4
図 3-2 SRAM Interface のタイミング	12
図 3-3 UART Slave の実装のダイアグラム.....	12
図 5-1 UART Master IP の構成 GUI	16
図 5-2 UART Slave プロジェクトを開く	17

表一覧

表 1-1 用語、略語.....	1
表 3-1 Gowin UART Master IP レジスタ.....	5
表 3-2 受信バッファレジスタ	5
表 3-3 受信バッファレジスタのビットの定義.....	5
表 3-4 送信保持レジスタ.....	6
表 3-5 送信保持レジスタのビットの定義.....	6
表 3-6 割り込みイネーブルレジスタ.....	6
表 3-7 割り込みイネーブルレジスタのビットの定義.....	6
表 3-8 割り込み識別レジスタ	7
表 3-9 割り込み識別レジスタのビットの定義.....	7
表 3-10 ライン制御レジスタ	7
表 3-11 ライン制御レジスタ	7
表 3-12 モデム制御レジスタ	9
表 3-13 モデム制御レジスタ	9
表 3-14 ラインステータスレジスタ	9
表 3-15 ラインステータスレジスタ	9
表 3-16 モデムステータスレジスタ	11
表 3-17 モデムステータスレジスタ	11
表 4-1 SRAM インターフェース側信号の定義	14
表 4-2 UART 側信号の定義.....	14
表 4-3 UART Slave 信号の定義.....	15

1 本マニュアルについて

1.1 マニュアル内容

本マニュアルは、ユーザーが **Gowin UART Master&Slave** を使いこなせるよう、その機能、信号の定義、動作原理、GUI での呼び出しについて説明しています。

1.2 関連ドキュメント

GOWIN セミコンダクターの公式 Web サイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW1N シリーズ FPGA 製品データシート ([DS100](#))
- GW1NS シリーズ FPGA 製品データシート ([DS821](#))
- GW1NR シリーズ FPGA 製品データシート ([DS117](#))
- GW1NSR シリーズ FPGA 製品データシート ([DS861](#))
- GW1NZ シリーズ FPGA 製品データシート ([DS841](#))
- GW2A シリーズ FPGA 製品データシート ([DS102](#))
- GW2AR シリーズ FPGA 製品データシート ([DS226](#))
- Gowin ソフトウェア ユーザーガイド ([SUG100](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
SRAM	Static Random Access Memory	スタティックRAM
UART	Universal Asynchronous Receiver/Transmitter	汎用非同期送受信機

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

Web サイト : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 機能の紹介

2.1 概要

UART(Universal Asynchronous Receiver/Transmitter)は、一種の汎用非同期送受信機です。

Gowin UART Master IP は、同期 SRAM インターフェースと外部接続用の標準の RS-232 インターフェースを備えた UART Master コントローラです。データは、シリアル通信とパラレル通信の間で変換されます。

Gowin UART Slave リファレンスデザインは、送受信機能を備えており、UART マスターとの通信機能を検証するために使用できます。

2.2 特徴

2.2.1 Gowin UART Master IP

- 5 ビット、6 ビット、7 ビット、または 8 ビットのデータビットをサポート。
- 奇数パリティ、偶数パリティ、またはパリティなしをサポート。
- 1 ビット、1.5 ビット、または 2 ビットのストップビットをサポート。
- ボーレートジェネレータを内蔵。
- 変調および復調制御機能付き。
- 深さが 16 バイトの送信および受信 FIFO。

2.2.2 Gowin UART Slave

送信および受信機能付き。

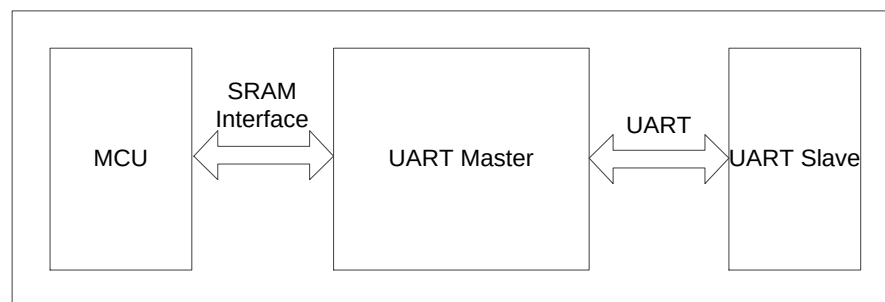
- 5 ビット、6 ビット、7 ビット、または 8 ビットのデータビットをサポート。
- 奇数パリティ、偶数パリティ、またはパリティなしをサポート。
- 1 ビット、1.5 ビット、または 2 ビットのストップビットをサポート。

3 動作原理

3.1 ブロック図

UART Master IP は「ブリッジ」として機能します。メインコントローラは命令またはデータを同期 SRAM インターフェースを介して UART Master IP に送信します。その後 UART Master IP は UART を介して UART Slave に送信するか、または UART Slave のデータは同期 SRAM インターフェースを介してメインコントローラにアップロードします (図 3-1)。

図 3-1 ブロック図



3.2 Gowin UART Master IP レジスタ

Gowin UART Master IP には、計 8 つのレジスタがあります：

- 受信バッファレジスタ (RBR)
- 送信保持レジスタ (THR)
- 割り込みイネーブルレジスタ (IER)
- 割り込み識別レジスタ (IIR)
- ライン制御レジスタ (LCR)
- モデム制御レジスタ (MCR)
- ラインステータスレジスタ (LSR)
- モデムステータスレジスタ (MSR)

注記：

受信バッファレジスタ (RBR) と送信保持レジスタ (THR) のアドレスは、どちらも 0x00 です。

表 3-1 Gowin UART Master IP レジスタ

レジスタ名	レジスタのアドレス	レジスタのビット幅	タイプ	説明
RBR	0x00	8	読み出し	受信バッファレジスタ
THR	0x00	8	書き込み	送信保持レジスタ
IER	0x01	8	書き込み	割り込みイネーブルレジスタ
IIR	0x02	8	読み出し	割り込み識別レジスタ
LCR	0x03	7	書き込み	ライン制御レジスタ
MCR	0x04	8	書き込み	モデム制御レジスタ
LSR	0x05	7	読み出し/書き込み	ラインステータスレジスタ
MSR	0x06	8	読み出し	モデムステータスレジスタ

3.2.1 受信バッファレジスタ (RBR)

受信バッファレジスタを表 3-2、レジスタの特定のビットの定義を表 3-3 に示します。

表 3-2 受信バッファレジスタ

31	8	7	0
Reserved		RBR	

表 3-3 受信バッファレジスタのビットの定義

ビット	名称	デフォルト値	アクセスタイプ	説明
31:8	Reserved	N/A	N/A	Reserved
7:0	RBR	0x0	読み出し	最後に受信したバイトをキャッシュします

3.2.2 送信保持レジスタ (THR)

送信保持レジスタを表 3-4 に示します。送信保持レジスタには、次に送信されるデータが含まれています (表 3-5)。

表 3-4 送信保持レジスタ

31	8	7	0
Reserved		THR	

表 3-5 送信保持レジスタのビットの定義

ビット	名称	デフォルト値	アクセスタイプ	説明
31:8	Reserved	N/A	N/A	Reserved
7:0	THR	0x0	書き込み	最後に送信されるバイトを保持します。

3.2.3 割り込みイネーブルレジスタ (IER)

割り込みイネーブルレジスタを表 3-6 に示します。割り込みイネーブルレジスタには、割り込みを有効にするビットがあります（表 3-7）。

表 3-6 割り込みイネーブルレジスタ

31	8	7	4	3	2	1	0
Reserved		0000		MSI	RLSI	THRI	RHRI

表 3-7 割り込みイネーブルレジスタのビットの定義

ビット	名称	デフォルト値	アクセスタイプ	説明
31	4	Reserved	N/A	Reserved
3	MSI	0x0	書き込み	Modemステータス割り込みイネーブル 0 : Modemステータス割り込みを無効にする 1 : Modemステータス割り込みを有効にする
2	RLSI	0x0	書き込み	受信ラインステータス割り込みイネーブル 0 : 受信ラインステータス割り込みを無効にする 1 : 受信ラインステータス割り込みを有効にする
1	THRI	0x0	書き込み	送信保持レジスタ空割り込みイネーブル 0 : 送信保持レジスタ空割り込みを無効にする 1 : 送信保持レジスタ空割り込みを有効にする
0	RBRI	0x0	書き込み	受信データ有効割り込みイネーブル

ビット	名称	デフォルト値	アクセス タイプ	説明
				0 : 受信データ有効割り込みイネーブルを無効にする 1 : 受信データ有効割り込みイネーブルを有効にする

3.2.4 割り込み識別レジスタ (IIR)

割り込み識別レジスタを表 3-8 に示します。割り込み識別レジスタには、割り込み識別の優先度があります。ビットの定義を表 3-9 に示します。

表 3-8 割り込み識別レジスタ

31	8	7	4	3	2	1	0
Reserved		0000		INT2	INT1	INT0	INT STAT

表 3-9 割り込み識別レジスタのビットの定義

ビット	名称	デフォルト値	アクセス タイプ	説明
31:4	Reserved	N/A	N/A	Reserved
3	INT2	0x0	読み出し	FIFOイネーブル 0:16450 mode 1:16550 mode
2	INT1	0x0	読み出し	割り込み識別 11 : 受信ラインステータス (最優先)
1	INT0			10 : 受信データ利用可能 (レベル2) 01 : 送信保持レジスタが空 (レベル3) 00 : モデムステータス (レベル4)
0	INT STAT	0x1	読み出し	0 : 割り込み待機 1 : 割り込み待機なし

3.2.5 ライン制御レジスタ (LCR)

ライン制御レジスタを表 3-10 に示します。ライン制御レジスタには、シリアル通信構成ビットが含まれています (表 3-11)。

表 3-10 ライン制御レジスタ

31	7	6	5	4	3	2	1	0
Reserved		SB	SP	EPS	EPN	STB		WLS

表 3-11 ライン制御レジスタ

ビット	名称	デフォルト値	アクセス タイプ	説明
-----	----	--------	-------------	----

ビット	名称	デフォルト値	アクセスタ イプ	説明
31:7	Reserved	N/A	書き込み	Reserved
6	SB	0x0	書き込み	割り込みの設定 1 : 割り込みを有効にする 0 : 割り込みを無効にする
5	SP	0x0	書き込み	強制パリティ 1 : ビット3、4が論理1の場合、パリティビットが送信され、論理0に強制されます。ビット4が論理0で、ビット3が論理1の場合、パリティビットが送信され、論理1に強制されます。 0 : 強制パリティを無効にする
4	EPS	0x0	書き込み	パリティの選択 1 : 偶数パリティを選択 0 : 奇数パリティを選択
3	PEN	0x0	書き込み	パリティイネーブル 1 : パリティを有効にする 0 : パリティを無効にする
2	STB	0x0	書き込み	ストップビット数 0 : 1ストップビット 1 : 2ストップビット。5データビットを転送するときは1.5ストップビット。受信の場合は1ストップビットのみを検知し、選択されたストップビットの数は任意です。
1:0	WLS	0x0	書き込み	データ幅の選択 00 : 5ビットデータ 01 : 6ビットデータ 10 : 7ビットデータ 11 : 8ビットデータ

3.2.6 モデム制御レジスタ (MCR)

モデム制御レジスタを表 3-12 に示します。モデム制御レジスタには、モデム信号構成ビットが含まれています。そのビットの定義を表 3-13 に示します。

表 3-12 モデム制御レジスタ

31	8	7	2	1	0
Reserved		000000		RTS	DTR

表 3-13 モデム制御レジスタ

ビット	名称	デフォルト値	アクセス タイプ	説明
31:8	Reserved	N/A	N/A	Reserved
7:2	N/A	0x0	書き込み	常に” 000000”
1	RTS	0x0	書き込み	送信要求 1 : RTSn 信号を Low に駆動 0 : RTSn 信号を High に駆動
0	DTR	0x0	書き込み	データ端末の準備完了 1 : DTRn 信号を Low に駆動 0 : DTRn 信号を High に駆動

3.2.7 ラインステータスレジスタ (LSR)

ラインステータスレジスタを表 3-14 に示します。ラインステータスレジスタには、現在の送信および受信のステータスが含まれています。ビットの定義をに示します。

表 3-14 ラインステータスレジスタ

31	7	6	5	4	3	2	1	0
Reserved		TEMT	THRE	BI	FE	PE	OE	RxRDY

表 3-15 ラインステータスレジスタ

ビット	名称	デフォルト 値	アクセス タイプ	説明
31:7	Reserved	N/A	N/A	Reserved
6	TEMT	0x1	読み出し	送信が空 0 : THRまたは送信シフトレジスタにデータが含まれています。 1 : THRまたは送信シフトレジスタが空です。FIFOモードでは、送信FIFOもシフトレジスタも空です。
5	THRE	0x1	読み出し	送信保持レジスタ (THR) は 0 : THRまたはFIFOに送信するデータがあります。 1 : THRは空です。FIFOモードでは、送信FIFOは空です。

ビット	名称	デフォルト値	アクセス タイプ	説明
4	BI	0x0	読み出し/ 書き込み	ブレーク割り込み (Break Interrupt) : データ転送全体 (スタートビット+データビット+パリティビット+ストップビット) でSINがローに保持されているときに、この割り込みを設定しますこのビットに「1」を1回書き込むと、このフラグビットがクリアされます。
3	FE	0x0	読み出し/ 書き込み	フレームエラー。 転送中に1ストップビットが失われました。 フレームエラーの後、UARTは、フレームエラーが次の送信のスタートビットによって引き起こされたと想定します。 スタートビットを2回サンプリングし、次のデータを受信して、同期を再試行します。このビットに「1」を1回書き込むと、このフラグビットがクリアされます。
2	PE	0x0	読み出し/ 書き込み	パリティエラー : これは、受信データに正しい数の1がないことを意味します。このビットに「1」を1回書き込むと、このフラグビットがクリアされます。
1	OE	0x0	読み出し/ 書き込み	オーバーフローエラー : RBRは次のデータ受信の前に読み出されなかったため、前のデータが破壊されました。FIFOモードでは、FIFOがfullになり、受信シフトレジスタが次のデータ受信を完了している場合にオーバーフローエラーが送信されます。このビットに「1」を1回書き込むと、このフラグビットがクリアされます。
0	RxRDY	0x0	読み出し	データの準備完了。 0 : すべてのRBRおよびFIFOが読み出されました。 1 : データが受信され、RBR FIFOに転送されました。

3.2.8 モデムステータスレジスタ (MSR)

モデムステータスレジスタを表 3-16 に示します。モデムステータスレジスタには、現在のモデムインターフェースのステータスが含まれています。

ビットの定義を表 3-17 に示します。

表 3-16 モデムステータスレジスタ

31	8	7	6	5	4	3	2	1	0
Reserved		DCD	RI	DSR	CTS	DDCD	TERI	DDSR	DCTS

表 3-17 モデムステータスレジスタ

ビット	名称	デフォルト値	アクセスタイプ	説明
31:8	Reserved	N/A	N/A	Reserved
7	DCD	X	読み出し	データキャリアの検出 (アクティブLow) 0 : データキャリアがModemまたはデータデバイスによって検出されました。
6	RI	X	読み出し	リングングプロンプト
5	DSR	X	読み出し	データ通信機器の準備完了 (アクティブLow) 0 : ModemまたはデータデバイスはUARTとの接続を確立する準備ができています。
4	CTS	X	読み出し	送信を許可 (アクティブLow) 0 : Modemまたはデータデバイスはデータを交換する準備ができています。
3	DDCD	0x0	読み出し	Delta Data Carrier Detect 前回のMSR読み出し後のDCDNの変更。
2	TERI	0x0	読み出し	Trailing Edge Ring Indicator RINがLowからHighに変更されました (RIN has changed from a low to a High)。
1	DDSR	0x0	読み出し	Delta Data Set Ready 前回のMSR読み出し後のDSRNの変更 (Change in DSRN after last MSR read)。
0	DCTS	0x0	読み出し	Delta Clear To Send 前回のMSR読み出し後のCTSNの変更 (Change in CTSN after last MSR read)。

注記：

デフォルト値 X は、このビットは外部入力信号によって駆動されることを示します。

3.2.9 SRAM Interface のタイミング図

UART Master IP は、同期 SRAM インターフェースを介してメインコン

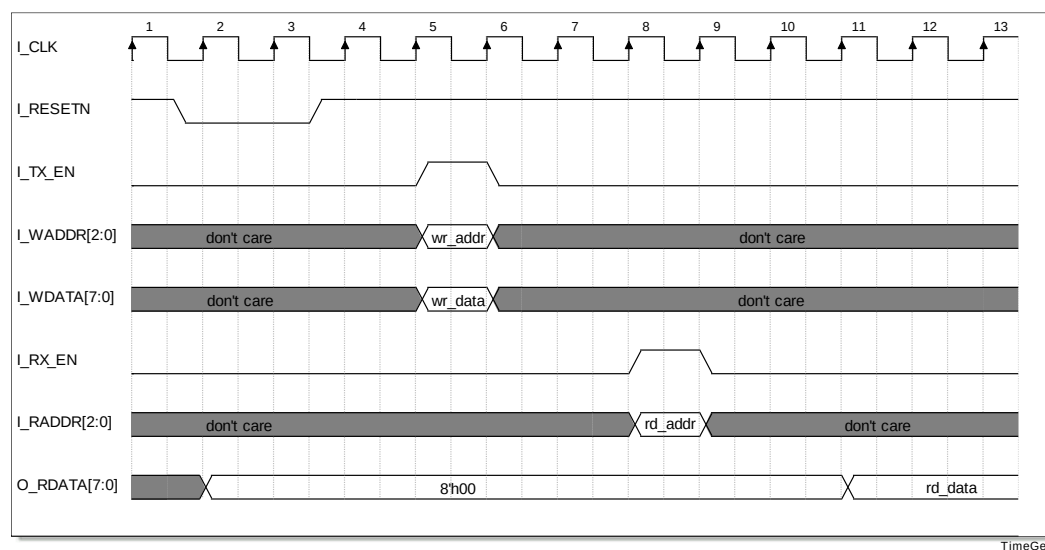
トローラから命令またはデータを受信でき、メインコントローラにデータを返すこともできます。

メインコントローラが同期 **SRAM** インターフェースを介して書き込む必要がある場合、少なくとも 1 つの **I_CLK** クロックサイクルで **I_TX_EN** 信号を **High** にプルアップしてから、**I_WADDR** 信号と **I_WDATA** 信号を入力する必要があります。これにより、1 つの **I_CLK** クロックで 1 つの有効アドレスにデータを 1 回書き込むことができます。

メインコントローラが同期 **SRAM** インターフェースを介して読み出す必要がある場合、少なくとも 1 つの **I_CLK** クロックサイクルで **I_RX_EN** 信号を **High** にプルアップしてから、**I_RADDR** 信号を入力する必要があります。インターフェースがある **I_CLK** クロックの立ち上がりエッジで読み出し要求を検出すると、少なくとももう 2 サイクル待機した後、対応するデータを返します。1 つの **I_CLK** クロックで 1 つの有効アドレスからデータを 1 回読み出すことができます。

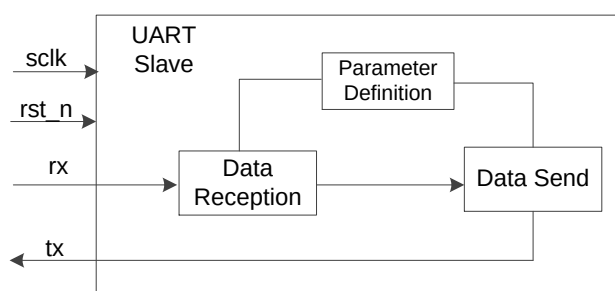
UART Master IP 同期 SRAM インターフェースの書き込み/読み出しのタイミングを図 3-2 に示します。

図 3-2 SRAM Interface のタイミング



3.3 Gowin UART Slave の実装

図 3-3 UART Slave の実装のダイアグラム



UART Slave リファレンスデザインには、主にデータ受信モジュールと

データ送信モジュールが含まれます。データ受信モジュールは、マスターによって送信されたシリアルデータを受信し、パラレルデータに変換してデータ送信モジュールへ送信するように構成されています。データ送信モジュールは、データ受信モジュールによって送信されたパラレルデータを受信し、それをシリアルデータに変換してマスターに送信するように構成されています。

パラメータ定義は、システムクロック周波数、ボーレート、およびデータフレーム形式の設定に使用されます。

4 信号の定義

4.1 Gowin UART Master IP

4.1.1 SRAM インターフェース側の信号

表 4-1 SRAM インターフェース側信号の定義

番号	信号名	方向	説明	備考
1	I_CLK	I	動作クロック。立ち上がりエッジでサンプリング。	-
2	I_RESETN	I	リセット信号	-
3	I_TX_EN	I	書き込みイネーブル信号	SRAM 書き込みアドレスチャンネル信号
4	I_WADDR[2:0]	I	書き込みアドレス信号	
5	I_WDATA[7:0]	I	書き込みデータ信号	
6	I_RX_EN	I	読み出しイネーブル信号	SRAM 読み出しアドレスチャンネル信号
7	I_RADDR[2:0]	I	読み出しアドレス信号	
8	O_RDATA[7:0]	O	読み出しデータ信号	

4.1.2 UART 側の信号

表 4-2 UART 側信号の定義

番号	信号名	方向	説明	備考
1	SIN	I	シリアルデータ入力	-
2	RxRDYn	O	受信する準備完了	-
3	SOUT	O	シリアルデータ出力	-
4	TxRDYn	O	送信する準備完了	-
5	DDIS	O	ドライバーを無効にする	-
6	INTR	O	割り込み信号	-
7	DCDn	I	データキャリアの検出。アクティブ Low	Modem インターフェース
8	CTSn	I	送信の実行。アクティブ Low	
9	DSRn	I	データ通信機器の準備完了	

番号	信号名	方向	説明	備考
			了。アクティブ Low	
10	RIn	I	リングングプロンプト。 アクティブ Low	
11	DTRn	O	データ端末の準備完了。 アクティブ Low	
12	RTSn	O	送信要求。アクティブ Low	

4.2 Gowin UART Slave

表 4-3 UART Slave 信号の定義

番号	信号名	方向	説明	備考
1	SCLK	I	クロック信号	-
2	RSTN	I	リセット信号	-
3	TXD	O	シリアル出力信号	-
4	RXD	I	シリアル入力信号	-

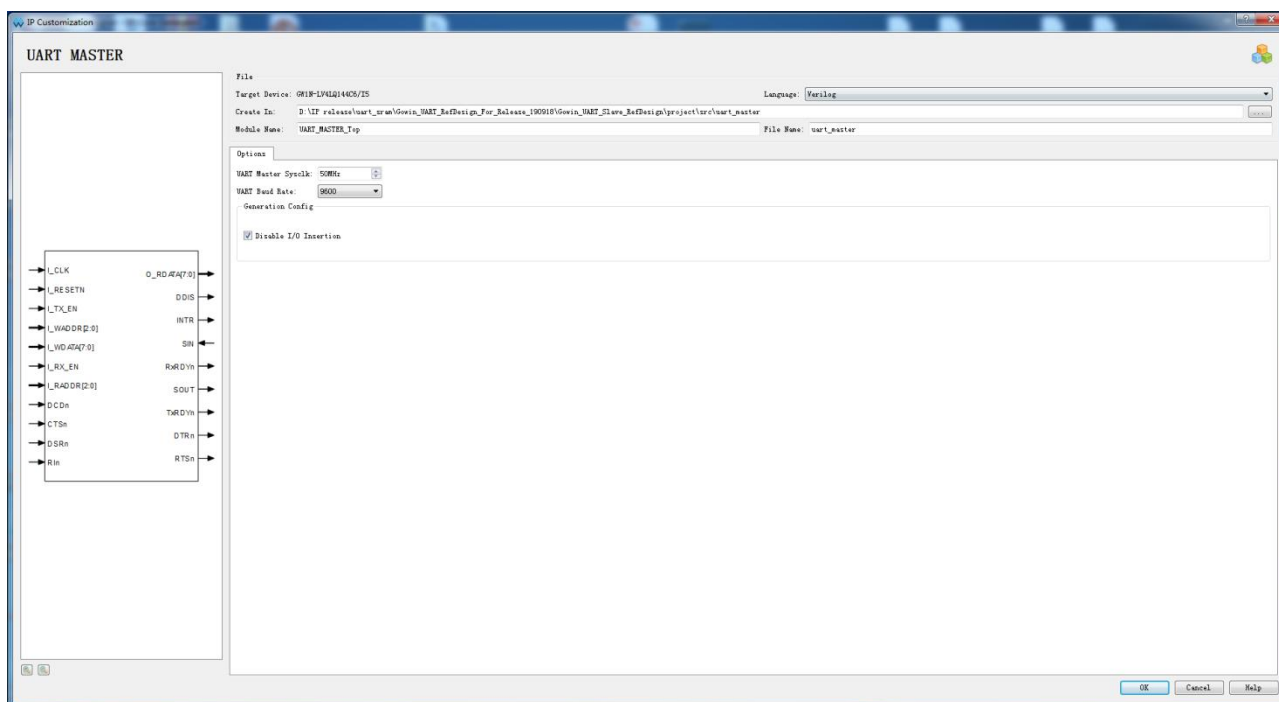
5 インターフェースの構成

Gowin ソフトウェアの IP Core Generator を使用して、IP を呼び出して構成できます。

5.1 UART Master IP コアの構成 GUI

UART Master IP の構成 GUI を図 5-1 に示します。

図 5-1 UART Master IP の構成 GUI



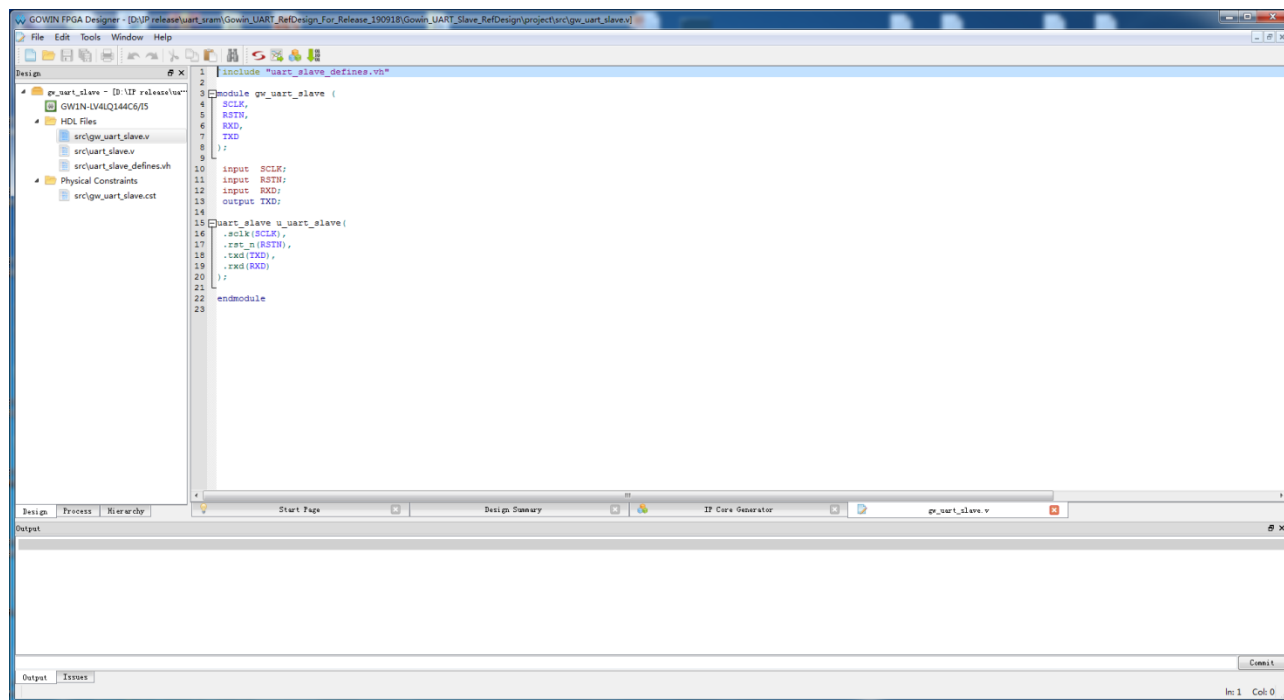
5.2 UART Slave リファレンスデザインのプロジェクト

Gowin ソフトウェアを起動した後、“File> Open …” をクリックして、“Open File” ダイアログボックスを開きます。必要なプロジェクトファイル (*.gprj) を選択して、プロジェクトを開きます(図 5-2)。

注記：

プロジェクトを開くには 3 つの方法があります。他のプロジェクトを開く方法については、『Gowin ソフトウェア ユーザーガイド ([SUG100](#))』を参照してください。

図 5-2 UART Slave プロジェクトを開く



5.3 ビットストリームファイルの生成

必要な制約を行った後、合成および配置配線を実行してビットストリームファイルを生成します。Gowin ダウンロードケーブルを介してビットストリームファイルを開発ボードまたはテストボードにダウンロードすると、テストインターフェースによって通信状況が観測できます。

6 リファレンスデザイン

詳細については、GOWIN 公式 Web サイトの UART リファレンスデザインを参照してください。

