



Gowin SPI Master & Slave IP ユーザーガイド

IPUG510-1.5J, 2021-08-11

著作権について（2021）

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云、、Gowin、及びGOWINSEMIは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale（GOWINSEMI取引条件）に規定されている内容を除き、（明示的か又は黙示的に拘わらず）いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。本文書における全ての情報は、予備的情報として取り扱われなければなりません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ（不具合情報）については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2018/06/28	1.0J	初版。
2019/03/28	1.1J	サポートされるデバイスを更新。
2019/05/08	1.2J	AXI インターフェースを SRAM インターフェースに変更。
2019/07/17	1.3J	インターフェースの構成の説明を追加
2019/09/25	1.4J	SPI Master を IP、SPI Slave をオープンソースのリファレンスデザインとして提供。
2021/08/11	1.5J	● 一部の IP レジスタの説明を追加。 ● SRAM インターフェースのタイミング図を追加。

目次

目次	i
図一覧	iii
表一覧	iv
1 本マニュアルについて	1
1.1 マニュアル内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	1
1.4 テクニカル・サポートとフィードバック	2
2 機能の紹介	3
2.1 概要	3
2.2 特徴	3
2.2.1 Gowin SPI Master IP	3
2.2.2 Gowin SPI Slave	3
3 動作原理	5
3.1 ブロック図	5
3.2 Gowin SPI Master IP レジスタ	5
3.2.1 受信レジスタ	6
3.2.2 送信レジスタ	6
3.2.3 ステータスレジスタ	7
3.2.4 制御レジスタ	8
3.2.5 スレーブ選択フラグレジスタ	9
3.2.6 SRAM Interface のタイミング図	10
3.3 Gowin SPI Slave の実装	11
4 信号の定義	12
4.1 Gowin SPI Master IP	12
4.1.1 SRAM インターフェース側の信号	12
4.1.2 SPI 側信号	12
4.2 Gowin SPI Slave	13

5	パラメータの定義.....	14
5.1	SPI Master パラメータの定義.....	14
5.2	SPI Slave パラメータの定義.....	15
6	インターフェースの構成.....	16
6.1	SPI MASTER IP コアの構成 GUI.....	16
6.2	SPI Slave リファレンスデザインのサンプルプロジェクト.....	17
6.3	bitstream ファイルの生成	17
7	リファレンスデザイン	18

図一覧

図 3-1 ブロック図.....	5
図 3-2 SRAM Interface のタイミング	10
図 3-3 SPI Slave の実装のダイアグラム	11
図 6-1 SPI MASTER の構成 GUI	16
図 6-2 SPI Slave プロジェクトを開く	17

表一覧

表 1-1 用語、略語.....	1
表 3-1 Gowin SPI Master IP レジスタ	6
表 3-2 受信レジスタ	6
表 3-3 受信レジスタ	6
表 3-4 送信レジスタ	7
表 3-5 送信レジスタ	7
表 3-6 ステータスレジスタ	7
表 3-7 ステータスレジスタ	8
表 3-8 制御レジスタ	8
表 3-9 制御レジスタ	8
表 3-10 スレーブ選択フラグレジスタ	10
表 3-11 スレーブ選択フラグレジスタ	10
表 4-1 SRAM インターフェース側の信号.....	12
表 4-2 SPI 側信号の定義.....	12
表 4-3 SPI Slave 信号の定義.....	13
表 5-1 SPI Master パラメータ	14
表 5-2 SPI Slave パラメータ	15

1 本マニュアルについて

1.1 マニュアル内容

本マニュアルは、ユーザーが Gowin SPI Master&Slave IP を使いこなせるよう、その機能、信号の定義、動作原理、GUI での呼び出しについて説明しています。

1.2 関連ドキュメント

GOWIN セミコンダクターの公式 Web サイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW1N シリーズ FPGA 製品データシート ([DS100](#))
- GW1NS シリーズ FPGA 製品データシート([DS821](#))
- GW1NR シリーズ FPGA 製品データシート([DS117](#))
- GW1NSR シリーズ FPGA 製品データシート([DS861](#))
- GW1NZ シリーズ FPGA 製品データシート([DS841](#))
- GW2A シリーズ FPGA 製品データシート ([DS102](#))
- GW2AR シリーズ FPGA 製品データシート([DS226](#))
- Gowin ソフトウェア ユーザーガイド ([SUG100](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
SRAM	Static Random Access Memory	スタティックRAM
SPI	Serial Peripheral Interface	シリアル・ペリフェ

用語、略語	正式名称	意味
		ラル・インターフェース

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

Web サイト : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2機能の紹介

2.1 概要

同期式の高速全二重データ通信バスとして、**SPI (Serial Peripheral Interface、シリアル・ペリフェラル・インターフェース)** バスは、MCU とさまざまな周辺機器間のシリアル通信とデータ交換を可能にしています。4本の信号線のみを使用するため、ピン数が減少され、PCBのレイアウト上のスペースを節約します。その使いやすさにより、**SPI** バスは多くのチップに統合されています。**Gowin SPI Master IP** は、同期 **SRAM** インターフェースを備えた **SPI Master** コントローラです。

Gowin SPI Slave リファレンスデザインは、**SPI** バスプロトコルに準拠し、送受信機能を備えており、**SPI** マスターとの通信機能を検証するために使用できます。

2.2 特徴

2.2.1 Gowin SPI Master IP

- 全二重同期シリアルデータ転送。
- マスターモードとスレーブモードをサポート。
- **SPI** の動作状態に応じて割り込み信号を生成。
- **SPI** によって生成されるシリアルクロック周波数は構成可能。
- クロックの極性と位相は構成可能。
- データ受信レジスタとデータ送信レジスタは、8～32ビット幅に構成可能。
- 最下位または最上位ビットを優先的に転送可能。

2.2.2 Gowin SPI Slave

- 全二重同期シリアルデータ転送。
- クロックの極性と位相は構成可能。
- 最下位または最上位ビットを優先的に転送可能。

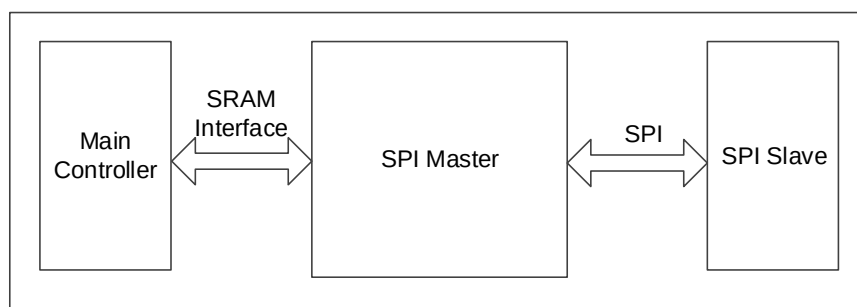
- データ受信レジスタとデータ送信レジスタは、8～32 ビット幅に構成可能。

3 動作原理

3.1 ブロック図

図 3-1 に示す通りです。メインコントローラは命令またはデータを同期 SRAM インターフェースを介して SPI Master IP に送信します。その後 SPI Master IP は SPI を介して SPI Slave に送信するか、または SPI Slave のデータは同期 SRAM インターフェースを介してメインコントローラにアップロードします。

図 3-1 ブロック図



3.2 Gowin SPI Master IP レジスタ

Gowin SPI Master IP には、計 5 つのレジスタがあります：

- 受信レジスタ
- 送信レジスタ
- ステータスレジスタ
- 制御レジスタ
- スレーブ選択フラグレジスタ

表 3-1 Gowin SPI Master IP レジスタ

レジスタ名	レジスタのアドレス	デフォルトのビット幅	タイプ	説明
受信レジスタ	0x00	8	読み出し専用	受信レジスタ
送信レジスタ	0x01	8	書き込み / 読み出し	送信レジスタ
ステータスレジスタ	0x02	8	読み出し専用	ステータスレジスタ
制御レジスタ	0x03	8	書き込み / 読み出し	制御レジスタ
スレーブ選択フラグレジスタ	0x04	8	書き込み / 読み出し	スレーブ選択フラグレジスタ

3.2.1 受信レジスタ

データ受信パスでは、SPI バスからの MISO データが受信シフトレジスタに送信され、受信シフトレジスタがいっぱいになると、データが受信レジスタに送信されるとともに、RRDY (receive ready) 信号がセットされます。受信レジスタのデータは、同期 SRAM インターフェースを介して読み出すことができます。受信レジスタが読み出されると、RRDY 信号が 0 にリセットされます。RRDY 信号が 1 の場合、新しいデータが受信レジスタに送信され、受信レジスタのデータが新しいデータで上書きされるようになり、ROE (receive overrun error) 信号は 1 にセットされます。

表 3-2 受信レジスタ

N-1	reg_rxddata(DN-1 - D0)	0
-----	------------------------	---

表 3-3 受信レジスタ

ビット数	名称	タイプ	説明	備考
(N-1) - 0	reg_rxddata (DN-1 - D0)	読み出し専用	N は、8、16、または 32。	-

3.2.2 送信レジスタ

データ送信パスでは、同期 SRAM インターフェースからのデータが送信レジスタに転送されます。データを送信レジスタに書き込むと、ステータスレジスタの TRDY (transmit ready) ビットがリセットされます。この時点でバス上でデータが送信されていない場合、送信レジスタ内のデータは送信シフトレジスタに転送され、TRDY は 1 にセットされます。TRDY が 0 の場合、新しいデータが送信レジスタに送信されることを示し、この時

は TOE (transmit overrun error) を 1 にセットします。

表 3-4 送信レジスタ

N-1	Reg_txdata(DN-1 - D0)	0
-----	-----------------------	---

表 3-5 送信レジスタ

ビット数	名称	タイプ	説明	備考
(N-1) - 0	Reg_txdata (DN-1 - D0)	書き込み/読み 出し	N は、8、16、または 32。	-

3.2.3 ステータスレジスタ

同期 SRAM インターフェース SPI には、割り込み信号をトリガおよびクリアするために使用されるステータスレジスタと制御レジスタが含まれています。

ステータスレジスタは、同期 SRAM インターフェース SPI の動作ステータスを確認するために使用され、主にデータの受信または送信オーバーラン、データシフトレジスタが空かどうか、および送信と受信の準備ができているかどうかを示します。

表 3-6 ステータスレジスタ

31	8	7	6	5	4	3	2	1:0
		E	RRDY	TRDY	TMT	TOE	ROE	Reserv ed

表 3-7 ステータスレジスタ

ビット名 (Bit Name)	ビット番号	説明	備考
Reserved	1:0	Reserved	-
ROE	2	Receive Overrun Error 1 : error。データ受信のオーバーラン、つまり、受信レジスタの読み出し時にデータの書き込まれること。ROE が発生するときに、このビットに「1」を 1 回書き込むと、ROE クリアおよび IROE 割り込みクリア操作が 1 回実行されます。	-
TOE	3	Transmit Overrun Error 1 : error。データ送信のオーバーラン、つまり、送信レジスタ内のデータが送信シフトレジスタに転送されるとき、新しいデータが送信レジスタに転送されること。TOE が発生するときに、このビットに「1」を 1 回書き込むと、TOE クリアおよび ITOE 割り込みクリア操作が 1 回実行されます。	-
TMT	4	1 : empty。つまり、送信シフトレジスタが空であること。	-
TRDY	5	1 : 送信レジスタは、データを送信する準備ができています。	-
RRDY	6	1 : 受信レジスタは、データを受信する準備ができています。	-
E	7	1 : error。ROE および TOE の OR 演算の結果です。	-

3.2.4 制御レジスタ

同期 SRAM インターフェース SPI 制御レジスタは、主に割り込みイネーブル信号を設定するために使用されます。Gowin SPI Master IP インターフェースの割り込み出力信号 O_SPI_INT は、次の IROE、ITOE、ITRDY、および IRRDY ビットの論理または処理によって生成されます。

表 3-8 制御レジスタ

31	8	7	6	5	4	3	2	1	0
		SSO	Reserved	IE	IRRDY	ITRDY	Reserved	ITOE	IROE

表 3-9 制御レジスタ

ビット名 (Bit Name)	ビット番号	説明	備考
-----------------	-------	----	----

ビット名 (Bit Name)	ビット番号	説明	備考
IROE	0	ROE割り込み要求をイネーブルするか 1 : イネーブル 0 : ディセーブル	-
ITOE	1	TOE割り込み要求をイネーブルするか 1 : イネーブル 0 : ディセーブル	-
Reserved	2	Reserved	-
ITRDY	3	TRDY割り込み要求をイネーブルするか 1 : イネーブル 0 : ディセーブル ユーザーが送信レジスタにデータを1回書き込むと、ITRDY割り込みは1回自動的にクリアされます。	-
IRRDY	4	RRDY割り込み要求をイネーブルするか 1 : イネーブル 0 : ディセーブル ユーザーが受信レジスタからデータを1回読み出すと、IRRDY割り込みは1回自動的にクリアされます。	-
IE	5	割り込み要求をイネーブルするか(TOEまたはROEの場合のみ)	-
Reserved	6	Reserved	-
SSO	7	マスターモードでは、スレーブを選択するために使用されます。1にセットすると、reg_ssmaskが反転された後のデータがSS_N_MASTERに割り当てられ、それによって選択されるスレーブが決定されます。	-

3.2.5 スレーブ選択フラグレジスタ

マスターモードでは、スレーブを選択してデータを送信するために使用されます。スレーブ選択フラグレジスタには、各 **SS_N** 出力に対応するデータビットがあります。スレーブ選択フラグレジスタの特定のビットをセットすると、対応する **SS_N** がアクティブ **Low** になります。たとえば、スレーブ選択フラグレジスタのバイナリデータが **00000001** の場合、**SS_1** は有効であり、マスターは **SS_1** に対応するスレーブと通信します。さらに、同期 **SRAM** インターフェース **SPI** では、複数のスレーブ選択信号を同時にアサートできますが、**MISO** バスでのコンテンションを避けるように注意する必要があります。

スレーブモードでは、同期 **SRAM** インターフェース **SPI** はそれ自体でデータ転送を開始できず、**SS_N** 入力が **Low** の場合にのみデータ転送が可能です。

表 3-10 スレーブ選択フラグレジスタ

31	N	N-1	0
Reserved		Slave Select	

表 3-11 スレーブ選択フラグレジスタ

ビット名 (Bit Name)	ビット番号	説明	備考
Slave Select	[N-1] - 0	アクティブ Low、N はデフォルトで ≤8	-
Reserved	31 - N	Reserved	-

3.2.6 SRAM Interface のタイミング図

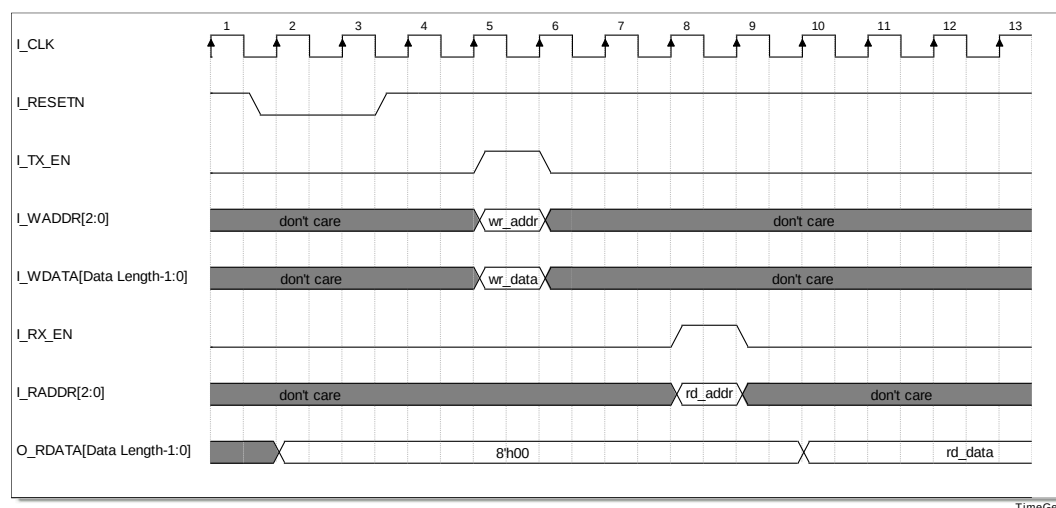
SPI Master IP は、同期 SRAM インターフェースを介してメインコントローラから命令またはデータを受信でき、メインコントローラにデータを返すこともできます。

メインコントローラが同期 SRAM インターフェースを介して書き込む必要がある場合、少なくとも 1 つの **I_CLK** クロックサイクルで **I_TX_EN** 信号を High にプルアップしてから、**I_WADDR** 信号と **I_WDATA** 信号を入力する必要があります。これにより、1 つの **I_CLK** クロックで 1 つの有効アドレスにデータを 1 回書き込むことができます。

メインコントローラが同期 SRAM インターフェースを介して読み出す必要がある場合、少なくとも 1 つの **I_CLK** クロックサイクルで **I_RX_EN** 信号を High にプルアップしてから、**I_RADDR** 信号を入力する必要があります。インターフェースがある **I_CLK** クロックの立ち上がりエッジで読み出し要求を検出すると、少なくとももう 1 サイクル待機した後、対応するデータを返します。1 つの **I_CLK** クロックで 1 つの有効アドレスからデータを 1 回読み出すことができます。

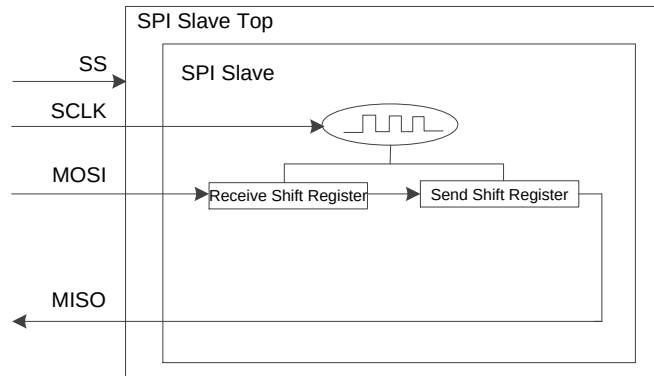
SPI Master IP 同期 SRAM インターフェースの書き込み/読み出しのタイミングを図 3-2 に示します。

図 3-2 SRAM Interface のタイミング



3.3 Gowin SPI Slave の実装

図 3-3 SPI Slave の実装のダイアグラム



SPI Slave リファレンスデザインには、主にデータ受信モジュールとデータ送信モジュールが含まれます。

1. 受信データ

MOSI データは、SCLK クロックの動作によってビットごとに受信シフトレジスタに送信されます。構成されたパラメータ **SHIFT_DIRECTION** に従って、シフトレジスタ内のデータが **MSB->LSB** または **LSB->MSB** かどうかが決定されます;受信シフトレジスタのビット幅は、構成されたパラメータ **DATA_LENGTH** によって決定されます。

2. 送信データ

SCLK クロックの動作によって、送信シフトレジスタ内のデータはビットごとに MISO に送信されます。構成されたパラメータ **SHIFT_DIRECTION** に従って、送信順が **MSB->LSB** または **LSB->MSB** かどうかが決定されます;送信シフトレジスタのビット幅は、構成されたパラメータ **DATA_LENGTH** によって決定されます。送信（受信）ビット数が設定された **DATA_LENGTH** に達すると、受信シフトレジスタ内のデータが送信シフトレジスタに転送され、それによりマスターとスレーブ間のデータ交換が実現されます。

4 信号の定義

4.1 Gowin SPI Master IP

4.1.1 SRAM インターフェース側の信号

表 4-1 SRAM インターフェース側の信号

番号	信号名	方向	説明	備考
1	I_CLK	I	動作クロック。立ち上がりエッジでサンプリング。	-
2	RESETN	I	リセット信号	-
3	I_TX_EN	I	書き込みイネーブル信号	SRAM 書き込みアドレスチャネル信号
4	I_WADDR[2:0]	I	書き込みアドレス信号	
5	I_WDATA[Data Length -1:0]	I	書き込みデータ信号	
6	I_RX_EN	I	読み出しイネーブル信号	SRAM 読み出しアドレスチャネル信号
7	I_RADDR[2:0]	I	読み出しアドレス信号	
8	O_RDATA[Data Length -1:0]	O	読み出しデータ信号	

4.1.2 SPI 側信号

表 4-2 SPI 側信号の定義

番号	信号名	方向	説明	備考
1	SCLK_MASTER	出力	シリアルクロック	マスターモード
2	SS_N_MASTER	出力	スレーブ選択信号、アクティブLow	
3	MOSI_MASTER	出力	マスター出力、スレーブ入力	
4	MISO_MASTER	入力	マスター入力、スレーブ出力	

5	SCLK_SLAVE	入力	シリアルクロック	スレーブモード
6	SS_N_SLAVE	入力	スレーブ選択信号、アクティブLow	
7	MOSI_SLAVE	入力	マスター出力、スレーブ入力	
8	MISO_SLAVE	出力	マスター入力、スレーブ出力	
9	O_SPI_INT	出力	割り込み信号	

4.2 Gowin SPI Slave

表 4-3 SPI Slave 信号の定義

番号	信号名	方向	説明	備考
1	SCLK	入力	クロック信号	-
2	SS	入力	スレーブ選択信号	-
3	MOSI	入力	マスター出力、スレーブ入力	-
4	MISO	出力	マスター入力、スレーブ出力	-

5 パラメータの定義

5.1 SPI Master パラメータの定義

表 5-1 SPI Master パラメータ

番号	名称	説明	値
1	Master	SPI をマスターモードまたはスレーブモードで動作するように指定 0 : スレーブモード 1 : マスターモード	0/1
2	Slave Number	サポートできるスレーブの数を指定	1-32
3	Data Length	シリアルデータのビット幅を指定	8-32
4	Shift Direction	データの最上位ビット (MSB) と最下位ビット (LSB)、どちらを優先的に送信するかを指定 0 : データの MSB を優先的に送信 1 : データの LSB を優先的に送信	0/1
5	Clock Phase	SPI のクロック位相を指定 0 : データは SCLK の最初のエッジで有効 1 : データは SCLK の 2 番目のエッジで有効	0/1
6	Clock Polarity	SPI のクロック極性を指定 0 : SCLK はアクティブ High 1 : SCLK はアクティブ Low	0/1
7	Clkcnt Width	クロックカウンターの範囲を指定。 SCLK のデータ幅を満たすのに十分なビット幅が必要。	1-32
8	Clock Sel	I_CLK 分周により SCLK を生成するために必要な分周係数を指定。 SCLK は次の式で計算可能。 $SCLK = I_CLK / (2 * (CLOCK_SEL + 1))$ 。	0-2clkcnt_width-1
9	Delay Time	SS_N 信号がアサートされた後、データの最初のビットが送信される前に待機	0-63

番号	名称	説明	値
		する遅延時間を指定。待機する遅延時間は、次の式で計算可能： $\text{Delay} = \text{DELAY_TIME} * (\text{SCLK period} / 2)$	
10	Interval Length	SPI 転送要求後に SS_N 信号が待機する SCLK サイクルの数を指定します：	0-63

5.2 SPI Slave パラメータの定義

表 5-2 SPI Slave パラメータ

番号	名称	説明	値	備考
1	Shift Direction	データの最上位ビット (MSB) と最下位ビット (LSB)、どちらを優先的に送信するかを指定： 0：データの MSB を優先的に送信 1：データの LSB を優先的に送信	0/1	-
2	Clock Phase	SPI のクロック位相を指定： 0:データは SCLK の最初のエッジで有効 1:データは SCLK の 2 番目のエッジで有効	0/1	-
3	Clock Polarity	SPI のクロック極性を指定： 0：SCLK はアクティブ High 1：SCLK はアクティブ Low	0/1	-
4	Data Length	シリアルデータのビット幅を指定	8-32	-

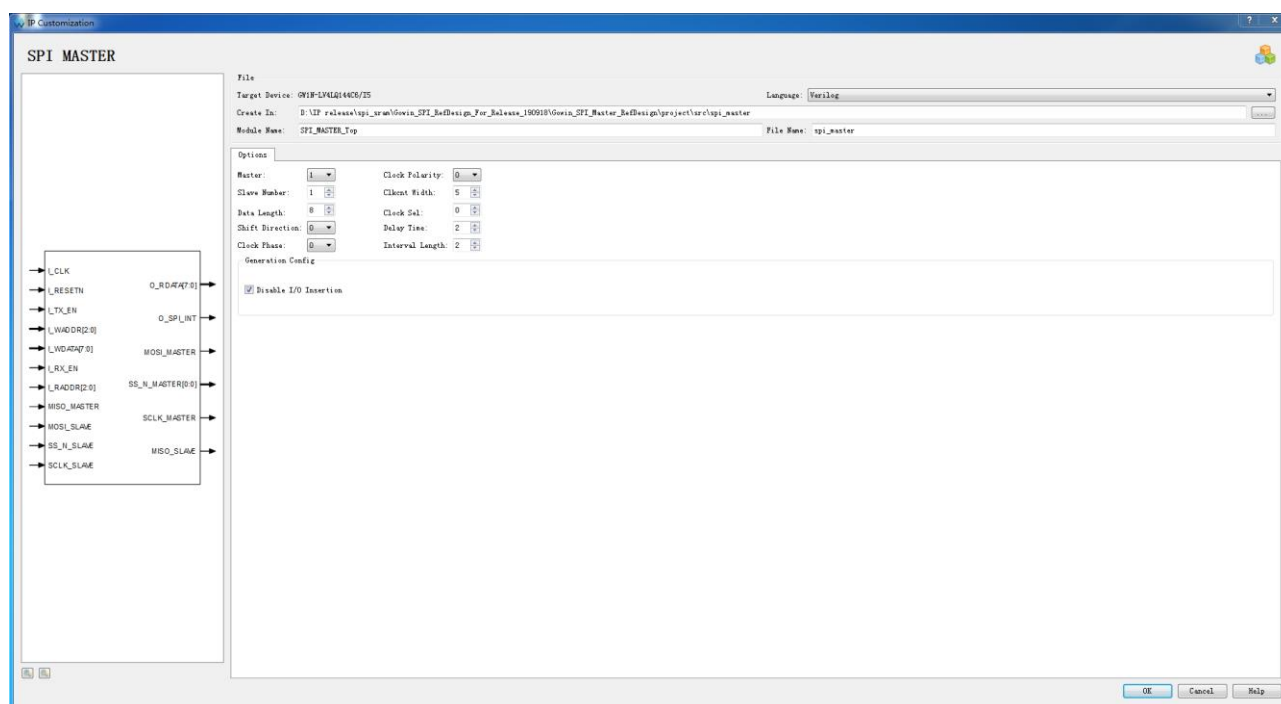
6 インターフェースの構成

Gowin ソフトウェアの IP Core Generator を使用して、IP を呼び出して構成できます。

6.1 SPI MASTER IP コアの構成 GUI

SPI MASTER の構成 GUI は、図 6-1 に示すとおりです。

図 6-1 SPI MASTER の構成 GUI



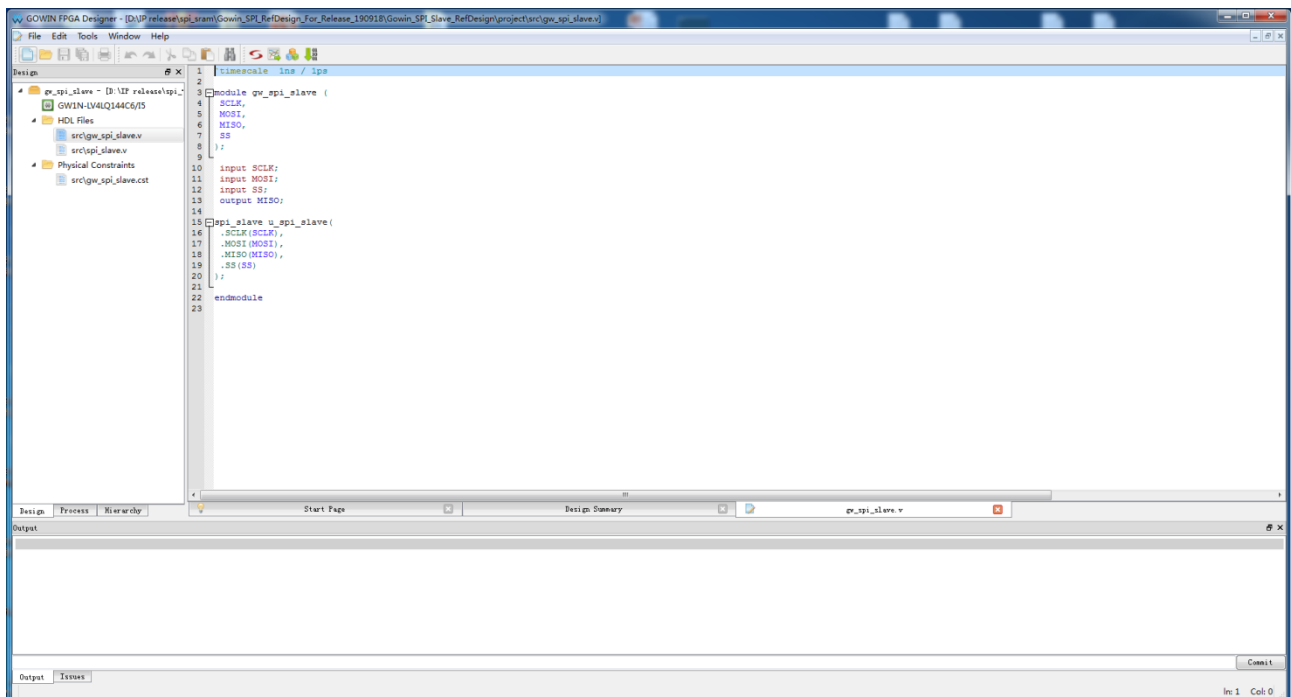
6.2 SPI Slave リファレンスデザインのサンプルプロジェクト

Gowin ソフトウェアを起動した後、“File> Open …” をクリックして、“Open File” ダイアログボックスを開きます。必要なプロジェクトファイル（*.gprj）を選択して、プロジェクトを開きます(図 6-2)。

注記：

プロジェクトを開くには 3 つの方法があります。他のプロジェクトを開く方法については、『Gowin ソフトウェア ユーザーガイド ([SUG100](#))』を参照してください。

図 6-2 SPI Slave プロジェクトを開く



6.3 bitstream ファイルの生成

必要な制約の後、合成、配置配線を通じて、bitstream ファイルを生成します。Gowin ダウンロードケーブルを介して bitstream ファイルを開発ボードまたはテストボードにダウンロードすると、テストインターフェースによって通信状況が観測できます。

7 リファレンスデザイン

詳細については、GOWIN 公式 Web サイトの SPI リファレンスデザインを参照してください。

