



Gowin I3C Single Clock IP ユーザーガイド

IPUG786-1.0J, 2021-10-28

著作権について(2021)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云、、Gowin、及びGOWINSEMIは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI取引条件)に規定されている内容を除き、(明示的か又は黙示的に拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。本文書における全ての情報は、予備的情報として取り扱われなければなりません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2021/10/28	1.0J	初版。

目次

目次.....	i
図一覧.....	iv
表一覧.....	v
1 本マニュアルについて	1
1.1 マニュアル内容	1
1.2 関連ドキュメント.....	1
1.3 用語、略語.....	2
1.4 テクニカル・サポートとフィードバック.....	2
2 概要.....	3
3 特徴及び性能.....	4
3.1 主な特徴	4
3.2 最大周波数.....	4
3.3 リソース使用率	5
4 機能の説明	6
4.1 操作モード.....	6
4.2 ユーザーインターフェースのタイミング.....	6
5 ポートの説明.....	8
6 レジスタ	10
6.1 レジスタのアドレスマッピングと説明	10
6.2 各レジスタの説明.....	14
6.2.1 MCFG (0x00)	14
6.2.2 SCFG (0x04)	16
6.2.3 SSTS (0x08)	18
6.2.4 SCONTROL (0x0C)	21
6.2.5 SIS (0x10)	22

6.2.6 SIC (0x14)	24
6.2.7 SIM (0x18)	25
6.2.8 SERR (0x1C)	26
6.2.9 SDATACONTROL (0x2C)	27
6.2.10 STXB (0x30)	28
6.2.11 SRXB (0x40)	28
6.2.12 SDA (0x64)	29
6.2.13 SVFVORRV (0x6C)	29
6.2.14 SBCRANDDCR (0x70)	29
6.2.15 SMMID (0x74)	30
6.2.16 MCONTROL (0x84)	30
6.2.17 MSTs (0x88)	32
6.2.18 MIBIFORMCFG (0x8C)	36
6.2.19 MIS (0x90)	37
6.2.20 MIC (0x94)	38
6.2.21 MIM (0x98)	39
6.2.22 MERR (0x9C)	40
6.2.23 MDATACONTROL (0xAC)	41
6.2.24 MTXB (0xB0)	42
6.2.25 MTXBE (0xB4)	42
6.2.26 MRXB (0xC0)	43
6.2.27 DID (0xC4)	43
7 通信手順.....	45
7.1 マスター通信手順.....	45
7.1.1 SDR 読み出し書き込み	45
7.1.2 I2C 読み出し書き込み	46
7.1.3 ENTDA操作.....	46
7.1.4 その他の CCC 操作	47
7.1.5 IBI/HJ 操作.....	47
7.1.6 DDR 読み出し書き込み	48
7.2 スレーブ通信手順.....	50
7.2.1 SDR 読み出し書き込み	50

7.2.2 ENTDAА 操作.....	51
7.2.3 その他の CCC 操作	51
7.2.4 IBI/HJ/MR 操作.....	51
8 割り込み.....	53
9 呼び出しと構成	54
9.1 IP の呼び出し	54
9.2 構成 GUI	55
10 リファレンスデザイン	56

図一覧

図 4-1 REG インターフェースの書き込みタイミング.....	7
図 4-2 REG インターフェースの読み出しタイミング.....	7
図 5-1 I3C Single Clock IP のポート	8
図 9-1 Gowin I3C Single Clock IP の呼び出し	54
図 9-2 Gowin I3C Single Clock IP Options の構成 GUI	55

表一覧

表 1-1 用語、略語.....	2
表 2-1 I3C Single Clock IP	3
表 3-1 I3C Single Clock のリソース使用率.....	5
表 5-1 I3C Single Clock の IO ポート一覧	8
表 6-1 マスターレジスタのアドレスマッピングと説明.....	10
表 6-2 スレーブレジスタのアドレスマッピングと説明.....	11
表 6-3 MCFG.....	14
表 6-4 SCFG	16
表 6-5 SSTS	18
表 6-6 SCONTROL	21
表 6-7 SIS.....	22
表 6-8 SIC	24
表 6-9 SIM	25
表 6-10 SIS.....	26
表 6-11 SDATACONTROL.....	27
表 6-12 STXB.....	28
表 6-13 SRXB.....	28
表 6-14 SDA.....	29
表 6-15 SVFVORRV.....	29
表 6-16 SBCRANDDCR.....	30
表 6-17 SMMID	30
表 6-18 MCONTROL.....	30
表 6-19 MSTs	32
表 6-20 MIBIFORMCFG.....	36
表 6-21 MIS	37

表 6-22 MIC	38
表 6-23 MIM	39
表 6-24 MERR.....	40
表 6-25 MDATACONTROL.....	41
表 6-26 MTXB	42
表 6-27 MTXBE	42
表 6-28 MRXB	43
表 6-29 DID	43
表 9-1 構成オプションの説明	55

1 本マニュアルについて

1.1 マニュアル内容

本マニュアルは、ユーザーが Gowin I3C Single Clock IP を使いこなせるよう、その概要、機能、ポート、タイミング、呼び出しと構成、およびリファレンスデザインなどについて説明します。

1.2 関連ドキュメント

GOWIN セミコンダクターの Web サイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW1N シリーズ FPGA 製品データシート([DS100](#))
- GW1NR シリーズ FPGA 製品データシート([DS117](#))
- GW1NS シリーズ FPGA 製品データシート([DS821](#))
- GW1NSR シリーズ FPGA 製品データシート([DS861](#))
- GW1NRF シリーズ Bluetooth FPGA 製品データシート([DS891](#))
- GW1NSER シリーズ安全 FPGA 製品データシート([DS881](#))
- GW2A シリーズ FPGA 製品データシート([DS102](#))
- GW2AR シリーズ FPGA 製品データシート([DS226](#))
- GW2ANR シリーズ FPGA 製品データシート([DS961](#))
- GW2AN-55 FPGA 製品データシート([DS976](#))
- GW2AN-18X & 9X FPGA 製品データシート([DS971](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))

1.3 用語、略語

表 1-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
IP	Intellectual Property	設計資産
LUT	Look-up Table	ルックアップテーブル
CCC	Common Command Code	共通コマンドコード
IBI	In-Band Interrupt	帯域内割り込み
HJ	Hot-join	ホットジョイン

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

Web サイト : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

I3C Single Clock IP の紹介

Gowin I3C Single Clock IP は、シリアル通信インターフェースとシリアルセンサーインターフェースでデータを送受信するために使用されます。Gowin I3C Single Clock IP は、REG インターフェースおよび APB インターフェースを備えた I3C バス通信コントローラを提供しています。

表 2-1 I3C Single Clock IP

Gowin I3C Single Clock IP	
ロジックリソース	表3-1参照
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンスデザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis®
統合開発環境	Gowinソフトウェア

3 特徴及び性能

3.1 主な特徴

- MIPI I3C V1.1 規格に準拠。
- SDR および DDR 伝送モードをサポート。
 - SDR モードはマスターとスレーブをサポートし、最大データレートは 12.5Mbps。
 - DDR モードはマスターのみをサポートし、最大データレートは 25Mbps。
- アドレスアービトラージョン検出をサポート。
- I3C CCC コマンドをサポート。
 - 動的アドレス割り当てをサポート。
 - その他のオプションの CCC コマンドをサポート。
- IBI、hot-join をサポート。
- スレーブリセット・シーケンスの送信をサポート。
- I2C スレーブと互換性。
- 2 つのユーザーインターフェースをサポート。
 - APB インターフェース
 - REG インターフェース

3.2 最大周波数

I3C Single Clock の最大周波数は、主に使用されるデバイスのスピードグレード(speed grade of the devices)によって決まります。システムクロックの周波数が 100MHz の場合、I3C バスの SCL の周波数は 12.5MHz として設定できます。

3.3 リソース使用率

I3C Single Clock を Verilog で実装します。パフォーマンスとリソース使用率は、デバイス、集積度、スピードグレードなどにより異なる場合があります。

例えば、GOWIN GW2A-18 シリーズ FPGA の場合、I3C Single Clock のリソース使用率は表 3-1 のようになります。他の GOWIN FPGA でのアプリケーション検証については、これからの最新情報を参照してください。

表 3-1 I3C Single Clock のリソース使用率

シリーズ	スピード グレード	リソース使用率		備考
		LUT	2189	
GW2A-18	C8/I7	REG	1274	-

4 機能の説明

4.1 操作モード

このソフトコアは、**REG** インターフェースと **APB** インターフェースをユーザーに提供します。ユーザーは、制御レジスタを書き込むことによって **IP** 動作時のパラメータを構成し、**IP** の通信を制御してデータを送信します。また、制御レジスタを読み出すことによって **IP** 動作時のパラメータを読み出し、**IP** が受信したデータを読み出します。**IP** は割り込みを介してバス上のイベントをユーザーに通知し、ユーザーは制御レジスタの読み出し/書き込みを介して割り込み処理を実行します。割り込み処理が完了すると、ユーザーは **IP** との対話を完了し、バス通信を完了します。

I3C バスデータの高速読み出しおよび書き込みを実現するために、このソフトコアには、深さ **16** の **2** つの **8** ビット幅の読み出しおよび書き込み **FIFO** が備わっています。このようにして、ユーザーは、データが送信されていないときに複数のデータを連続して書き込んだり、複数のデータを受信した後に複数のデータを連続して読み出したりすることができます。読み出しは、マスターにとって、マスターがスレーブから送信されたデータを読み出すことを意味し、スレーブにとって、スレーブがマスターによって読み出されるデータをマスターに送信することを意味します。書き込みは、マスターにとって、マスターがスレーブにデータを書き込むことを意味し、スレーブにとって、スレーブがマスターから送信されたデータを受信することを意味します。

4.2 ユーザーインターフェースのタイミング

ユーザーは、ユーザーインターフェースを **REG** インターフェースまたは **APB** インターフェースとして構成できます。その中で、**APB** インターフェースは関連するプロトコルに準拠しています。

REG インターフェースのタイミングを下図に示します。

図 4-1 REG インターフェースの書き込みタイミング

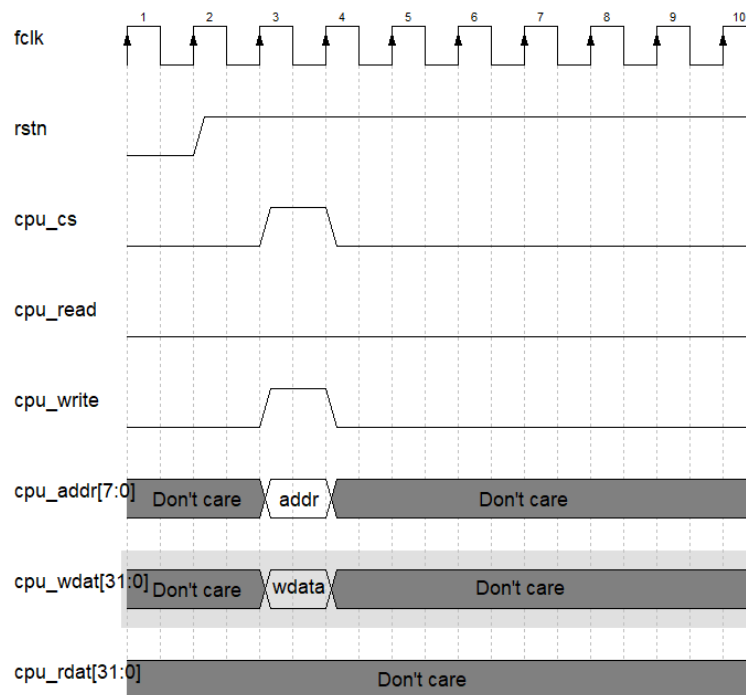
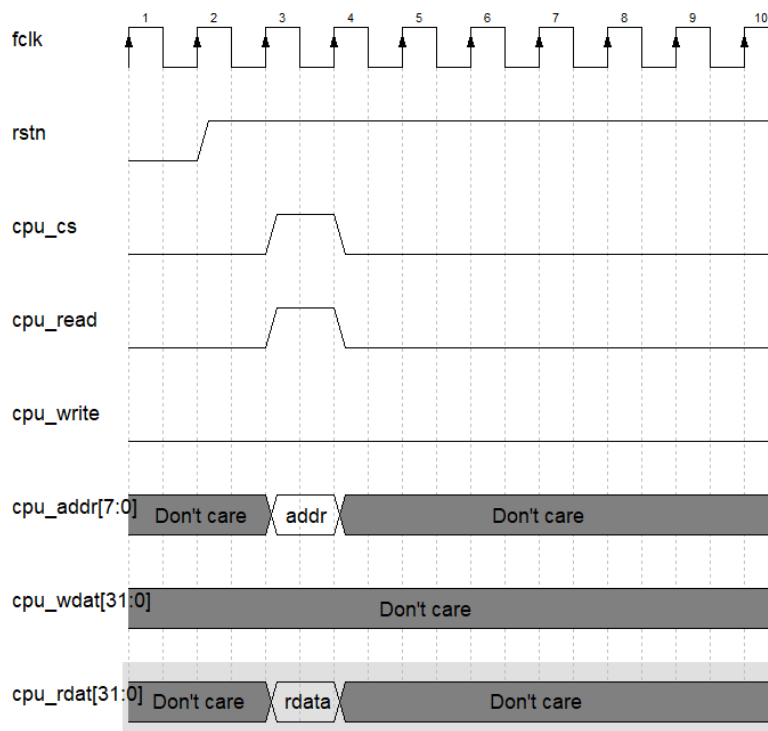


図 4-2 REG インターフェースの読み出しタイミング

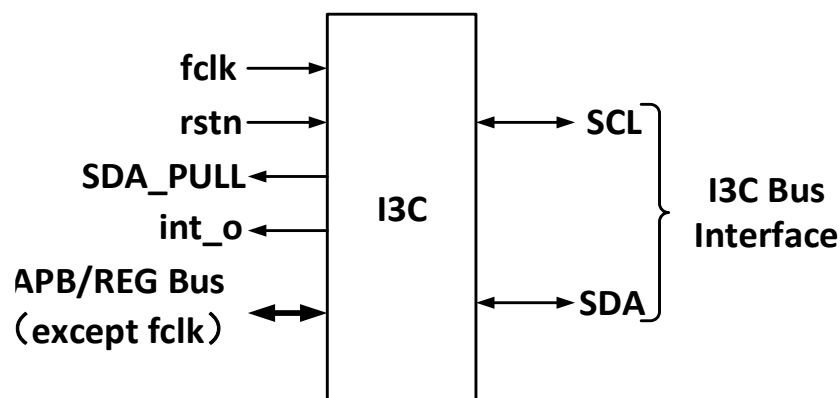


5 ポートの説明

I3C Single Clock の IO ポート

I3C Single Clock の IO ポートを図 5-1 に示します。

図 5-1 I3C Single Clock IP のポート



I3C Single Clock の IO ポートの詳細を表 5-1 に示します。

表 5-1 I3C Single Clock の IO ポート一覧

信号	方向	説明
fclk	入力	クロック
rstn	入力	リセット、アクティブLow
SDA_PULL	出力	I3Cシリアルデータの制御可能なプルアップ
int_o	出力	割り込み出力、アクティブLow
I3Cインターフェース		
SCL	入出力	I3Cシリアルクロックライン
SDA	入出力	I3Cシリアルデータライン
ユーザーインターフェース : APBインターフェース (fclkを除く)		
PADDR[7:0]	入力	バイトアドレス

信号	方向	説明
PWDATA[31:0]	入力	書き込みデータ
PRDATA[31:0]	出力	読み出しデータ
PSEL	入力	スレーブ選択
PWRITE	入力	書き込み/読み出し方向指示
PENABLE	入力	イネーブル信号
ユーザーインターフェース : REGインターフェース (fclkを除く)		
cpu_cs	入力	チップセレクト信号
cpu_read	入力	読み出しイネーブル
cpu_write	入力	書き込みイネーブル
cpu_addr[7:0]	入力	アドレス信号
cpu_wdat[31:0]	入力	書き込みデータ
cpu_rdat[31:0]	出力	読み出しデータ

6 レジスタ

I3C Single Clock IP は 256 のアドレス空間を使用するため、下位 8 ビットのアドレスをレジスタセットのオフセット値としてデコードします。これは、すべての制御レジスタ、ステータスレジスタ、および送信と受信 FIFO にアクセスするためのレジスタをこのアドレス空間にマップします。

6.1 レジスタのアドレスマッピングと説明

表 6-1 マスターレジスタのアドレスマッピングと説明

レジスタのオフセットアドレス	レジスタ名	アクセス制限	説明
0x00	MCFG	読み出し 書き込み	マスター構成レジスタ：IPを初期化します。
0x84	MCONTROL	読み出し 書き込み	マスター制御レジスタ：IPがI3C/I2Cバスで対応する操作を行うよう制御します。
0x88	MSTS	読み出し 書き込み	マスターステータスレジスタ：IPおよびI3Cバスのステータスを表示します（対応する位置に1を書き込むと、対応するレジスタを0に設定できます）
0x8C	MIBIFORMCFG	読み出し 書き込み	マスターIBIタイプ構成レジスタ：スレーブIBI後に必須バイトを使用するかどうかを構成します。
0x90	MIS	読み出し 書き込み	マスター割り込みイネーブルレジスタ：IP割り込みを有効にします。
0x94	MIC	書き込み	マスター割り込みイネー

レジスタのオフセットアドレス	レジスタ名	アクセス制限	説明
		専用	ブルクリアレジスタ:1を書き込んで割り込みイネーブルをクリアします。
0x98	MIM	読み出し専用	マスター割り込みマスクレジスタ: MSTS値 & MIS値。
0x9C	MERR	読み出し書き込み	マスターエラーレジスタ: 現在の通信で発生したエラーを表示します (対応する位置に1を書き込むと、対応するレジスタを0に設定できます)。
0xAC	MDATACONTROL	読み出し書き込み	マスターデータ制御レジスタ: FIFOのステータスを制御および表示します。
0xB0	MTXB	書き込み専用	マスター送信データレジスタ: マスターが送信FIFOにデータを書き込みます。
0xB4	MTXBE	書き込み専用	マスター送信終了データレジスタ: マスターがこの通信の最後のデータを送信FIFOに書き込みます。
0xC0	MRXB	読み出し専用	マスター受信データレジスタ: マスターが受信FIFOからデータを読み出します。
0xC4	DID	読み出し専用	デバイスIDレジスタ: ユーザーはこのIPのID番号を読み出すことができます。

表 6-2 スレーブレジスタのアドレスマッピングと説明

レジスタのオフセットアドレス	レジスタ名	アクセス制限	説明
----------------	-------	--------	----

レジスタのオフセットアドレス	レジスタ名	アクセス制限	説明
0x04	SCFG	読み出し書き込み	スレーブ構成レジスタ：IPがスレーブとして構成された後、IPを初期化します。
0x08	SSTS	読み出し書き込み	スレーブステータスレジスタ：IPおよびI3Cバスのステータスを表示します（対応する位置に1を書き込むと、対応するレジスタを0に設定できます）。
0x0C	SCONTROL	読み出し書き込み	スレーブ制御レジスタ：IPがI3Cバスで対応する操作を行うよう制御します。
0x10	SIS	読み出し書き込み	スレーブ割り込みイネーブルレジスタ：IPの割り込みを有効にします。
0x14	SIC	書き込み専用	スレーブ割り込みイネーブルクリアレジスタ：1を書き込んで割り込みイネーブルをクリアします。
0x18	SIM	読み出し専用	スレーブ割り込みマスクレジスタ：SSTS値 & SIS値。
0x1C	SERR	読み出し書き込み	スレーブエラーレジスタ：現在の通信で発生したエラーを表示します（対応する位置に1を書き込むと、対応するレジスタを0に設定できま

レジスタのオフセットアドレス	レジスタ名	アクセス制限	説明
			す)。
0x2C	SDATACONTROL	読み出し書き込み	スレーブデータ制御レジスタ：FIFOのステータスを制御および表示します。
0x30	STXB	書き込み専用	スレーブ送信データレジスタ：スレーブが送信FIFOにデータを書き込みます。
0x40	SRXB	読み出し専用	スレーブ受信データレジスタ：スレーブが受信FIFOからデータを読み出します。
0x64	SDA	読み出し書き込み	スレーブ動的アドレスレジスタ：ユーザーはスレーブの動的アドレスを読み出し書き込みできます。
0x6C	SVFVORRV	読み出し書き込み	スレーブベンダー固定値またはランダム値レジスタ：ユーザーは、スレーブデバイスのベンダー固定値またはランダム値を読み出し書き込みできます。
0x70	SBCRANDDCR	読み出し書き込み	スレーブBCRおよびDCRレジスタ：ユーザーはスレーブのBCRおよびDCR値を読み出し書き込みできます。
0x74	SMMID	読み出し書き込み	スレーブMIPIメー

レジスタのオフセットアドレス	レジスタ名	アクセス制限	説明
			カーID：ユーザーはスレーブのMIPIメーカーIDを読み出し書き込みできます。

6.2 各レジスタの説明

6.2.1 MCFG (0x00)

IP を初期化します。

表 6-3 MCFG

ビット数	名称	説明	デフォルトのリセット値
0	MENABLE (マスターが有効かどうかを示します)	1 : IPがマスターとして構成されています 0 : IPがスレーブとして構成されています	0x0
2 : 1	Reserved	-	-
3	MDISTIMEOUT (タイムアウトエラー検出が有効かどうかを示します)	1 : タイムアウトエラー検出を無効にします 0 : タイムアウトエラー検出を有効にします エラー検出を有効にした後、IPが100usの間アイドル状態以外の状態にあると、タイムアウトエラーが発生し、IPはMERR割り込みを送信します。	0x0
7 : 4	Reserved	-	-
11 : 8	PPHIGH (push-pullモードでSCLのHighレベルが占めるfclkの数)	PPHIGH = SCLのHighレベルが占めるfclkの数-1であり、最小PPHIGHは3です。	0x0
15 : 12	PPLOWEXTRA (push-pullモードでの	SCLのLowレベルが占めるfclkの数= SCLの	0x0

ビット数	名称	説明	デフォルトのリセット値
	SCLのLowレベルが占めるfclkの数 - push-pullモードでのSCLのHighレベルが占めるfclkの数)	Highレベルが占めるfclkの数+ PPLOWEXTRA	
23 : 16	ODSCL (ODHIGHEQUALPPが0の場合、open-drainモードでSCLのHighレベルとLowレベルが占めるfclkの数は、push-pullモードでSCLのHighレベルが占めるfclkの数の(ODSCL + 1) 倍です)。	open-drainモードでSCLのHighレベルとLowレベルが占めるfclkの数=push-pullモードでSCLのHighレベルが占めるfclkの数*(ODSCL + 1) 。	0x00
24	ODHIGHEQUALPP (open-drainモードでSCLのHighレベルが占めるfclkの数が、push-pullモードでSCLのHighレベルが占めるfclkの数と同じかどうか) 。	1: open-drainモードでSCLのHighレベルが占めるfclkの数が、push-pullモードでSCLのHighレベルが占めるfclkの数と同じです。 0 : open-drainモードでSCLのHighレベルが占めるfclkの数が、push-pullモードでSCLのHighレベルが占めるfclkの数と同じではありません。	0x0
27 : 25	Reserved	-	-
31 : 28	I2CSCL ^[1] (I ² CモードでSCLのHighレベルとLowレベルが占めるfclkの数)	I2CSCLが偶数の場合 : I ² CモードでSCLのHighレベルとLowレベルが占めるfclkの数 = open-drainモードでSCLのLowレベルが占めるfclkの数 * I2CSCL。 I2CSCLが奇数の場合 : I ² CモードでSCLのHighレベルとLowレベルが占めるfclkの数 =	0x0

ビット数	名称	説明	デフォルトのリセット値
		open-drainモードでSCLのLowレベルが占めるfclkの数 * (I2CSCL-1)。 I ² CモードでSCLのLowレベルが占めるfclkの数 = open-drainモードでSCLのLowレベルが占めるfclkの数 * I2CSCL。	

注記：

[1] I2CSCL の最小値は 2 です。

6.2.2 SCFG (0x04)

IP がスレーブとして構成された後、IP を初期化します。

表 6-4 SCFG

ビット数	名称	説明	デフォルトのリセット値
0	SENABLE (スレーブが有効かどうかを示します)	1: スレーブが有効になっています 0: スレーブが有効になっていません	0x0
1	SNACK (スレーブがこのスレーブに送信される要求をNACKするかどうか)	1: スレーブは、Common Command Code (CCC) ブロードキャストを除くすべての要求をNACKします。 0: 0: スレーブは、それに対するすべての要求をACKします。	0x0
2	MATCHSAORDASS (静的アドレスまたは動的アドレスのSTARTまたはSTOPシーケンスの一致)	1: SSTSのMATCHSAORDAが1に設定されている場合のみ、SSTSのSTARTおよびSTOPは1に設定されます (SSTSのSTARTおよびSTOPは、このスレー	0x0

ビット数	名称	説明	デフォルトのリセット値
		ブとの通信の終了を示すために使用できます)。 0 : バス上でSTARTシーケンスとSTOPシーケンスが検出されている限り、SSTSのSTARTシーケンスとSTOPシーケンスは1に設定されます。	
3	ERRIGNORE (エラー無視)	1 : IPはI3CのS0およびS1エラーを検出しなくなります。 0 : IPはI3CのS0およびS1エラーを検出します。	0x0
7 : 4	Reserved	-	-
8	PIDTYPESELECT (事前に割り当てられたIDタイプの選択)	1 : SVFVORRV. VVORRVはランダムな値です。 0 : SVFVORRV. VVORRVは固定値です。	0x0
9	HJWAIT (ホットジョイン待機)	1 : この値が1の場合、スレーブは200usのアイドル時間待機してからSTARTを検出するか、SDAバスをLowにプルダウンします。 0 : この値が0の場合、スレーブは200usのアイドル時間を待たずにSTARTを検出するか、SDAバスをプルダウンします。	0x0
15 : 10	Reserved	-	-
23 : 16	PULLDOWNSDACNT (スレーブプルダウンバスのカウント)	バスがアイドル状態のとき、スレーブはPULLDOWNSDACNT個のfclkクロックサイクルを待機してからSDAバス	0x00

ビット数	名称	説明	デフォルトのリセット値
		をLowにプルダウンします。	
24	Reserved	-	-
31 : 25	SA (静的アドレス)	ユーザーはスレーブの静的アドレスを構成できます	0x00

6.2.3 SSTS (0x08)

スレーブのステータスを表示します。また、このレジスタを使用してステータスレジスタを 0 に設定することができます (対応する位置に 1 を書き込むと、ステータスレジスタが 0 に設定されます)。

表 6-5 SSTS

ビット数	名称	説明	デフォルトのリセット値
0	STSBUSY (バスビジー状態)	1: バスはビジー状態です 0: バスはアイドル状態です	0x0
1	STSMMSG (バスがこのスレーブと通信しているかどうか)	1: バスはこのスレーブと通信しています 0: バスはアイドル状態であるか、他のスレーブと通信しています	0x0
2	STSCCAH (CCCコマンド自動処理状態)	1: バスはCCCコマンドが自動的に処理される状態です 0: バスはCCCコマンドが自動的に処理される状態ではありません	0x0
3	STSREAD (読み出し通信状態)	1: 現在のデバイスが読み出し操作またはIBI操作を実行しています 0: 現在のデバイスが読み出し操作またはIBI操作を実行していません	0x0

ビット数	名称	説明	デフォルトのリセット値
		ん	
4	STSWRITE (書き込み通信状態)	1: 現在のデバイスが書き込み操作 (静的アドレス、動的アドレス、またはブロードキャストアドレス) を実行しています 0: 現在のデバイスが書き込み操作 (静的アドレス、動的アドレス、またはブロードキャストアドレス) を実行していません	0x0
5	STSDAA (動的アドレス割り当て状態)	1: 現在のデバイスは動的アドレス割り当てモードです 0: 現在のデバイスは動的アドレス割り当てモードではありません	0x0
6	Reserved	-	-
7	START (STARTシーケンスの検出)	1 : STARTシーケンスが検出されました 0 : STARTシーケンスが検出されていません	0x0
8	MATCHEDBA (ブロードキャストアドレスの一致)	1: ブロードキャストアドレス書き込みが検出されました 0: ブロードキャストアドレス書き込みが検出されていません	0x0
9	MATCHEDSAORDA (静的アドレスまたは動的アドレスの一致)	1: 静的アドレスまたは動的アドレスが検出されました 0: 静的アドレスまたは動的アドレスが検出されていません	0x0
10	STOP (STOPシーケンスの検出)	1 : STOPシーケンスが検出されました	0x0

ビット数	名称	説明	デフォルト のリセット 値
		0 : STOPシーケンスが 検出されていません	
11	RFIFONOTEMPTY (受信 FIFOが空ではない)	1 : 受信FIFOが空では ありません 0 : 受信FIFOが空です	0x0
12	SFIFONOTFULL (送信 FIFOがフルではない)	1 : 送信FIFOがフルで はありません 0 : 送信FIFOがフルで す	0x1
13	DAVALID (動的アドレス割 り当ては動的アドレス割 り当てモードで成功)	1: 動的アドレス割り当 てが動的アドレス割り 当てモードで成功しま した 0: 動的アドレス割り当 てが動的アドレス割り 当てモードで成功しま せませんでした	0x0
14	CCCRCV (DAA以外の CCCコマンドの受信)	1 : DAA以外のCCCコ マンドを受信しました 0 : DAA以外のCCCコ マンドを受信していま せん	0x0
15	ERR (エラー状態)	1: デバイスはエラー状 態です 0: デバイスはエラー状 態ではありません	0x0
16	Reserved	-	-
17	CCCAH (CCCコマンドの 自動処理)	1 : CCCコマンドが自 動的に処理されました 0 : CCCコマンドが自 動的に処理されていま せん	0x0
18	DATANEED (データ需要 状況)	1: デバイスが読み出し 状態であり、ユーザー はデータを書き込む必 要があります 0: ユーザーはデータを	0x0

ビット数	名称	説明	デフォルトのリセット値
		書き込む必要はありません	
19	SLVRST (スレーブリセット状態)	1: デバイスはスレーブリセットシーケンスを受信しました 0: デバイスはスレーブリセットシーケンスを受信しませんでした	0x0
20	REQUEST (スレーブ要求状態)	1: IBI、HJ、MR要求が正常に送信されました 0: IBI、HJ、MR要求が正常に送信されていません	0x0
21	REQUESTACK (スレーブACK要求)	1: マスターがIBI、HJ、およびMRからACKを要求します 0: マスターがIBI、HJ、およびMRからNACKを要求します	0x0
31 : 22	Reserved	-	-

6.2.4 SCONTROL (0x0C)

ユーザーは、対応する操作を実行するようにスレーブを制御します。

表 6-6 SCONTROL

ビット数	名称	説明	デフォルトのリセット値
1 : 0	REQUEST (スレーブ要求)	2' h00 : 送信要求なし 2' h01 : IBI要求中 2' h02 : MR要求中 2' h03 : HJ要求中	0x0
7 : 2	Reserved	-	-
15 : 8	IBIMDATA	IBI必須データバイト (データが0の場合、必須バイトは送信されません。データが0でない	0x00

		場合、必須バイトは送信されます)	
31 : 16	Reserved	-	-

6.2.5 SIS (0x10)

ユーザー割り込みイネーブル設定。対応する位置に 1 を書き込むと、対応する割り込みが有効になります。

表 6-7 SIS

ビット数	名称	説明	デフォルトのリセット値
6 : 0	Reserved	-	-
7	START	START割り込みイネーブル。バス上でSTARTシーケンスが検出されます	0x0
8	MATCHEDBA	ブロードキャスト書き込みアドレス一致割り込みイネーブル。バス上のアドレスがブロードキャスト書き込みアドレスです。	0x0
9	MATCHEDSAORDA	静的アドレスまたは動的アドレス一致割り込みイネーブル。バス上のアドレスはスレーブの静的アドレスまたは動的アドレスです。	0x0
10	STOP	STOP割り込みイネーブル。バス上でSTOPシーケンスが検出されます。	0x0
11	RFIFONOTEMPTY	受信FIFO非空割り込みイネーブル。受信FIFOが空ではないことが検出されます。	0x0
12	SFIFONOTFULL	送信FIFOが非フル割り込みイネーブル。送信FIFOがフルでないことが検出されます。	0x0

ビット数	名称	説明	デフォルトのリセット値
13	DAVALID	動的アドレス割り当てモードにでの動的アドレス割り当て成功割り込みイネーブル。デバイス動的アドレス割り当てモードで動的アドレス割り当てが成功したことが検出されます。	0x0
14	CCCRCV	DAA以外のCCCコマンド受信割り込みイネーブル。デバイスがDAA以外のCCCコマンドを受信したことが検出されます。	0x0
15	ERR	エラー割り込みイネーブル。デバイスが通信エラーを検出します。	0x0
16	Reserved	-	-
17	CCCAH	CCCコマンド自動処理割り込みイネーブル。デバイスはCCCコマンドを受信して自動的に処理します。	0x0
18	DATANEED	データ需要割り込みイネーブル。デバイスは読み出し状態であり、ユーザーは通信のためにデータを書き込む必要があります。	0x0
19	SLVRST	スレーブリセット割り込みイネーブル。スレーブリセットシーケンスが検出されます。	0x0
20	REQUEST	要求割り込みイネーブル。デバイスはIBI、HJ、およびMRなどの要求を正常に送信しまし	0x0

ビット数	名称	説明	デフォルト のリセット 値
		た。	
31 : 21	Reserved	-	-

6.2.6 SIC (0x14)

ユーザー割り込みイネーブルクリア。対応する位置に 1 を書き込んで、対応する割り込みイネーブルをクリアします。

表 6-8 SIC

ビット数	名称	説明	デフォルト のリセット 値
6 : 0	Reserved	-	-
7	START	START割り込みイネーブルクリア	-
8	MATCHEDBA	ブロードキャスト書き込みアドレス一致割り込みイネーブルクリア	-
9	MATCHEDSAORDA	静的アドレスまたは動的アドレス一致割り込みイネーブルクリア	-
10	STOP	STOP割り込みイネーブルクリア	-
11	RFIFONOTEMPTY	受信FIFO非空割り込みイネーブルクリア	-
12	SFIFONOTFULL	送信FIFO非フル割り込みイネーブルクリア	-
13	DAVALID	動的アドレス割り当てモードで動的アドレス割り当てが成功割り込みイネーブルクリア	-
14	CCCRCV	DAA以外のCCCコマンド受信割り込みイネーブルクリア	-
15	ERR	エラー割り込みイネーブルクリア	-
16	Reserved	-	-

ビット数	名称	説明	デフォルトのリセット値
17	CCCAH	CCCコマンド自動処理 割り込みイネーブルク リア	-
18	DATANEED	データ需要割り込みイ ネーブルクリア	-
19	SLVRST	スレーブリセット割り 込みイネーブルクリア	-
20	REQUEST	要求割り込みイネーブ ルクリア	-
31 : 21	Reserved	-	-

6.2.7 SIM (0x18)

割り込みマスクレジスタ。イネーブルされた割り込みのステータスをユーザーに送信します。このレジスタの値は **SSTS&SIS** です。

表 6-9 SIM

ビット数	名称	説明	デフォルトのリセット値
6 : 0	Reserved	-	-
7	START	START割り込みマス クレジスタ	0x0
8	MATCHEDBA	ブロードキャスト書き 込みアドレス一致割り 込みマスクレジスタ	0x0
9	MATCHEDSAORDA	静的アドレスまたは動 的アドレス一致割り込 みマスクレジスタ	0x0
10	STOP	STOP割り込みマスク レジスタ	0x0
11	RFIFONOTEMPTY	受信FIFO非空割り込 みマスクレジスタ	0x0
12	SFIFONOTFULL	送信FIFO非フル割り 込みマスクレジスタ	0x0
13	DAVALID	動的アドレス割り当て モードで動的アドレス	0x0

ビット数	名称	説明	デフォルトのリセット値
		割り当て成功割り込みマスクレジスタ	
14	CCCRCV	DAA以外のCCCコマンド受信割り込みマスクレジスタ	0x0
15	ERR	エラー割り込みマスクレジスタ	0x0
16	Reserved	-	-
17	CCCAH	CCCコマンド自動処理割り込みマスクレジスタ	0x0
18	DATANEED	データ需要割り込みマスクレジスタ	0x0
19	SLVRST	スレーブリセット割り込みマスクレジスタ	0x0
20	REQUEST	要求割り込みマスクレジスタ	0x0
31 : 21	Reserved	-	-

6.2.8 SERR (0x1C)

スレーブエラーレジスタ。通信でエラーが発生した場合、エラーレジスタからエラータイプを読み出すことができます。**SERR** レジスタの値が **1** に設定されると、**SSTS.ERR** も **1** に設定されます。対応するビットに **1** を書き込むことにより、レジスタの値を **0** に設定します。

表 6-10 SIS

ビット数	名称	説明	デフォルトのリセット値
0	OVERRCV (過剰な受信)	受信FIFOがフルの場合、まだデータが転送されて来ます	0x0
1	Reserved	-	-
2	NACKWITHOUTDATA (データなしによるマスターNACK)	ユーザーがIPにデータを提供しなかったため、IPはマスターによ	0x0

ビット数	名称	説明	デフォルトのリセット値
		って開始された読み出し通信を自動的にNACKします	
7 : 3	Reserved	-	-
8	SDRPARERR (SDR通信モードでのパリティビットエラー)	SDR通信モードでのパリティビットエラー	0x0
10 : 9	Reserved	-	-
11	S0ORS1ERR (S0またはS1タイプのエラーが発生)	S0またはS1タイプのエラーが発生しました	0x0
15 : 12	Reserved	-	-
16	READEMPTY (空読み出しエラー)	受信FIFOが空の場合、ユーザーは受信FIFOの読み出しを続行します	0x0
17	WRITEFULL (フル書き込みエラー)	送信FIFOがフルの場合、ユーザーは送信FIFOへのデータの書き込みを続行します	0x0
31 : 18	Reserved	-	-

6.2.9 SDATACONTROL (0x2C)

スレーブデータ制御レジスタ。FIFO(深さ 16)のステータスを制御および表示します。

表 6-11 SDATACONTROL

ビット数	名称	説明	デフォルトのリセット値
0	SFIFOCLR (送信FIFOクリアレジスタ)	1を書き込んで送信FIFOのデータをクリアします	0x0
1	RFIFOCLR (受信FIFOクリアレジスタ)	1を書き込んで受信FIFOのデータをクリアします	0x0
15 : 2	Reserved	-	-

ビット数	名称	説明	デフォルトのリセット値
20 : 16	SFIFOCNT (送信FIFO内のデータ数)	送信FIFO内のデータ数	0x00
23 : 21	Reserved	-	-
28 : 24	RFIFOCNT (受信FIFO内のデータ数)	受信FIFO内のデータ数	0x00
29	Reserved	-	-
30	SFIFOFULL (送信FIFOがフル)	1 : 送信FIFOがフルです 0 : 送信FIFOがフルではありません	0x0
31	RFIFOEMPTY (受信FIFOが空)	1 : 受信FIFOが空です 0 : 受信FIFOは空ではありません	0x1

6.2.10 STXB (0x30)

スレーブ送信データレジスタ。ユーザーは、このレジスタを介して送信 FIFO にデータを書き込むことができます。

表 6-12 STXB

ビット数	名称	説明	デフォルトのリセット値
7 : 0	WDATA (書き込みデータ)	送信FIFOに書き込まれるデータ (送信FIFOにデータがない場合、IPは自動的に送信を終了します)	
31 : 8	Reserved	-	-

6.2.11 SRXB (0x40)

スレーブ読み出しデータレジスタ。ユーザーは、このレジスタを介して受信 FIFO からデータを読み出すことができます。

表 6-13 SRXB

ビット数	名称	説明	デフォルトのリセット値

ビット数	名称	説明	デフォルトのリセット値
7 : 0	RDATA (読み出しデータ)	受信FIFOから読み出されるデータ	0x00
31 : 8	Reserved	-	-

6.2.12 SDA (0x64)

スレーブ動的アドレスレジスタ。ユーザーはこのレジスタを介してスレーブの動的アドレスを読み出し書き込みできます。

表 6-14 SDA

ビット数	名称	説明	デフォルトのリセット値
0	DAVALID	1: 動的アドレスが有効です (1を書き込んで1に設定) 0: 動的アドレスが無効です (0を書き込んで0に設定)	0x0
7 : 1	DA	動的アドレス値	0x00
31 : 8	Reserved	-	-

6.2.13 SVFVORRV (0x6C)

スレーブベンダー固定値またはランダム値レジスタ。ユーザーは、スレーブデバイスのベンダー固定値またはランダム値を読み出し書き込みできます。

表 6-15 SVFVORRV

ビット数	名称	説明	デフォルトのリセット値
31 : 0	VFVORRV	スレーブベンダー固定値またはランダム値	0x0000

6.2.14 SBCRANDDCR (0x70)

スレーブ BCR および DCR レジスタ。ユーザーはスレーブの BCR および DCR 値を読み出し書き込みできます。

表 6-16 SBCRANDDCR

ビット数	名称	説明	デフォルトのリセット値
7 : 0	Reserved	-	-
15 : 8	DCR	デバイス特性レジスタ値	0x00
23 : 16	BCR	バス特性レジスタ値	0x00
31 : 24	Reserved	-	-

6.2.15 SMMID (0x74)

スレーブ MIPI メーカーID: ユーザーはスレーブの MIPI メーカーID を読み出し書き込みできます。

表 6-17 SMMID

ビット数	名称	説明	デフォルトのリセット値
14 : 0	MMID	MIPIメーカーID	0x000
31 : 15	Reserved	-	-

6.2.16 MCONTROL (0x84)

マスター制御レジスタ。IP が I3C/I2C バスで対応する操作を行うよう制御します。

表 6-18 MCONTROL

ビット数	名称	説明	デフォルトのリセット値
2 : 0	REQUEST (マスター要求)	3' h0 : マスター要求が完了した後、0に設定します。 3' h1 : MCONTROL.COMTYPEがDDRモードでない場合、マスターはSTART + ADDRシーケンスの送信を要求します。マスターが読み出しを終了した後、ADDRのみが送信されます。 MCONTROL.COMTYPEがDDRモードの場合、I3CがDDRモードに入らないと、マスターは START+7E/W+ACK+ENTHDR0	0x0

ビット数	名称	説明	デフォルトのリセット値
		CCC+DDR COMMANDを送信します。 I3CがDDRモードに入ると、マスターはHDR Restart+ DDR COMMANDを送信します。 3' h2 : マスターがSTOPシーケンスの送信を要求します。 3' h3 : マスターが手動のIBI応答を要求します。 3' h4 : マスターはDAAを要求します。マスターがDAAモードでない場合、マスターは START+7E/W+ACK+ENTDAA+RSTART+7E/Rを送信し、マスターが割り当てられる動的アドレスを送信する前に終了します。マスターがDAAモードの場合、マスターはDA+ACK+ RSTART+7E/Rを送信し、マスターが割り当てられる動的アドレスを送信する前に終了します。スレーブが7E/RをNACKした場合、マスターは自動的にDAAを終了します。 3' h5 : マスターはSTART +スレーブリセットシーケンスを送信します。 3' h6 : マスターはHDR Exitを送信します。 3' h7 : Reserved。	
3	Reserved	-	-
5 : 4	COMTYPE (通信タイプ)	2' h0 : I3C SDR通信 2' h1 : I2C通信 2' h2 : DDR通信 2' h3 : Reserved	0x0
7 : 6	IBIRSPTYPE (IBI応答タイプ)	2' h0 : 自動ACK。ACKの後に必須バイトが続くかどうかは、MIBIFORMCFGレジスタによって決定されます。 2' h1 : 自動NACK。 2' h2 : 自動ACKで、マスターは、スレーブが必須バイトを送信することを保証できます（手動ACKでのみ使用されます）。	0x0

ビット数	名称	説明	デフォルトのリセット値
		2' h3 : 手動ACK。 IBIが発生すると通信が一時停止され、マスターが帯域内割り込み応答のために MCONTROL.REQUESTを3'h3に設定するのを待ちます。	
8	DIRECTION (通信方向)	0 : 書き込み 1 : 読み出し	0x0
15 : 9	COMADDR (通信アドレス)	マスターから送信されたスレーブアドレス	0x00
23 : 16	READTERMCNT (読み出し終了カウンタ)	マスターはREADTERMCNTバイトの後にこの読み出し通信を終了します。DDR通信中はREADTERMCNTは偶数である必要があります。	0x00
24	DDRENDWITHCRC (DDR通信が終了するときCRCあるかどうか)	0 : マスターがDDR読み出し通信を終了し、スレーブが書き込み通信を終了する場合、CRCはありません。 1 : マスターがDDR読み出し通信を終了し、スレーブが書き込み通信を終了する場合、CRCがあります。	0x0
31 : 25	Reserved	-	-

6.2.17 MSTS (0x88)

マスターのステータスを表示します。また、このレジスタを使用してステータスレジスタを 0 に設定することができます (対応する位置に 1 を書き込むと、ステータスレジスタが 0 に設定されます)。

表 6-19 MSTS

ビット数	名称	説明	デフォルトのリセット値
2 : 0	MSTE (マスターの現在の状態)	3' h0 : マスターが現在アイドル状態です 3' h1 : SDAバスがスレーブによってLowにプルダウンされます 3' h2 : Reserved	0x0

ビット数	名称	説明	デフォルトのリセット値
		3'h3: マスターが現在SDRまたはI2C通信状態です 3'h4: マスターが現在DDR通信状態です 3'h5: マスターが現在動的アドレス割り当て状態です 3'h6: マスターが現在、ユーザーがIBI、MR、HJに応答するかどうかを決定するのを待っています 3'h7: マスターが現在、スレーブからのIBI、MR、およびHJ要求を受信します（必須バイト付きIBIを受信すると、IBIデータを受信した後にこの状態を終了します。それ以外の場合はマスターACKの後にこの状態を終了します）。	
3	Reserved	-	-
4	BWN（通信中）	1: マスターが動的アドレス割り当てのプロセスにある場合、このビットが1であると、マスターは次の操作を待機します。マスターがSDR読み出しおよび書き込みプロセスにある場合、このビットが1であると、マスターが送信FIFOからデータを読み出し、または受信FIFOにデータを書き込むのを待機します。 0: マスターは他の状態です。	0x0
5	NACK	1: SDR通信: スレーブがマスターによって送信されたアドレスをNACKします。 DDR通信: スレーブ	0x0

ビット数	名称	説明	デフォルトのリセット値
		がマスターによって送信されたコマンドをNACKします。 0 : SDR通信 : スレーブがマスターによって送信されたアドレスをACKします。 DDR通信 : スレーブがマスターによって送信されたコマンドをACKします。	
7 : 6	SRTYPE (スレーブ要求タイプ)	2' h0 : スレーブからの要求はありません 2' h1 : スレーブがIBI要求を送信します 2' h2 : スレーブがマスターロール要求を送信します 2' h3 : スレーブがホットジョイン要求を送信します	0x0
8	SSTART (スレーブがSDAバスをLowにプルダウンしてSTART信号を送信)	1 : SDAバスがスレーブによってプルダウンされてSTARTシーケンスが生成されます。 0 : SDAバスがスレーブによってプルダウンされていません	0x0
9	MCONTROLFINISH (マスター制御操作完了)	1 : MCONTROL.REQUEST 要求操作が完了した後、このビットは1に設定されます。たとえば、MCONTROL.REQUEST が3'h1の場合、START + ADDRシーケンスが送信され、スレーブがACK / NACKでアドレスに応答した後、マスターはこのビットを1に設定します。	0x0

ビット数	名称	説明	デフォルトのリセット値
		0: このビットに1を書き込んでクリアします。	
10	COMCOMPLETE (通信完了)	1: 1回の読み出しおよび書き込み通信またはDAA通信が完了すると、この位置が1に設定されます (スレーブがDDR読み出しおよび書き込みコマンドをNACKするのを含む) 0: このビットに1を書き込んでクリアします	0x0
11	RFIFONOTEMPTY (受信FIFOが空ではない)	1: 受信FIFOが空ではない場合、このビットを1に設定します 0: 受信FIFOが空である場合、このビットを0に設定します	0x0
12	SFIFONOTFULL (送信FIFOがフルではない)	1: 送信FIFOがフルではありません 0: 送信FIFOがフルです	0x1
13	IBIRCV (マスターがIBI、HJ、MR要求を受信)	1: マスターがIBI、HJ、およびMR要求を受信します 0: このビットに1を書き込んでクリアします	0x0
14	Reserved	-	-
15	ERR (エラー状態)	1: マスターがエラー状態です (エラータイプはMERRレジスタで確認できます) 0: マスターがエラー状態ではありません (このビットに1を書き込んでクリアします)	0x0
23 : 16	Reserved	-	-
30 : 24	IBIADDRESS (マスターが受信したIBI、HJ、MR要求アドレス)	マスターが受信したIBI、HJ、MR要求アドレス	0x00

ビット数	名称	説明	デフォルトのリセット値
31	Reserved	-	-

6.2.18 MIBIFORMCFG (0x8C)

マスターIBI フォーマット構成。MIBIFORMCFG.DAMSB0 が 1 で MCONTROL.IBIRSPTYPE が 0 の場合、NOIBIMBYTE が 1 の場合、MIBIFORMCFG のアドレスを除くすべてのアドレスには、IBI 必須バイトがあります。NOIBIMBYTE が 0 の場合、MIBIFORMCFG のアドレスのみに IBI 必須バイトがあります。

表 6-20 MIBIFORMCFG

ビット数	名称	説明	デフォルトのリセット値
5 : 0	SADDRESS0 (スレーブアドレス0)	スレーブアドレス0 (このアドレスのスレーブに必須バイトがあるかどうかはDAMSB0とNOIBIMBYTEによって決定されます)	0x00
11 : 6	SADDRESS1 (スレーブアドレス1)	スレーブアドレス1 (このアドレスのスレーブに必須バイトがあるかどうかはDAMSB0とNOIBIMBYTEによって決定されます)	0x00
17 : 12	SADDRESS2 (スレーブアドレス2)	スレーブアドレス2 (このアドレスのスレーブに必須バイトがあるかどうかはDAMSB0とNOIBIMBYTEによって決定されます)	0x00
23 : 18	SADDRESS3 (スレーブアドレス3)	スレーブアドレス3 (このアドレスのスレーブに必須バイトがあるかどうかはDAMSB0とNOIBIMBYTEによって決定されます)	0x00
29 : 24	SADDRESS4 (スレーブアドレス4)	スレーブアドレス4 (こ	0x00

ビット数	名称	説明	デフォルトのリセット値
	アドレス4)	のアドレスのスレーブに必須バイトがあるかどうかはDAMSB0とNOIBIMBYTEによって決定されます)	
30	DAMSB0 (動的アドレスの最上位ビットがすべて0であるかどうか)	1 : 動的アドレスの最上位ビットがすべて0です 0 : 動的アドレスの最上位ビットがすべて0です	0x0
31	NOIBIMBYTE (IBI必須バイトなし)	1 : このレジスタの対応するアドレスのスレーブIBIには必須バイトがありません 0 : このレジスタの対応するアドレスのスレーブIBIには必須バイトがあります	0x0

6.2.19 MIS (0x90)

ユーザー割り込みイネーブル設定。対応する位置に 1 を書き込むと、対応する割り込みが有効になります。

表 6-21 MIS

ビット数	名称	説明	デフォルトのリセット値
7 : 0	Reserved	-	-
8	SSTART	SSTART割り込みイネーブル。スレーブがSDAバスをLowにプルダウンしてSTARTシーケンスを送信します。	0x0
9	MCONTROLFINISH	マスター制御操作完了割り込みイネーブル。ユーザーによる制御操作が完了します。	0x0
10	COMCOMPLETE	通信完了割り込みイネーブル	0x0

		ーブル。1つの通信が完了します。	
11	RFIFONOTEMPTY	受信FIFO非空割り込みイネーブル。受信FIFOが空ではありません	0x0
12	SFIFONOTFULL	送信FIFO非フル割り込みイネーブル。送信FIFOがフルではありません	0x0
13	IBIRCV	マスターがIBI、HJ、MR要求を受信した割り込みイネーブル。マスターがIBI、HJ、MR要求を受信しました	0x0
14	Reserved	-	-
15	ERR	エラー割り込みイネーブル。バスがエラー状態です。	0x0
31 : 16	Reserved	-	-

6.2.20 MIC (0x94)

ユーザー割り込みイネーブルクリア。対応する位置に 1 を書き込んで、対応する割り込みイネーブルをクリアします。

表 6-22 MIC

ビット数	名称	説明	デフォルトのリセット値
7 : 0	Reserved	-	-
8	SSTART	SSTART割り込みイネーブルクリア	-
9	MCONTROLFINISH	マスター制御操作完了割り込みイネーブル	-
10	COMCOMPLETE	通信完了割り込みイネーブル	-
11	RFIFONOTEMPTY	受信FIFO非空割り込みイネーブルクリア	-
12	SFIFONOTFULL	送信FIFO非フル割り込	-

ビット数	名称	説明	デフォルトのリセット値
		みイネーブルクリア	
13	IBIRCV	マスターがIBI、HJ、MR要求を受信した割り込みイネーブル	-
14	Reserved	-	-
15	ERR	エラー割り込みイネーブルクリア	-
31 : 16	Reserved	-	-

6.2.21 MIM (0x98)

割り込みマスクレジスタ。イネーブルされた割り込みのステータスをユーザーに送信します。このレジスタの値は **MSTS & MIS** です。

表 6-23 MIM

ビット数	名称	説明	デフォルトのリセット値
7 : 0	Reserved	-	-
8	SSTART	SSTART割り込みマスクレジスタ	0x0
9	MCONTROLFINISH	マスター制御操作完了割り込みマスクレジスタ	0x0
10	COMCOMPLETE	通信完了割り込みマスクレジスタ	0x0
11	RFIFONOTEMPTY	受信FIFO非空割り込みマスクレジスタ	0x0
12	SFIFONOTFULL	送信FIFO非フル割り込みマスクレジスタ	0x0
13	IBIRCV	マスターがIBI、HJ、MR要求を受信した割り込みマスクレジスタ	0x0
14	Reserved	-	-
15	ERR	エラー割り込みマスクレジスタ	0x0

31 : 16	Reserved	-	-
---------	----------	---	---

6.2.22 MERR (0x9C)

マスターエラーレジスタ。通信でエラーが発生した場合、エラーレジスタからエラータイプを読み出すことができます。**MERR** レジスタの値が **1** に設定されると、**MSTS.ERR** も **1** に設定されます。対応するビットに **1** を書き込むことにより、レジスタの値を **0** に設定します。

表 6-24 MERR

ビット数	名称	説明	デフォルトのリセット値
1 : 0	Reserved	-	-
2	DAABANACK	DAA中にブロードキャスト書き込みアドレスがNACKされます	0x0
3	I2CWNACK	スレーブがI2Cデータ書き込みをNACKします	0x0
8 : 4	Reserved	-	-
9	DDRFRAME	DDR通信フレームエラー。開始シーケンスとCRCの最初の4ビットが4'hCではありません。	0x0
10	DDRCRC5	DDR CRC5エラー	0x0
11	DDRCOMMANDDATA	DDRコマンドとデータエラー。送信と受信に一貫性がありません。	0x0
15 : 12	Reserved	-	-
16	READEMPTY	受信FIFOが空の場合、ユーザーは受信FIFOの読み出しを続行します。	0x0
17	WRITEFULL	送信FIFOがフルの場合、ユーザー	0x0

ビット数	名称	説明	デフォルトのリセット値
		は送信FIFOへのデータの書き込みを続行します。	
18	Reserved	-	-
19	ERRREQUEST	要求エラー。ユーザーが間違った要求を使用します。たとえば、バスがDAA状態であり、ユーザーがSTART + ADDR (MCONTROL.RREQUEST = 3'h1) の送信を要求します。	0x0
20	COMTIMEOUT	通信タイムアウト。IPが100usの間アイドル状態以外の状態にあります。	0x0
31 : 21	Reserved	-	-

6.2.23 MDATACONTROL (0xAC)

マスターデータ制御レジスタ。FIFO(深さ 16)のステータスを制御および表示します。

表 6-25 MDATACONTROL

ビット数	名称	説明	デフォルトのリセット値
0	SFIFOCLR (送信FIFOクリアレジスタ)	1を書き込んで送信FIFOのデータをクリアします	0x0
1	RFIFOCLR (受信FIFOクリアレジスタ)	1を書き込んで受信FIFOのデータをクリアします	0x0
15 : 2	Reserved	-	-
20 : 16	SFIFOCNT (送信FIFO内	送信FIFO内のデータ	0x00

	のデータ数)	数	
23 : 21	Reserved	-	-
28 : 24	RFIFOCNT (受信FIFO内のデータ数)	受信FIFO内のデータ数	0x00
29	Reserved	-	-
30	SFIFOFULL (送信FIFOがフル)	1 : 送信FIFOがフルです 0 : 送信FIFOがフルではありません	0x0
31	RFIFOEMPTY (受信FIFOが空)	1 : 受信FIFOが空です 0 : 受信FIFOは空ではありません	0x1

6.2.24 MTXB (0xB0)

マスター送信データレジスタ。ユーザーは、このレジスタを介して送信 FIFO にデータを書き込むことができます。

表 6-26 MTXB

ビット数	名称	説明	デフォルトのリセット値
7 : 0	WDATA (書き込みデータ)	送信FIFOに書き込まれるデータ	-
8	LAST (このデータがこの通信の最後のバイトであるかどうかを示す)	1 : このバイトがこの通信の最後のバイトです (DDR通信の偶数の位置にあるバイトのみが最後のバイトになることができます) 0 : このバイトがこの通信の最後のバイトではありません	-
31 : 9	Reserved	-	-

6.2.25 MTXBE (0xB4)

マスター最後バイト送信レジスタ。ユーザーはこのレジスタを介してこの通信のデータの最後のバイトを送信 FIFO に書き込むことができます。

表 6-27 MTXBE

ビット数	名称	説明	デフォルトのリセット値

7 : 0	WDATA（書き込みデータ）	送信FIFOに書き込まれる最後のバイト（DDR通信の偶数の位置にあるバイトのみが最後のバイトになることができます）	-
31 : 8	Reserved	-	-

6.2.26 MRXB（0xC0）

マスター読み出しデータレジスタ。ユーザーは、このレジスタを介して受信 FIFO からデータを読み出すことができます。

表 6-28 MRXB

ビット数	名称	説明	デフォルトのリセット値
7 : 0	RDATA（読み出しデータ）	受信FIFOから読み出されるデータ	0x00
31 : 8	Reserved	-	-

6.2.27 DID（0xC4）

デバイス ID レジスタ。ユーザーはこの IP の ID 番号を読み出すことができます。

表 6-29 DID

ビット数	名称	説明	デフォルトのリセット値
1 : 0	CLOCKNUMBER	0: シングルクロックドメイン・デバイス 1: デュアルクロックドメイン・デバイス 2: Reserved 3: Reserved	0x0
3 : 2	ROLE	0: マスターをサポート 1: スレーブをサポート 2: マスターとスレーブをサポート 3: Reserved	0x2
5 : 4	FUNCTION	0: SDRをサポート	0x1

ビット数	名称	説明	デフォルト のリセット 値
		1 : DDRをサポート 2 : Reserved 3 : Reserved	
11 : 6	VERSIONNUMBER	バージョン番号	0x00
31 : 12	Reserved	-	-

7 通信手順

7.1 マスター通信手順

7.1.1 SDR 読み出し書き込み

1. IP の初期化 : **MCFG** レジスタを書き込んで IP を初期化します
 - **MENABLE** : マスターのイネーブル
 - **PPHIGH**、**PPLOWEXTRA**、**ODSCL**、**ODHIGHEQUALPP**、**I2CSCL** : SDR 読み出しおよび書き込み通信のデータレートを構成します
2. 割り込みイネーブル : **MIS** レジスタを書き込んで対応する割り込みを有効にします
 - **MCONTROLFINISH** : マスター制御操作完了割り込みイネーブル
 - **COMCOMPLETE** : 通信完了割り込みイネーブル
 - **RFIFONOTEMPTY** : 受信 FIFO 非空割り込みイネーブル
 - **SFIFONOTFULL** : 送信 FIFO 非フル割り込みイネーブル
3. 読み出しおよび書き込みの実行 : **MCONTROL** レジスタを書き込んで IP が対応する読み出しおよび書き込み操作を完了するようにします。
 - **REQUEST** : 1 を書き込んで **START + ADDR** の送信を要求します
 - **COMTYPE** : 0 を書き込んで **I3C SDR** 通信を選択します
 - **DIRECTION** : 0 を書き込んだ場合は **SDR** 書き込みで、1 を書き込んだ場合は **SDR** 読み出しです
 - **COMADDR** : マスターから送信されたスレーブアドレス
 - **READTERMCNT** : マスターは **READTERMCNT** バイトの後にこの読み出し通信を終了します。
4. データの書き込み : **MTXB** または **MTXBE** を介して送信データを書き

込みます。データは、読み出し/書き込み操作の前または後に書き込むことができ、**MTXB** または **MTXBE** を介してこの書き込み通信の最後のバイトを構成できます。マスターは、最後のバイトを送信した後、この通信を終了します。

5. 割り込みの受信：割り込みを受信した後、**MSTS** レジスタを読み出すことにより、どのような割り込みを受信したかを知ることができます。
 - **MCONTROLFINISH** 割り込み：マスターが **START + ADDR** を送信し、スレーブが **ACK / NACK** したことを示します。
 - **COMCOMPLETE** 割り込み：読み出しおよび書き込み操作が完了し、ユーザーは引き続き **STOP** (**MCONTROL.REQUEST** が 2 の場合) または **RESTART + ADDR** (**MCONTROL.REQUEST** が 1 の場合) を送信できることを示します。
 - **SFIFONOTFULL** 割り込み：送信 **FIFO** がフルになり、これ以上データを書き込むことができないことを示します。
 - **RFIFONOTEMPTY** 割り込み：データが受信 **FIFO** で受信され、ユーザーは **MRXB** レジスタを介して受信 **FIFO** からデータを読み出すことができることを示します。

7.1.2 I2C 読み出し書き込み

I2C の読み出し書き込み操作は **SDR** の読み出し書き込み操作に似ています。**MCONTROL.COMTYPE** に 1 を書き込んで I2C の読み出し書き込み操作を発行します。

7.1.3 ENTDA A 操作

1. IP の初期化：**MCFG** レジスタを書き込んで IP を初期化します
 - **MENABLE**：マスターのイネーブル
 - **PPHIGH**、**PPLOWEXTRA**、**ODSCL**、**ODHIGHEQUALPP**、**I2CSCL**：**SDR** 読み出しおよび書き込み通信のデータレートを構成します
2. 割り込みイネーブル：**MIS** レジスタを書き込んで対応する割り込みを有効にします
 - **MCONTROLFINISH**：マスター制御操作完了割り込みイネーブル
 - **COMCOMPLETE**：通信完了割り込みイネーブル
 - **RFIFONOTEMPTY**：受信 **FIFO** 非空割り込みイネーブル
 - **SFIFONOTFULL**：送信 **FIFO** 非フル割り込みイネーブル
3. 読み出しおよび書き込みの実行：**MCONTROL** レジスタを書き込んで IP が対応する **ENTDA A** 操作を完了するようにします

- **REQUEST** : **ENDAA** モードでない場合は、**4** を書き込むと、マスターは **START + 7E / W + ACK + ENTDA + RSTART + 7E / R** + スレーブから受信した **64** ビット読み出しデータを送信します。
ENDAA モードの場合、**4** を書き込むと、マスターは動的アドレス + **ACK + RESTART + 7E / R** + スレーブから受信した **64** ビット読み出しデータを送信します (**7E / R** が **ACK** された場合、スレーブから **64** ビット読み出しデータを受信します。**NACK** された場合、マスターは自動的に **STOP** シーケンスを送信します)。
- **COMTYPE** : **0** を書き込んで **I3C SDR** 通信を選択します
- 4. 動的アドレスの書き込み : **MTXB** (**LAST** は **0** である必要があります) を介して **ENDAA** に必要な動的アドレスを書き込みます (動的アドレスはデータの **7 : 1** ビットであり、ビット **0** には役割がありません)。動的アドレスの書き込みは **ENDAA** の後に実行する必要があります (**7E + R** は **ACK** されます)。
- 5. 割り込みの受信 : 割り込みを受信した後、**MSTS** レジスタを読み出すことにより、どのような割り込みを受信したかを知ることができます。
 - **MCONTROLFINISH** 割り込み : マスターが **REQUEST 4** に対応する操作を発行したことを示します。
 - **COMCOMPLETE** 割り込み : この **ENDAA** 操作の後にバスが **IDLE** 状態に入ったことを示します。
 - **RFIFONOTEMPTY** 割り込み : データが受信 **FIFO** で受信され、ユーザーは **MRXB** レジスタを介して受信 **FIFO** からデータを読み出すことができることを示します。

7.1.4 その他の CCC 操作

その他の CCC 操作は、**SDR** 読み出し書き込みによって実装されます。

7.1.5 IBI/HJ 操作

1. IP の初期化 : **MCFG** レジスタを書き込んで IP を初期化します
 - **MENABLE** : マスターのイネーブル
 - **PPHIGH**、**PPLOWEXTRA**、**ODSCL**、**ODHIGHEQUALPP**、**I2CSCL** : **SDR** 読み出しおよび書き込み通信のデータレートを構成します
2. 割り込みイネーブル : **MIS** レジスタを書き込んで対応する割り込みを有効にします
 - **MCONTROLFINISH** : マスター制御操作完了割り込みイネーブル
 - **COMCOMPLETE** : 通信完了割り込みイネーブル

- **RFIFONOTEMPTY** : 受信 FIFO 非空割り込みイネーブル
- **SFIFONOTFULL** : 送信 FIFO 非フル割り込みイネーブル
- **SSTART** : SDA 信号がスレーブによってプルダウンされた割り込みイネーブル
- **IBIRCV** : マスターが IBI、HJ、MR 要求を受信した割り込みイネーブル

3. IBI、HJ、MR 要求の ACK 構成

- **MCONTROL.IBIRSPTYPE** : IBI ACK タイプの構成。自動 ACK、自動 NACK、および手動として構成できます。自動 ACK として構成されている場合、**MIBIFORMCFG** レジスタを使用して、IBI ACK の後に IBI 必須バイトを使用するかどうかを構成できます。手動として構成されている場合、I3C バス通信は IBI アドレスで中断され、**MCONTROL.REQUEST** (3 に設定) および **MCONTROL.IBIRSPTYPE** を使用して手動で IBI を ACK できます (**MCONTROL.IBIRSPTYPE** 0 は必須バイトなし ACK で、**MCONTROL.IBIRSPTYPE** 1 は NACK で、**MCONTROL.IBIRSPTYPE** 2 はで強制バイトあり ACK です)。

4. IBI、HJ、および MR 要求

- スレーブが SDA を Low にプルダウンした後、マスターは **SSTART** 割り込みを受信します。
- スレーブが IBI、HJ、MR 要求アドレスを送信した後、マスターは **IBIRCV** 割り込みを受信します。
- **IBIRCV** 割り込みを受信すると、ユーザーは **MSTS** レジスタを読み出して、それが手動 ACK であるかどうかを知ることができます。ユーザーは **MCONTROL.REQUEST** (3 に設定) を使用して手動 ACK を開始でき、IP は IBI ACK を自動的に開始できます。
- IBI、HJ、MR 要求が完了すると、ユーザーは **COMCOMPLETE** 割り込みを受信できます。
- **RFIFONOTEMPTY** 割り込みを受信すると、ユーザーは **RX FIFO** から IBI データを読み出すことができます。

7.1.6 DDR 読み出し書き込み

1. IP の初期化 : **MCFG** レジスタを書き込んで IP を初期化します
 - **MENABLE** : マスターのイネーブル
 - **PPHIGH**、**PPLOWEXTRA**、**ODSCL**、**ODHIGHEQUALPP** : DDR 読み出しおよび書き込み通信のデータレートを構成します
2. 割り込みイネーブル : **MIS** レジスタを書き込んで対応する割り込みを有効にします

- **MCONTROLFINISH** : マスター制御操作完了割り込みイネーブル
 - **COMCOMPLETE** : 通信完了割り込みイネーブル
 - **RFIFONOTEMPTY** : 受信 FIFO 非空割り込みイネーブル
 - **SFIFONOTFULL** : 送信 FIFO 非フル割り込みイネーブル
3. 読み出しおよび書き込みの実行 : **MCONTROL** レジスタを書き込んで IP が対応する読み出しおよび書き込み操作を完了するようにします
- **REQUEST** : 1 を書き込み、I3C が DDR モードに入らないと、マスターは **START+7E/W+ACK+ENTHDR0 CCC+DDR COMMAND** を送信します。I3C が DDR モードに入ると、マスターは **HDR Restart+ DDR COMMAND** を送信します。
 - **COMTYPE** : 0 を書き込んで I3C DDR 通信を選択します
 - **COMADDR** : マスターから送信された **DDR COMMAND** 内のスレーブアドレス
 - **READTERMCNT** : マスターは **READTERMCNT** バイトの後にこの読み出し通信を終了します。**READTERMCNT** は偶数である必要があります
 - **DDRENDWITHCRC** : 読み出しおよび書き込み通信が早期に終了したときに **CRC** を送信するかどうかを設定します。
4. データの書き込み : ユーザーは、読み出し書き込み操作を開始する前または後に、**MTXB** を介して **DDR COMMAND** のコマンドバイトを書き込む必要があります。その後、**MTXB** または **MTXBE** を介して送信データを書き込み、最後のバイトを構成できます。**MTXB** または **MTXBE** (偶数バイトで終了する必要があります)。マスターは、最後の 2 バイトが送信された後に通信を完了します。
5. 割り込みの受信 : 割り込みを受信した後、**MSTS** レジスタを読み出すことにより、どのような割り込みを受信したかを知ることができます。
- **MCONTROLFINISH** 割り込み : マスターが **START + 7E / W + ACK + ENTHDR0 CCC+DDR COMMAND** または **HDR Restart+ DDR COMMAND** または **DDR EXIT** シーケンスを発行したことを示します。
 - **COMCOMPLETE** 割り込み : 読み出しおよび書き込み操作が完了し、ユーザーは引き続き **HDR EXIT** (**MCONTROL.REQUEST** が 6 の場合) または **HDR Restart+ DDR COMMAND** (**MCONTROL.REQUEST** が 1 の場合) を送信できることを示します。
 - **SFIFONOTFULL** 割り込み : 送信 FIFO がフルになり、これ以上データを書き込むことができないことを示します。

- **RFIFONOTEMPTY** 割り込み：データが受信 **FIFO** で受信され、ユーザーは **MRXB** レジスタを介して受信 **FIFO** からデータを読み出すことができることを示します。

7.2 スレーブ通信手順

7.2.1 SDR 読み出し書き込み

1. IP の初期化：**SCFG** レジスタを書き込んで IP を初期化します
2. スレーブベンダー固定値またはランダム値の書き込み：**SVFVORRV** レジスタを書き込むことにより、スレーブベンダー固定値またはランダム値を書き込みます
3. スレーブ **BCR** および **DCR** 値の書き込み：**SBCRANDDCR** レジスタを書き込むことにより、**BCR** および **DCR** 値を書き込みます
4. スレーブ **MIPI** メーカーID の書き込み：**SMMID** レジスタを書き込むことにより、**MIPI** メーカーID を書き込みます。
5. 割り込みイネーブル：**SIS** レジスタを書き込んで対応する割り込みを有効にします。
6. 読み出し書き込み操作：ユーザーは割り込みによってバスの状態を知ることができ、レジスタによって読み出し書き込み操作を実行できます。
 - **START** 割り込みを受信することは、スレーブが **I3C** バスで **START** シーケンスを検出したことを示します
 - **MATCHEDSAORDA** 割り込みを受信することは、**I3C** バスのアドレスが静的アドレスまたは動的アドレスと一致することを示します。この時、ユーザーは **SSTS** レジスタを読み出して、読み出しまたは書き込みであることがわかります
 - **RFIFONOTEMPTY** 割り込みを受信することは、受信 **FIFO** にデータがあり、ユーザーは **SRXB** レジスタを介して受信データを読み出すことができることを示します
 - **DATANEED** 割り込みを受信することは、マスターが読み出し操作を実行していることを示します。ユーザーは **STXB** レジスタを介して送信データを書き込む必要があります。そうしないと、IP はマスターの読み出しを自動的に **NACK** するか、データの 9 番目のビットで終了します。
 - **STOP** 割り込みを受信することは、スレーブが **I3C** バスで **STOP** シーケンスを検出したことを示します

7.2.2 ENTDAА 操作

1. IP の初期化 : SCFG レジスタを書き込んで IP を初期化します
2. スレーブベンダー固定値またはランダム値の書き込み : SVFVORRV レジスタを書き込むことにより、スレーブベンダー固定値またはランダム値を書き込みます
3. スレーブ BCR および DCR 値の書き込み : SBCRANDDCR レジスタを書き込むことにより、BCR および DCR 値を書き込みます
4. スレーブ MIPI メーカーID の書き込み : SMMID レジスタを書き込むことにより、MIPI メーカーID を書き込みます。
5. 割り込みイネーブル : SIS レジスタを書き込んで対応する割り込みを有効にします
6. ENTDAА 操作 : ユーザーは割り込みによってバスの状態を知ることができ、レジスタによって ENTDAА 操作を実行できます
 - START 割り込みを受信することは、スレーブが I3C バスで START シーケンスを検出したことを示します
 - MATCHEDBA 割り込みを受信することは、I3C バス上のアドレスがブロードキャスト書き込みアドレスであることを示します
 - CCCAH 割り込みを受信することは、CCC コマンドが自動的に処理されたことを示します。このとき、ステータスレジスタを読み出すと、スレーブが DAA モードに入っていることがわかります。
 - IP は 64 ビットの読み出しデータを自動的に送信し、動的アドレスを受信します
 - STOP 割り込みを受信することは、スレーブが I3C バスで STOP シーケンスを検出し、ENTDAА が完了したことを示します

7.2.3 その他の CCC 操作

他の CCC コマンドの操作は、SDR の読み出し書き込み操作と似ています。違いは、ユーザーが CCCRCV 割り込みを受信できることです。この割り込みは、ユーザーが ENTDAА 以外の CCC コマンドを受信したことを示します。ユーザーは、受信 FIFO から CCC コマンドを読み出して、受信した CCC コマンドのタイプを知ることができます。

7.2.4 IBI/HJ/MR 操作

1. IP の初期化 : SCFG レジスタを書き込んで IP を初期化します
2. スレーブベンダー固定値またはランダム値の書き込み : SVFVORRV レジスタを書き込むことにより、スレーブベンダー固定値またはランダム値を書き込みます

3. スレーブ **BCR** および **DCR** 値の書き込み: **SBCRANDDCR** レジスタを書き込むことにより、**BCR** および **DCR** 値を書き込みます
4. スレーブ **MIPI** メーカーID の書き込み: **SMMID** レジスタを書き込むことにより、**MIPI** メーカーID を書き込みます。
5. 割り込みイネーブル: **SIS** レジスタを書き込んで対応する割り込みを有効にします
6. **IBI/HJ/MR** 操作の実行: **SCONTROL** レジスタを書き込んで **IBI/HJ/MR** 操作を実行します (**REQUEST 1** は **IBI** を発行し、**REQUEST 2** は **MR** を発行し、**REQUEST 3** は **HJ** を発行します。**HJ** の場合、**SCFG.HJWAIT** は **1** である必要があります)
7. **IBI/HJ/MR** 操作の実行: ユーザーは割り込みによってバスの状態を知ることができ、レジスタによって **IBI/HJ/MR** 操作を実行できます
 - **START** 割り込みを受信することは、スレーブが **I3C** バスで **START** シーケンスを検出したことを示します
 - **REQUEST** 割り込みを受信することは、**IBI/HJ/MR** 要求が正常に送信されたことを示します。このとき、ステータスレジスタを読み出すと、マスターが **IBI/HJ/MR** 要求に応答したかどうかを確認できます。
 - **DATANEED** 割り込みを受信することは、**IBI** 要求には必須バイト以外のデータが必要であり (必須バイトは **SCONTROL** レジスタを介して書き込まれます)、ユーザーは送信 **FIFO** にデータを書き込むことができます (データを書き込まないと、スレーブは **IBI** 操作を終了します)。
 - **STOP** 割り込みを受信することは、スレーブが **I3C** バスで **STOP** シーケンスを検出し、今回の通信が完了したことを示します

8 割り込み

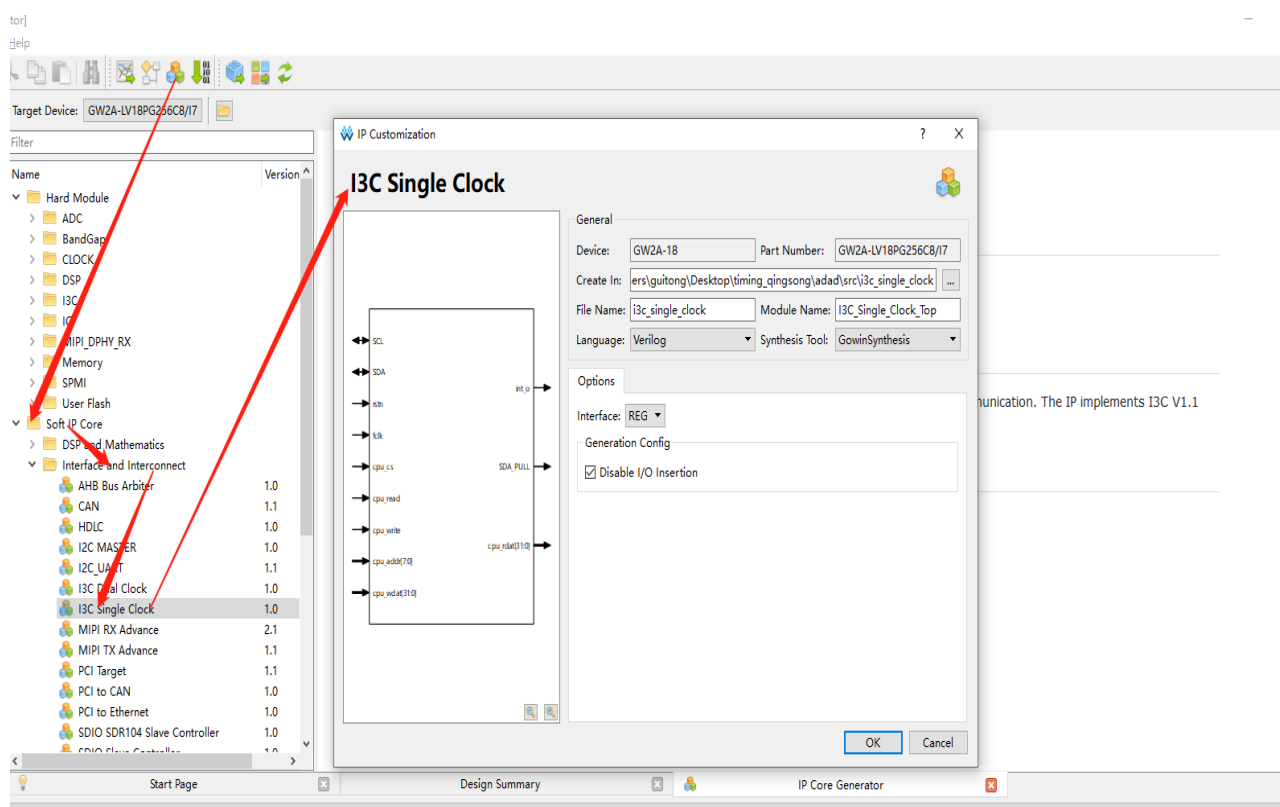
I3C Single Clock IP は、アクティブ **Low** のレベル割り込みを実装します。これは、有効なすべての個別の割り込みソースが **OR** 接続されて最終的な割り込み出力を生成する標準的なメカニズムです。割り込みソースは **MIS** および **SIS** レジスタで定義され、割り込みイネーブルには対応するマスクがあります。

9 呼び出しと構成

9.1 IP の呼び出し

Gowin ソフトウェア GUI のメニューバー > Tools > IP Core Generator を使用して Gowin I3C Single Clock IP を呼び出し・構成できます。または、図 9-1 に示すように Gowin I3C Single Clock IP の構成 GUI を開きます。

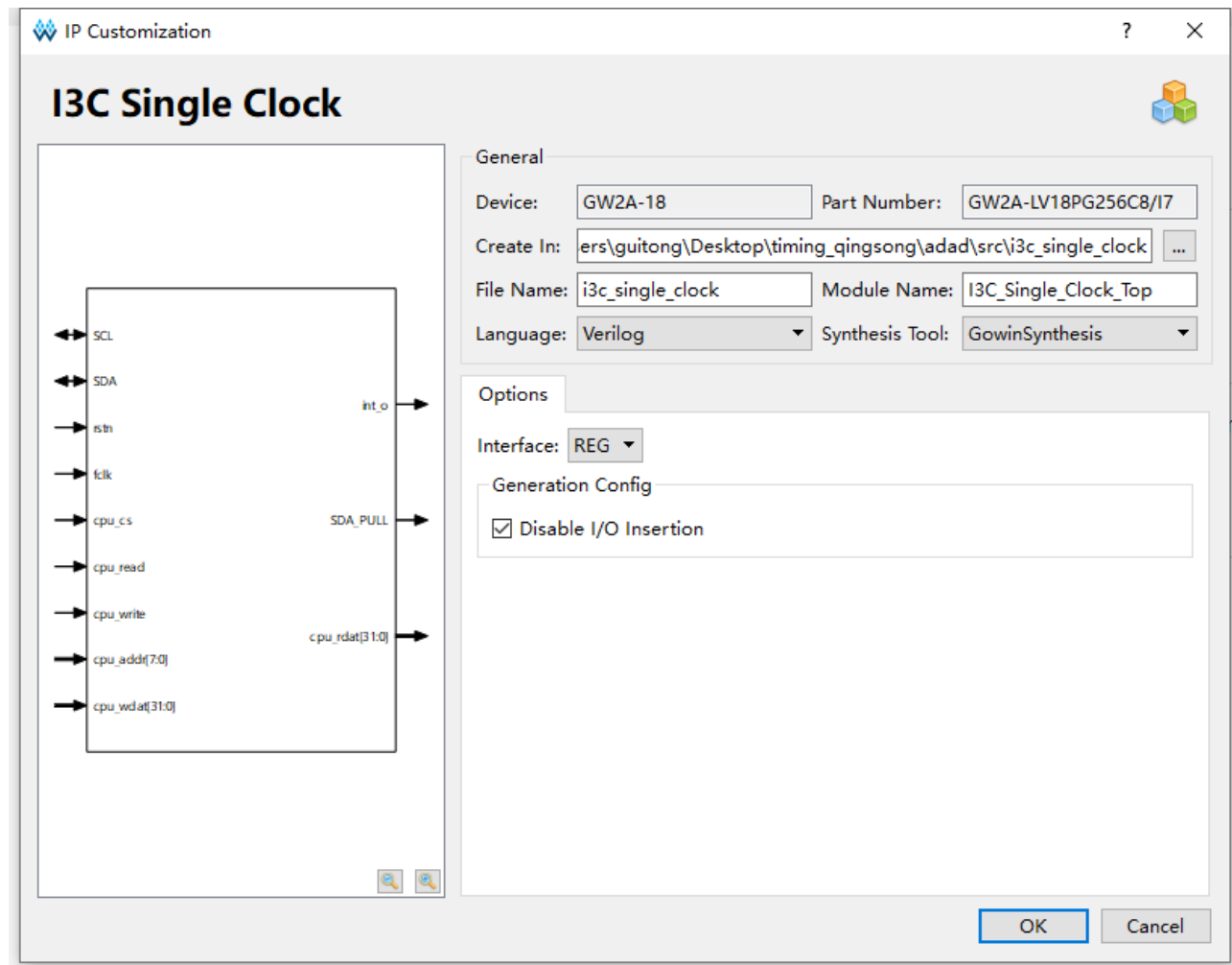
図 9-1 Gowin I3C Single Clock IP の呼び出し



9.2 構成 GUI

Gowin I3C Single Clock IP の構成 GUI を図 9-2 に示します。

図 9-2 Gowin I3C Single Clock IP Options の構成 GUI



Gowin I3C Single Clock IP の構成オプションの説明を表 9-1 に示します。

表 9-1 構成オプションの説明

オプション		説明
Interface	REG	IPをREGインターフェースとして構成します
	APB	IPをAPBバスインターフェースとして構成します

10 リファレンスデザイン

詳細については、GOWIN 公式 Web サイトの I3C Single Clock リファレンスデザインを参照してください。

