



Gowin I3C Dual Clock IP

ユーザーガイド

IPUG787-1.0J, 2021-10-28

著作権について(2021)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN**高云**、、Gowin、及びGOWINSEMIは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI取引条件)に規定されている内容を除き、(明示的か又は黙示的に拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。本文書における全ての情報は、予備的情報として取り扱われなければなりません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2021/10/28	1.0J	初版。

目次

目次.....	i
図一覧.....	iii
表一覧.....	iv
1 本マニュアルについて	1
1.1 マニュアル内容	1
1.2 関連ドキュメント.....	1
1.3 用語、略語.....	2
1.4 テクニカル・サポートとフィードバック.....	2
2 概要.....	3
3 特長及び性能.....	4
3.1 主な特徴	4
3.2 最大周波数.....	4
3.3 リソース使用率	5
4 機能の説明	6
4.1 操作モード.....	6
4.2 ユーザーインターフェースのタイミング.....	6
5 ポートの説明.....	8
6 レジスタ	10
6.1 レジスタのアドレスマッピングと説明	10
6.2 各レジスタの説明.....	11
6.2.1 MCFG (0x00)	11
6.2.2 MCONTROL (0x84)	14
6.2.3 MSTS (0x88)	16
6.2.4 MIBIFORMCFG (0x8C)	20
6.2.5 MIS (0x90)	21

6.2.6 MIC (0x94)	22
6.2.7 MIM (0x98)	23
6.2.8 MERR (0x9C)	24
6.2.9 MDATACONTROL (0xAC)	26
6.2.10 MTXB (0xB0)	26
6.2.11 MTXBE (0xB4)	28
6.2.12 MRXB (0xC0)	28
6.2.13 DID (0xC4)	28
7 通信手順.....	30
7.1 マスター通信手順.....	30
7.1.1 SDR 読み出し書き込み	30
7.1.2 I2C 読み出し書き込み	31
7.1.3 ENTDAI 操作.....	31
7.1.4 その他の CCC 操作	32
7.1.5 IBI/HJ 操作.....	32
7.1.6 DDR 読み出し書き込み	33
8 割り込み.....	35
9 クロック	36
10 呼び出しと構成	37
10.1 IP の呼び出し	37
10.2 構成 GUI	38
11 リファレンスデザイン.....	39

図一覧

図 4-1 REG インターフェースの書き込みタイミング.....	7
図 4-2 REG インターフェースの読み出しタイミング.....	7
図 5-1 I3C Dual Clock IP のポート.....	8
図 10-1 Gowin I3C Dual Clock IP の呼び出し.....	37
図 10-2 Gowin I3C Dual Clock IP Options の構成 GUI	38

表一覧

表 1-1 用語、略語.....	2
表 2-1 I3C Dual Clock IP	3
表 3-1 I3C Dual Clock のリソース使用率	5
表 5-1 I3C Dual Clock の IO ポート一覧	8
表 6-1 マスターレジスタのアドレスマッピングと説明.....	10
表 6-2 MCFG.....	11
表 6-3 MCONTROL.....	14
表 6-4 MSTS	16
表 6-5 MIBIFORMCFG.....	20
表 6-6 MIS	21
表 6-7 MIC	22
表 6-8 MIM	23
表 6-9 MERR.....	24
表 6-10 MDATACONTROL.....	26
表 6-11 MTXB.....	26
表 6-12 MTXBE	28
表 6-13 MRXB	28
表 6-14 DID	28
表 10-1 構成オプションの説明	38

1 本マニュアルについて

1.1 マニュアル内容

本マニュアルは、ユーザーが Gowin I3C Dual Clock IP を使いこなせるよう、その概要、機能、ポート、タイミング、呼び出しと構成、およびリファレンスデザインなどについて説明します。

1.2 関連ドキュメント

GOWIN セミコンダクターの Web サイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW1N シリーズ FPGA 製品データシート([DS100](#))
- GW1NR シリーズ FPGA 製品データシート([DS117](#))
- GW1NS シリーズ FPGA 製品データシート([DS821](#))
- GW1NSR シリーズ FPGA 製品データシート([DS861](#))
- GW1NRF シリーズ Bluetooth FPGA 製品データシート([DS891](#))
- GW1NSER シリーズ安全 FPGA 製品データシート([DS881](#))
- GW2A シリーズ FPGA 製品データシート([DS102](#))
- GW2AR シリーズ FPGA 製品データシート([DS226](#))
- GW2ANR シリーズ FPGA 製品データシート([DS961](#))
- GW2AN-55 FPGA 製品データシート([DS976](#))
- GW2AN-18X & 9X FPGA 製品データシート([DS971](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))

1.3 用語、略語

表 1-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
IP	Intellectual Property	設計資産
LUT	Look-up Table	ルックアップテーブル
CCC	Common Command Code	共通コマンドコード
IBI	In-Band Interrupt	帯域内割り込み
HJ	Hot-join	ホットジョイン

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

Web サイト : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

I3C Dual Clock IP の紹介

Gowin I3C Dual Clock IP は、シリアル通信インターフェースとシリアルセンサーインターフェースでデータを送受信するために使用されます。

Gowin I3C Dual Clock IP は、REG インターフェースおよび APB インターフェースを備えた I3C バス通信コントローラを提供しています。

表 2-1 I3C Dual Clock IP

I3C Dual Clock IP	
ロジックリソース	表3-1参照
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンスデザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis®
統合開発環境	Gowinソフトウェア

3 特長及び性能

3.1 主な特徴

- MIPI I3C V1.1 規格に準拠。
- SDR および DDR 伝送モードをサポート。
 - SDR モードはマスターのみをサポートし、最大データレートは 12.5Mbps。
 - DDR モードはマスターのみをサポートし、最大データレートは 25Mbps。
- アドレスアービトラション検出をサポート。
- I3C CCC コマンドをサポート。
 - 動的アドレス割り当てをサポート。
 - その他のオプションの CCC コマンドをサポート。
- IBI、hot-join をサポート。
- スレーブリセット・シーケンスの送信をサポート。
- I2C スレーブと互換性。
- 2 つのユーザーインターフェースをサポート。
 - APB インターフェース
 - REG インターフェース

3.2 最大周波数

I3C Dual Clock の最大周波数は、主に使用されるデバイスのスピードグレード(speed grade of the devices)によって決まります。i3c_clk の周波数が 100MHz の場合、I3C バスの SCL の周波数は 12.5MHz として設定できます。

3.3 リソース使用率

I3C Dual Clock を Verilog で実装します。パフォーマンスとリソース使用率は、デバイス、集積度、スピードグレードなどにより異なる場合があります。

例えば、GOWIN GW2A-18 シリーズ FPGA の場合、I3C Dual Clock のリソース使用率は表 3-1 のようになります。他の GOWIN FPGA でのアプリケーション検証については、これからの最新情報を参照してください。

表 3-1 I3C Dual Clock のリソース使用率

シリーズ	スピード グレード	リソース使用率		備考
		LUT	1895	
GW2A-18	C8/I7	REG	1197	-

4 機能の説明

4.1 操作モード

このソフトコアは、**REG** インターフェースと **APB** インターフェースをユーザーに提供します。ユーザーは、制御レジスタを書き込むことによって **IP** 動作時のパラメータを構成し、**IP** の通信を制御してデータを送信します。また、制御レジスタを読み出すことによって **IP** 動作時のパラメータを読み出し、**IP** が受信したデータを読み出します。**IP** は割り込みを介してバス上のイベントをユーザーに通知し、ユーザーは制御レジスタの読み出し/書き込みを介して割り込み処理を実行します。割り込み処理が完了すると、ユーザーは **IP** との対話を完了し、バス通信を完了します。

I3C バスデータの高速読み出しおよび書き込みを実現するために、このソフトコアには、深さ **16** の **2** つの **8** ビット幅の読み出しおよび書き込み **FIFO** が備わっています。このようにして、ユーザーは、データが送信されていないときに複数のデータを連続して書き込んだり、複数のデータを受信した後に複数のデータを連続して読み出したりすることができます。

4.2 ユーザーインターフェースのタイミング

ユーザーは、ユーザーインターフェースを **REG** インターフェースまたは **APB** インターフェースとして構成できます。その中で、**APB** インターフェースは関連するプロトコルに準拠しています。

REG インターフェースのタイミングを下図に示します。

図 4-1 REG インターフェースの書き込みタイミング

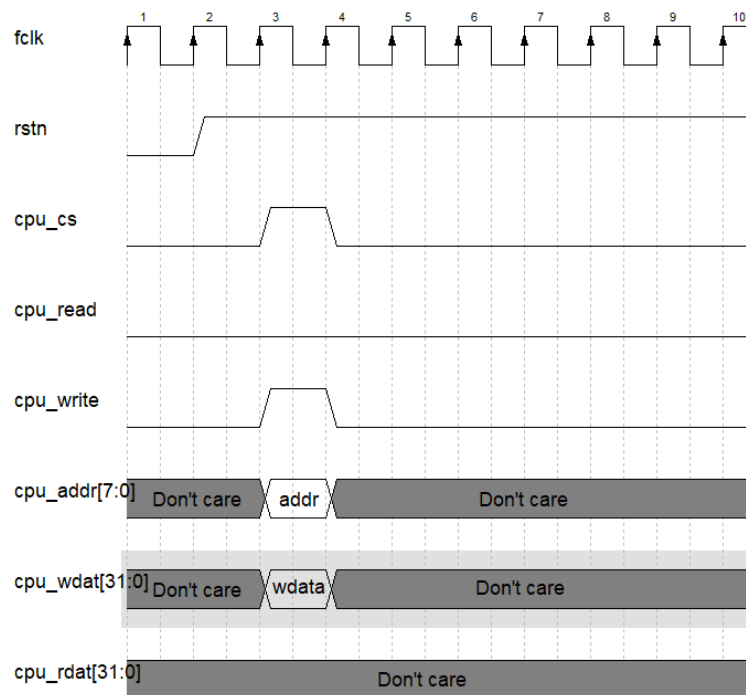
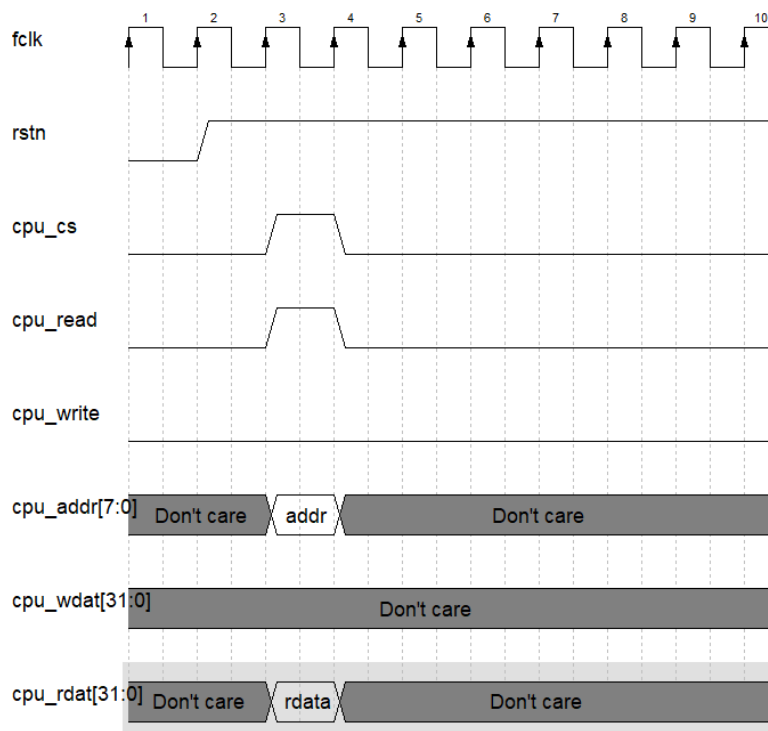


図 4-2 REG インターフェースの読み出しタイミング

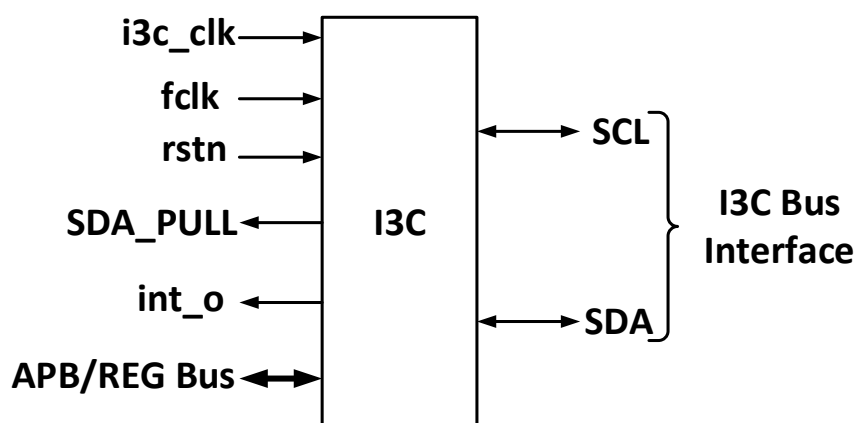


5 ポートの説明

I3C Dual Clock の IO ポート

I3C Dual Clock の IO ポートを図 5-1 に示します。

図 5-1 I3C Dual Clock IP のポート



I3C Dual Clock の IO ポートの詳細を表 5-1 に示します。

表 5-1 I3C Dual Clock の IO ポート一覧

信号	方向	説明
fclk	入力	システムクロック（低速、レジスタの読み出しと書き込みに使用）
i3c_clk	入力	I3C構成クロック（高速、I3CバスのSCLを構成するために使用）
rstn	入力	リセット、アクティブLow
SDA_PULL	出力	I3Cシリアルデータの制御可能なプルアップ
int_o	出力	割り込み出力、アクティブLow
I3Cインターフェース		

信号	方向	説明
SCL	入出力	I3Cシリアルクロックライン
SDA	入出力	I3Cシリアルデータライン
ユーザーインターフェース：APBインターフェース（fclkを除く）		
PADDR[7:0]	入力	バイトアドレス
PWDATA[31:0]	入力	書き込みデータ
PRDATA[31:0]	出力	読み出しデータ
PSEL	入力	スレーブ選択
PWRITE	入力	書き込み/読み出し方向指示
PENABLE	入力	イネーブル信号
ユーザーインターフェース：REGインターフェース（fclkを除く）		
cpu_cs	入力	チップセレクト信号
cpu_read	入力	読み出しイネーブル
cpu_write	入力	書き込みイネーブル
cpu_addr[7:0]	入力	アドレス信号
cpu_wdat[31:0]	入力	書き込みデータ
cpu_rdat[31:0]	出力	読み出しデータ

6 レジスタ

I3C Dual Clock IP は 256 のアドレス空間を使用するため、下位 8 ビットのアドレスをレジスタセットのオフセット値としてデコードします。これは、すべての制御レジスタ、ステータスレジスタ、および送信と受信 FIFO にアクセスするためのレジスタをこのアドレス空間にマップします。

6.1 レジスタのアドレスマッピングと説明

表 6-1 マスターレジスタのアドレスマッピングと説明

レジスタのオフセットアドレス	レジスタ名	アクセス制限	説明
0x00	MCFG	読み出し 書き込み	マスター構成レジスタ：IPを初期化します。
0x84	MCONTROL	読み出し 書き込み	マスター制御レジスタ：IPが I3C/I2C バスで対応する操作を行うよう制御します。
0x88	MSTS	読み出し 書き込み	マスターステータスレジスタ：IPおよびI3Cバスのステータスを表示します（対応する位置に1を書き込むと、対応するレジスタを0に設定できます）
0x8C	MIBIFORMCFG	読み出し 書き込み	マスターIBIタイプ構成レジスタ：スレーブIBI後に必須バイトを使用するかどうかを構成します。
0x90	MIS	読み出し 書き込み	マスター割り込みイネーブルレジスタ：IP割り込みを有効にします。
0x94	MIC	書き込み 専用	マスター割り込みイネーブルクリアレジスタ：1を書き込んで割り込みイネーブルをクリ

レジスタのオフセットアドレス	レジスタ名	アクセス制限	説明
			アします。
0x98	MIM	読み出し専用	マスター割り込みマスクレジスタ：MSTS値 & MIS値。
0x9C	MERR	読み出し書き込み	マスターエラーレジスタ：現在の通信で発生したエラーを表示します（対応する位置に1を書き込むと、対応するレジスタを0に設定できます）。
0xAC	MDATACONTROL	読み出し書き込み	マスターデータ制御レジスタ：FIFOのステータスを制御および表示します。
0xB0	MTXB	書き込み専用	マスター送信データレジスタ：マスターが送信FIFOにデータを書き込みます。
0xB4	MTXBE	書き込み専用	マスター送信終了データレジスタ：マスターがこの通信の最後のデータを送信FIFOに書き込みます。
0xC0	MRXB	読み出し専用	マスター受信データレジスタ：マスターが受信FIFOからデータを読み出します。
0xC4	DID	読み出し専用	デバイスIDレジスタ：ユーザーはこのIPのID番号を読み出すことができます。

6.2 各レジスタの説明

6.2.1 MCFG (0x00)

IP を初期化します。

表 6-2 MCFG

ビット数	名称	説明	デフォルトのリセット値
0	MENABLE（マスターが有効かどうかを示します）	1：IPがマスターとして構成されています 0：IPがスレーブとして構成されています	0x0

ビット数	名称	説明	デフォルトのリセット値
2 : 1	Reserved	-	-
3	MDISTIMEOUT (タイムアウトエラー検出が有効かどうかを示します)	1 : タイムアウトエラー検出を無効にします 0 : タイムアウトエラー検出を有効にします エラー検出を有効にした後、IPが100usの間アイドル状態以外の状態にあると、タイムアウトエラーが発生し、IPはMERR割り込みを送信します。	0x0
7 : 4	Reserved	-	-
11 : 8	PPHIGH (push-pullモードでSCLのHighレベルが占めるi3c_clkの数)	PPHIGH = SCLのHighレベルが占めるi3c_clkの数-1であり、最小PPHIGHは3です。	0x0
15 : 12	PPLOWEXTRA (push-pullモードでのSCLのLowレベルが占めるi3c_clkの数 - push-pullモードでのSCLのHighレベルが占めるi3c_clkの数)	SCLのLowレベルが占めるi3c_clkの数= SCLのHighレベルが占めるi3c_clkの数+ PLOWEXTRA	0x0
23 : 16	ODSCL (open-drainモードでSCLのHighレベルとLowレベルが占めるi3c_clkの数) ^[1]	open-drainモードでSCLのHighレベルとLowレベルが占めるi3c_clkの数=push-pullモードでSCLのHighレベルが占めるi3c_clkの数* (ODSCL + 1)。	0x00
27 : 24	Reserved	-	-
31 : 28	I2CSCL (I2CモードでSCLのHighレベルとLowレベルが占めるi3c_clkの数) ^[2]	I2CSCLが偶数の場合 : I2CモードでSCLのHighレベルとLowレベルが占めるi3c_clkの数 = open-drainモードでSCLのLowレベルが占める	0x0

ビット数	名称	説明	デフォルト のリセット 値
		i3c_clkの数 * I2CSCL。 I2CSCLが奇数の場合： I2CモードでSCLのHigh レベルが占めるi3c_clk の数 = open-drainモー ドでSCLのLowレベル が占めるi3c_clkの数 * (I2CSCL-1)。 I2CモードでSCLのLow レベルが占めるi3c_clk の数 = open-drainモー ドでSCLのLowレベル が占めるi3c_clkの数 * I2CSCL。	

注記：

- [1] open-drain モードでは、SCL の High レベルと Low レベルが占める i3c_clk の数は少なくとも 11 です。
- [2] I2CSCL の最小値は 2 です。

6.2.2 MCONTROL (0x84)

マスター制御レジスタ。IP が I3C/I2C バスで対応する操作を行うよう制御します。

表 6-3 MCONTROL

ビット数	名称	説明	デフォルトのリセット値
2 : 0	REQUEST (マスター要求)	3' h0 : マスター要求が完了した後、0に設定します。 3' h1 : MCONTROL.COMTYPE がDDRモードでない場合、マスターはSTART + ADDRシーケンスの送信を要求します。マスターが読み出しを終了した後、ADDRのみが送信されます。MCONTROL.COMTYPEがDDRモードの場合、I3CがDDRモードに入らないと、マスターは START+7EW+ACK+ENTHDR 0 CCC+DDR COMMANDを送信します。I3CがDDRモードに入ると、マスターはHDR Restart+ DDR COMMANDを送信します。 3' h2 : マスターがSTOPシーケンスの送信を要求します。 3' h3 : マスターが手動のIBI応答を要求します。 3' h4 : マスターはDAAを要求します。マスターがDAAモードでない場合、マスターは START+7EW+ACK+ENTDAA +RSTART+7E/Rを送信し、マスターが割り当てられる動的アドレスを送信する前に終了します。マスターがDAAモードの場合、マスターはDA+ACK+RSTART+7E/Rを送信し、マスターが割り当てられる動的アドレスを送信する前に終了します。スレーブが7E/Rを	0x0

ビット数	名称	説明	デフォルトのリセット値
		NACKした場合、マスターは自動的にDAAを終了します。 3' h5 : マスターはSTART + スレーブリセットシーケンスを送信します。 3' h6 : マスターはHDR Exitを送信します。 3' h7 : Reserved。	
3	Reserved	-	-
5 : 4	COMTYPE (通信タイプ)	2' h0 : I3C SDR通信 2' h1 : I2C通信 2' h2 : DDR通信 2' h3 : Reserved	0x0
7 : 6	IBIRSPTYPE (IBI応答タイプ)	2' h0 : 自動ACK。ACKの後に必須バイトが続くかどうかは、MIBIFORMCFGレジスタによって決定されます。 2' h1 : 自動NACK 2' h2 : 自動ACKで、マスターは、スレーブが必須バイトを送信することを保証できます(手動ACKでのみ使用されます)。 2' h3 : 手動ACK。IBIが発生すると通信が一時停止され、マスターが帯域内割り込み応答のためにMCONTROL.REQUESTを3'h3に設定するのを待ちます。	0x0
8	DIRECTION (通信方向)	0 : 書き込み 1 : 読み出し	0x0
15 : 9	COMADDR (通信アドレス)	マスターから送信されたスレーブアドレス	0x00
23 : 16	READTERM CNT (読み出し終了カウンタ)	マスターはREADTERMCNTバイトの後にこの読み出し通信を終了します。DDR通信中はREADTERMCNTは偶数である必要があります	0x00

ビット数	名称	説明	デフォルトのリセット値
24	DDRENDWI THCRC (DDR通信が終了するときCRCあるかどうか)	0 : マスターがDDR読み出し通信を終了し、スレーブが書き込み通信を終了する場合、CRCはありません 1 : マスターがDDR読み出し通信を終了し、スレーブが書き込み通信を終了する場合、CRCがあります	0x0
31 : 25	Reserved	-	-

6.2.3 MSTS (0x88)

マスターのステータスを表示します。また、このレジスタを使用してステータスレジスタを 0 に設定することができます（対応する位置に 1 を書き込むと、ステータスレジスタが 0 に設定されます）。

表 6-4 MSTS

ビット数	名称	説明	デフォルトのリセット値
2 : 0	MSTE (マスターの現在の状態)	3' h0 : マスターが現在アイドル状態です 3' h1 : SDAバスがスレーブによってLowにプルダウンされます 3' h2 : Reserved 3' h3 : マスターが現在SDRまたはI2C通信状態です 3' h4 : マスターが現在DDR通信状態です 3' h5 : マスターが現在動的アドレス割り当て状態です 3' h6 : マスターが現在、ユーザーがIBI、MR、HJに応答するかどうかを決定するのを待っています 3'h7 : マスターが現在、スレーブからのIBI、MR、およびHJ要求を受信します（必須バイト付きIBIを受信すると、IBIデータ	0x0

ビット数	名称	説明	デフォルトのリセット値
		を受信した後にこの状態を終了します。それ以外の場合はマスターACKの後にこの状態を終了します)。	
3	Reserved	-	-
4	BWN (通信中)	1 : マスターが動的アドレス割り当てのプロセスにある場合、このビットが1であると、マスターは次の操作を待機します。マスターがSDR読み出しおよび書き込みプロセスにある場合、このビットが1であると、マスターが送信FIFOからデータを読み出し、または受信FIFOにデータを書き込むのを待機します。 0 : マスターは他の状態です。	0x0
5	NACK	1 : SDR通信 : スレーブがマスターによって送信されたアドレスをNACKします。DDR通信 : スレーブがマスターによって送信されたコマンドをNACKします 0 : SDR通信 : スレーブがマスターによって送信されたアドレスをACKします。DDR通信 : スレーブがマスターによって送信されたコマンドをACKします。	0x0
7 : 6	SRTYPE (スレーブ要求タイプ)	2' h0 : スレーブからの要求はありません 2' h1 : スレーブがIBI要求を送信します 2' h2 : スレーブがマスターロール要求を送信します 2' h3 : スレーブがホットジョイン要求を送信します	0x0
8	SSTART (スレーブが	1 : SDAバスがスレーブによっ	0x0

ビット数	名称	説明	デフォルトのリセット値
	SDAバスをLowにプルダウンしてSTART信号を送信)	でプルダウンされてSTARTシーケンスが生成されます。 0 : SDAバスがスレーブによってプルダウンされていません	
9	MCONTROLFINISH (マスター制御操作完了)	1 : MCONTROL.REQUEST要求操作が完了した後、このビットは1に設定されます。たとえば、MCONTROL.REQUESTが3'h1の場合、START + ADDRシーケンスが送信され、スレーブがACK / NACKでアドレスに回答した後、マスターはこのビットを1に設定します 0 : このビットに1を書き込んでクリアします。	0x0
10	COMCOMPLETE (通信完了)	1 : 1回の読み出しおよび書き込み通信またはDAA通信が完了すると、この位置が1に設定されます (スレーブがDDR読み出しおよび書き込みコマンドをNACKするのを含む) 0 : このビットに1を書き込んでクリアします	0x0
11	RFIFONOTEMPTY (受信FIFOが空ではない)	1 : 受信FIFOが空ではない場合、このビットを1に設定します 0 : 受信FIFOが空である場合、このビットを0に設定します	0x0
12	SFIFONOTFULL (送信FIFOがフルではない)	1 : 送信FIFOがフルではありません 0 : 送信FIFOがフルです	0x1
13	IBIRCV (マスターがIBI、HJ、MR要求を受信)	1 : マスターがIBI、HJ、およびMR要求を受信します 0 : このビットに1を書き込んでクリアします	0x0
14	Reserved	-	-
15	ERR (エラー状態)	1 : マスターがエラー状態です (エラータイプはMERRレジ)	0x0

ビット数	名称	説明	デフォルト のリセット 値
		スタで確認できます) 0 : マスターがエラー状態では ありません (このビットに1を 書き込んでクリアします)	
23 : 16	Reserved	-	-
30 : 24	IBIADDRESS (マスター が受信したIBI、HJ、MR 要求アドレス)	マスターが受信したIBI、HJ、 MR要求アドレス	0x00
31	Reserved	-	-

6.2.4 MIBIFORMCFG (0x8C)

マスターIBI フォーマット構成。MIBIFORMCFG.DAMSB0 が 1 で MCONTROL.IBIRSPTYPE が 0 の場合、NOIBIMBYTE が 1 の場合、MIBIFORMCFG のアドレスを除くすべてのアドレスには、IBI 必須バイトがあります。NOIBIMBYTE が 0 の場合、MIBIFORMCFG のアドレスのみに IBI 必須バイトがあります。

表 6-5 MIBIFORMCFG

ビット数	名称	説明	デフォルトのリセット値
5 : 0	SADDRESS0 (スレーブアドレス0)	スレーブアドレス0 (このアドレスのスレーブに必須バイトがあるかどうかはDAMSB0とNOIBIMBYTEによって決定されます)	0x00
11 : 6	SADDRESS1 (スレーブアドレス1)	スレーブアドレス1 (このアドレスのスレーブに必須バイトがあるかどうかはDAMSB0とNOIBIMBYTEによって決定されます)	0x00
17 : 12	SADDRESS2 (スレーブアドレス2)	スレーブアドレス2 (このアドレスのスレーブに必須バイトがあるかどうかはDAMSB0とNOIBIMBYTEによって決定されます)	0x00
23 : 18	SADDRESS3 (スレーブアドレス3)	スレーブアドレス3 (このアドレスのスレーブに必須バイトがあるかどうかはDAMSB0とNOIBIMBYTEによって決定されます)	0x00
29 : 24	SADDRESS4 (スレーブアドレス4)	スレーブアドレス4 (このアドレスのスレーブに必須バイトがあるかどうかはDAMSB0とNOIBIMBYTEによって決定されます)	0x00

ビット数	名称	説明	デフォルトのリセット値
30	DAMSB0 (動的アドレスの最上位ビットがすべて0であるかどうか)	1: 動的アドレスの最上位ビットがすべて0です 0: 動的アドレスの最上位ビットがすべて0です	0x0
31	NOIBIMBYTE (IBI必須バイトなし)	1: このレジスタの対応するアドレスのスレーブIBIには必須バイトがありません 0: このレジスタの対応するアドレスのスレーブIBIには必須バイトがあります	0x0

6.2.5 MIS (0x90)

ユーザー割り込みイネーブル設定。対応する位置に 1 を書き込むと、対応する割り込みが有効になります。

表 6-6 MIS

ビット数	名称	説明	デフォルトのリセット値
7 : 0	Reserved		
8	SSTART	SSTART割り込みイネーブル。スレーブがSDAバスをLowにプルダウンしてSTARTシーケンスを送信します。	0x0
9	MCONTROLFINISH	マスター制御操作完了割り込みイネーブル。ユーザーによる制御操作が完了します。	0x0
10	COMCOMPLETE	通信完了割り込みイネーブル。1つの通信が完了します。	0x0
11	RFIFONOTEMPTY	受信FIFO非空割り込みイネーブル。受信FIFOが空ではありません。	0x0
12	SFIFONOTFULL	送信FIFO非フル割り込みイネーブル。送信FIFOがフルではありません。	0x0

ビット数	名称	説明	デフォルトのリセット値
13	IBIRCV	マスターがIBI、HJ、MR要求を受信した割り込みイネーブル。マスターがIBI、HJ、MR要求を受信しました。	0x0
14	Reserved	-	-
15	ERR	エラー割り込みイネーブル。バスがエラー状態です。	0x0
31 : 16	Reserved	-	-

6.2.6 MIC (0x94)

ユーザー割り込みイネーブルクリア。対応する位置に 1 を書き込んで、対応する割り込みイネーブルをクリアします。

表 6-7 MIC

ビット数	名称	説明	デフォルトのリセット値
7 : 0	Reserved	-	-
8	SSTART	SSTART割り込みイネーブルクリア	-
9	MCONTROLFINISH	マスター制御操作完了割り込みイネーブル	-
10	COMCOMPLETE	通信完了割り込みイネーブル	-
11	RFIFONOTEMPTY	受信FIFO非空割り込みイネーブルクリア	-
12	SFIFONOTFULL	送信FIFO非フル割り込みイネーブルクリア	-
13	IBIRCV	マスターがIBI、HJ、MR要求を受信した割り込みイネーブル	-
14	Reserved	-	-
15	ERR	エラー割り込みイネーブルクリア	-
31 : 16	Reserved	-	-

6.2.7 MIM (0x98)

割り込みマスクレジスタ。イネーブルされた割り込みのステータスをユーザーに送信します。このレジスタの値は **MSTS & MIS** です。

表 6-8 MIM

ビット数	名称	説明	デフォルトのリセット値
7 : 0	Reserved	-	-
8	SSTART	SSTART割り込みマスクレジスタ	0x0
9	MCONTROLFINISH	マスター制御操作完了割り込みマスクレジスタ	0x0
10	COMCOMPLETE	通信完了割り込みマスクレジスタ	0x0
11	RFIFONOTEMPTY	受信FIFO非空割り込みマスクレジスタ	0x0
12	SFIFONOTFULL	送信FIFO非フル割り込みマスクレジスタ	0x0
13	IBIRCV	マスターがIBI、HJ、MR要求を受信した割り込みマスクレジスタ	0x0
14	Reserved	-	-
15	ERR	エラー割り込みマスクレジスタ	0x0
31 : 16	Reserved	-	-

6.2.8 MERR (0x9C)

マスターエラーレジスタ。通信でエラーが発生した場合、エラーレジスタからエラータイプを読み出すことができます。**MERR** レジスタの値が 1 に設定されると、**MSTS.ERR** も 1 に設定されます。対応するビットに 1 を書き込むことにより、レジスタの値を 0 に設定します。

表 6-9 MERR

ビット数	名称	説明	デフォルトのリセット値
1 : 0	Reserved	-	-
2	DAABANACK	DAA中にブロードキャスト書き込みアドレスがNACKされます	0x0
3	I2CWNACK	スレーブがI2Cデータ書き込みをNACKします	0x0
8 : 4	Reserved	-	-
9	DDRFRAME	DDR通信フレームエラー。開始シーケンスとCRCの最初の4ビットが4'hCではありません	0x0
10	DDRCRC5	DDR CRC5エラー	0x0
11	DDRCOMMANDDATA	DDRコマンドとデータエラー。送信と受信に一貫性がありません。	0x0
15 : 12	Reserved	-	-
16	READEMPTY	受信FIFOが空の場合、ユーザーは受信FIFOの読み出しを続行します。	0x0
17	WRITEFULL	送信FIFOがフルの場合、ユーザーは送信FIFOへのデータの書き込みを続行します。	0x0
18	Reserved	-	-
19	ERRREQUEST	要求エラー。ユーザーが間違った要求を使用します。たとえば、バスがDAA状態であり、ユーザーがSTART + ADDR	0x0

ビット数	名称	説明	デフォルト のリセット 値
		(MCONTROL.REQUEST = 3' h1) の送信を要求しま す。	
20	COMTIMEOUT	通信タイムアウト。IPが 100usの間アイドル状態以 外の状態にあります。	0x0
31 : 21	Reserved	-	-

6.2.9 MDATACONTROL (0xAC)

マスターデータ制御レジスタ。FIFO(深さ 16)のステータスを制御および表示します。

表 6-10 MDATACONTROL

ビット数	名称	説明	デフォルトのリセット値
0	SFIFOCLR (送信FIFOクリアレジスタ)	1を書き込んで送信FIFOのデータをクリアします	0x0
1	RFIFOCLR (受信FIFOクリアレジスタ)	1を書き込んで受信FIFOのデータをクリアします	0x0
15 : 2	Reserved	-	-
20 : 16	SFIFOCNT (送信FIFO内のデータ数)	送信FIFO内のデータ数	0x00
23 : 21	Reserved	-	-
28 : 24	RFIFOCNT (受信FIFO内のデータ数)	受信FIFO内のデータ数	0x00
29	Reserved	-	-
30	SFIFOFULL (送信FIFOがフル)	1 : 送信FIFOがフルです 0 : 送信FIFOがフルではありません	0x0
31	RFIFOEMPTY (受信FIFOが空)	1 : 受信FIFOが空です 0 : 受信FIFOは空ではありません	0x1

6.2.10 MTXB (0xB0)

マスター送信データレジスタ。ユーザーは、このレジスタを介して送信FIFOにデータを書き込むことができます。

表 6-11 MTXB

ビット数	名称	説明	デフォルトのリセット値
7 : 0	WDATA (書き込みデータ)	送信FIFOに書き込まれる	-

ビット数	名称	説明	デフォルト のリセット 値
		データ	
8	LAST (このデータがこの通信の最後のバイトであるかどうかを示す)	1 : このバイトがこの通信の最後のバイトです (DDR 通信の偶数の位置にあるバイトのみが最後のバイトになることができます) 0 : このバイトがこの通信の最後のバイトではありません	-
31 : 9	Reserved	-	-

6.2.11 MTXBE (0xB4)

マスター最後バイト送信レジスタ。ユーザーはこのレジスタを介してこの通信のデータの最後のバイトを送信 FIFO に書き込むことができます。

表 6-12 MTXBE

ビット数	名称	説明	デフォルトのリセット値
7 : 0	WDATA (書き込みデータ)	送信FIFOに書き込まれる最後のバイト (DDR通信の偶数の位置にあるバイトのみが最後のバイトになることができます)	-
31 : 8	Reserved	-	-

6.2.12 MRXB (0xC0)

マスター読み出しデータレジスタ。ユーザーは、このレジスタを介して受信 FIFO からデータを読み出すことができます。

表 6-13 MRXB

ビット数	名称	説明	デフォルトのリセット値
7 : 0	RDATA (読み出しデータ)	受信FIFOから読み出されるデータ	0x00
31 : 8	Reserved	-	-

6.2.13 DID (0xC4)

デバイス ID レジスタ。ユーザーはこの IP の ID 番号を読み出すことができます。

表 6-14 DID

ビット数	名称	説明	デフォルトのリセット値
1 : 0	CLOCKNUMBER	0 : シングルクロックドメイン・デバイス 1 : デュアルクロックドメイン・デバイス 2 : Reserved	0x1

ビット数	名称	説明	デフォルト のリセット 値
		3 : Reserved	
3 : 2	ROLE	0 : マスターをサポート 1 : スレーブをサポート 2 : マスターとスレーブをサポート 3 : Reserved	0x0
5 : 4	FUNCTION	0 : SDRをサポート 1 : DDRをサポート 2 : Reserved 3 : Reserved	0x1
11 : 6	VERSIONNUMBER	バージョン番号	0x00
31 : 12	Reserved	-	-

7 通信手順

7.1 マスター通信手順

7.1.1 SDR 読み出し書き込み

1. IP の初期化 : **MCFG** レジスタを書き込んで IP を初期化します
 - **MENABLE** : マスターのイネーブル
 - **PPHIGH**、**PPLOWEXTRA**、**ODSCL**、**I2CSCL** : SDR 読み出しおよび書き込み通信のデータレートを構成します
2. 割り込みイネーブル : **MIS** レジスタを書き込んで対応する割り込みを有効にします
 - **MCONTROLFINISH** : マスター制御操作完了割り込みイネーブル
 - **COMCOMPLETE** : 通信完了割り込みイネーブル
 - **RFIFONOTEMPTY** : 受信 FIFO 非空割り込みイネーブル
 - **SFIFONOTFULL** : 送信 FIFO 非フル割り込みイネーブル
3. 読み出しおよび書き込みの実行 : **MCONTROL** レジスタを書き込んで IP が対応する読み出しおよび書き込み操作を完了するようにします
 - **REQUEST** : 1 を書き込んで **START + ADDR** の送信を要求します
 - **COMTYPE** : 0 を書き込んで I3C SDR 通信を選択します
 - **DIRECTION** : 0 を書き込んだ場合は SDR 書き込みで、1 を書き込んだ場合は SDR 読み出しです
 - **COMADDR** : マスターから送信されたスレーブアドレス
 - **READTERMCNT** : マスターは **READTERMCNT** バイトの後にこの読み出し通信を終了します。
4. データの書き込み : **MTXB** または **MTXBE** を介して送信データを書き込みます。データは、読み出し/書き込み操作の前または後に書き込

むことができ、**MTXB** または **MTXBE** を介してこの書き込み通信の最後のバイトを構成できます。マスターは、最後のバイトを送信した後、この通信を終了します。

5. 割り込みの受信：割り込みを受信した後、**MSTS** レジスタを読み出すことにより、どのような割り込みを受信したかを知ることができます。

- **MCONTROLFINISH** 割り込み：マスターが **START + ADDR** を送信し、スレーブが **ACK / NACK** したことを示します。
- **COMCOMPLETE** 割り込み：読み出しおよび書き込み操作が完了し、ユーザーは引き続き **STOP** (**MCONTROL.REQUEST** が 2 の場合) または **RESTART + ADDR** (**MCONTROL.REQUEST** が 1 の場合) を送信できることを示します。
- **SFIFONOTFULL** 割り込み：送信 **FIFO** がフルになり、これ以上データを書き込むことができないことを示します。
- **RFIFONOTEMPTY** 割り込み：データが受信 **FIFO** で受信され、ユーザーは **MRXB** レジスタを介して受信 **FIFO** からデータを読み出すことができることを示します。

7.1.2 I2C 読み出し書き込み

I2C の読み出し書き込み操作は **SDR** の読み出し書き込み操作に似ています。**MCONTROL.COMTYPE** に 1 を書き込んで **I2C** の読み出し書き込み操作を発行します。

7.1.3 ENTDA A 操作

1. **IP** の初期化：**MCFG** レジスタを書き込んで **IP** を初期化します
 - **MENABLE**：マスターのイネーブル
 - **PPHIGH**、**PPLOWEXTRA**、**ODSCL**、**I2CSCL**：**SDR** 読み出しおよび書き込み通信のデータレートを構成します
2. 割り込みイネーブル：**MIS** レジスタを書き込んで対応する割り込みを有効にします
 - **MCONTROLFINISH**：マスター制御操作完了割り込みイネーブル
 - **COMCOMPLETE**：通信完了割り込みイネーブル
 - **RFIFONOTEMPTY**：受信 **FIFO** 非空割り込みイネーブル
 - **SFIFONOTFULL**：送信 **FIFO** 非フル割り込みイネーブル
3. 読み出しおよび書き込みの実行：**MCONTROL** レジスタを書き込んで **IP** が対応する **ENTDA A** 操作を完了するようにします
 - **REQUEST**：**ENDAA** モードでない場合は、4 を書き込むと、マス

ターは **START + 7E / W + ACK + ENTDA + RSTART + 7E / R** + スレーブから受信した 64 ビット読み出しデータを送信します。
ENDAA モードの場合、4 を書き込むと、マスターは動的アドレス + **ACK + RESTART + 7E / R** + スレーブから受信した 64 ビット読み出しデータを送信します (7E / R が **ACK** された場合、スレーブから 64 ビット読み出しデータを受信します。 **NACK** された場合、マスターは自動的に **STOP** シーケンスを送信します)。

- **COMTYPE : 0** を書き込んで **I3C SDR** 通信を選択します

4. 動的アドレスの書き込み : **MTXB** (**LAST** は 0 である必要があります) を介して **ENDAA** に必要な動的アドレスを書き込みます (動的アドレスはデータの 7:1 ビットであり、ビット 0 には役割がありません)。動的アドレスの書き込みは **ENDAA** の後に実行する必要があります (7E + R は **ACK** されます)。

5. 割り込みの受信 : 割り込みを受信した後、**MSTS** レジスタを読み出すことにより、どのような割り込みを受信したかを知ることができます。

- **MCONTROLFINISH** 割り込み : マスターが **REQUEST 4** に対応する操作を発行したことを示します。
- **COMCOMPLETE** 割り込み : この **ENDAA** 操作の後にバスが **IDLE** 状態に入ったことを示します。
- **RFIFONOTEMPTY** 割り込み : データが受信 **FIFO** で受信され、ユーザーは **MRXB** レジスタを介して受信 **FIFO** からデータを読み出すことができることを示します。

7.1.4 その他の CCC 操作

その他の CCC 操作は、**SDR** 読み出し書き込みによって実装されます。

7.1.5 IBI/HJ 操作

1. IP の初期化 : **MCFG** レジスタを書き込んで IP を初期化します
 - **MENABLE** : マスターのイネーブル
 - **PPHIGH**、**PPLOWEXTRA**、**ODSCL**、**I2CSCL** : **SDR** 読み出しおよび書き込み通信のデータレートを構成します
2. 割り込みイネーブル : **MIS** レジスタを書き込んで対応する割り込みを有効にします
 - **MCONTROLFINISH** : マスター制御操作完了割り込みイネーブル
 - **COMCOMPLETE** : 通信完了割り込みイネーブル
 - **RFIFONOTEMPTY** : 受信 **FIFO** 非空割り込みイネーブル
 - **SFIFONOTFULL** : 送信 **FIFO** 非フル割り込みイネーブル

- **SSTART** : SDA 信号がスレーブによってプルダウンされた割り込みイネーブル
 - **IBIRCV** : マスターが IBI、HJ、MR 要求を受信した割り込みイネーブル
3. IBI、HJ、MR 要求の ACK 構成
- **MCONTROL.IBIRSPTYPE** : IBI ACK タイプの構成。自動 ACK、自動 NACK、および手動として構成できます。自動 ACK として構成されている場合、**MIBIFORMCFG** レジスタを使用して、IBI ACK の後に IBI 必須バイトを使用するかどうかを構成できます。手動として構成されている場合、I3C バス通信は IBI アドレスで中断され、**MCONTROL.REQUEST** (3 に設定) および **MCONTROL.IBIRSPTYPE** を使用して手動で IBI を ACK できます (**MCONTROL.IBIRSPTYPE** 0 は必須バイトなし ACK で、**MCONTROL.IBIRSPTYPE** 1 は NACK で、**MCONTROL.IBIRSPTYPE** 2 は強制バイトあり ACK です)。
4. IBI、HJ、および MR 要求
- スレーブが SDA を Low にプルダウンした後、マスターは **SSTART** 割り込みを受信します。
 - スレーブが IBI、HJ、MR 要求アドレスを送信した後、マスターは **IBIRCV** 割り込みを受信します。
 - **IBIRCV** 割り込みを受信すると、ユーザーは **MSTS** レジスタを読み出して、それが手動 ACK であるかどうかを知ることができます。ユーザーは **MCONTROL.REQUEST** (3 に設定) を使用して手動 ACK を開始でき、IP は IBI ACK を自動的に開始できます。
 - IBI、HJ、MR 要求が完了すると、ユーザーは **COMCOMPLETE** 割り込みを受信できます。
 - **RFIFONOTEMPTY** 割り込みを受信すると、ユーザーは RX FIFO から IBI データを読み出すことができます。

7.1.6 DDR 読み出し書き込み

1. IP の初期化 : **MCFG** レジスタを書き込んで IP を初期化します
 - **MENABLE** : マスターのイネーブル
 - **PPHIGH**、**PPLOWEXTRA**、**ODSCL** : DDR 読み出しおよび書き込み通信のデータレートを構成します
2. 割り込みイネーブル : **MIS** レジスタを書き込んで対応する割り込みを有効にします
 - **MCONTROLFINISH** : マスター制御操作完了割り込みイネーブル
 - **COMCOMPLETE** : 通信完了割り込みイネーブル

- **RFIFONOTEMPTY** : 受信 FIFO 非空割り込みイネーブル
 - **SFIFONOTFULL** : 送信 FIFO 非フル割り込みイネーブル
3. 読み出しおよび書き込みの実行 : **MCONTROL** レジスタを書き込んで IP が対応する読み出しおよび書き込み操作を完了するようにします
- **REQUEST** : 1 を書き込み、I3C が DDR モードに入らないと、マスターは **START+7E/W+ACK+ENTHDR0 CCC+DDR COMMAND** を送信します。I3C が DDR モードに入ると、マスターは **HDR Restart+ DDR COMMAND** を送信します。
 - **COMTYPE** : 0 を書き込んで I3C DDR 通信を選択します。
 - **COMADDR** : マスターから送信された **DDR COMMAND** 内のスレーブアドレス。
 - **READTERMCNT** : マスターは **READTERMCNT** バイトの後にこの読み出し通信を終了します。**READTERMCNT** は偶数である必要があります
 - **DDRENDWITHCRC** : 読み出しおよび書き込み通信が早期に終了したときに **CRC** を送信するかどうかを設定します。
4. データの書き込み : ユーザーは、読み出し書き込み操作を開始する前または後に、**MTXB** を介して **DDR COMMAND** のコマンドバイトを書き込む必要があります。その後、**MTXB** または **MTXBE** を介して送信データを書き込み、最後のバイトを構成できます。**MTXB** または **MTXBE** (偶数バイトで終了する必要があります)。マスターは、最後の 2 バイトが送信された後に通信を完了します。
5. 割り込みの受信 : 割り込みを受信した後、**MSTS** レジスタを読み出すことにより、どのような割り込みを受信したかを知ることができます。
- **MCONTROLFINISH** 割り込み : マスターが **START + 7E / W + ACK + ENTHDR0 CCC+DDR COMMAND** または **HDR Restart+ DDR COMMAND** または **DDR EXIT** シーケンスを発行したことを示します。
 - **COMCOMPLETE** 割り込み : 読み出しおよび書き込み操作が完了し、ユーザーは引き続き **HDR EXIT** (**MCONTROL.REQUEST** が 6 の場合) または **HDR Restart+ DDR COMMAND** (**MCONTROL.REQUEST** が 1 の場合) を送信できることを示します。
 - **SFIFONOTFULL** 割り込み : 送信 FIFO がフルになり、これ以上データを書き込むことができないことを示します。
 - **RFIFONOTEMPTY** 割り込み : データが受信 FIFO で受信され、ユーザーは **MRXB** レジスタを介して受信 FIFO からデータを読み出すことができることを示します。

8 割り込み

I3C Dual Clock IP は、アクティブ Low のレベル割り込みを実装します。これは、有効なすべての個別の割り込みソースが OR 接続されて最終的な割り込み出力を生成する標準的なメカニズムです。割り込みソースは MIS レジスタで定義され、割り込みイネーブルには対応するマスクがあります。

9 クロック

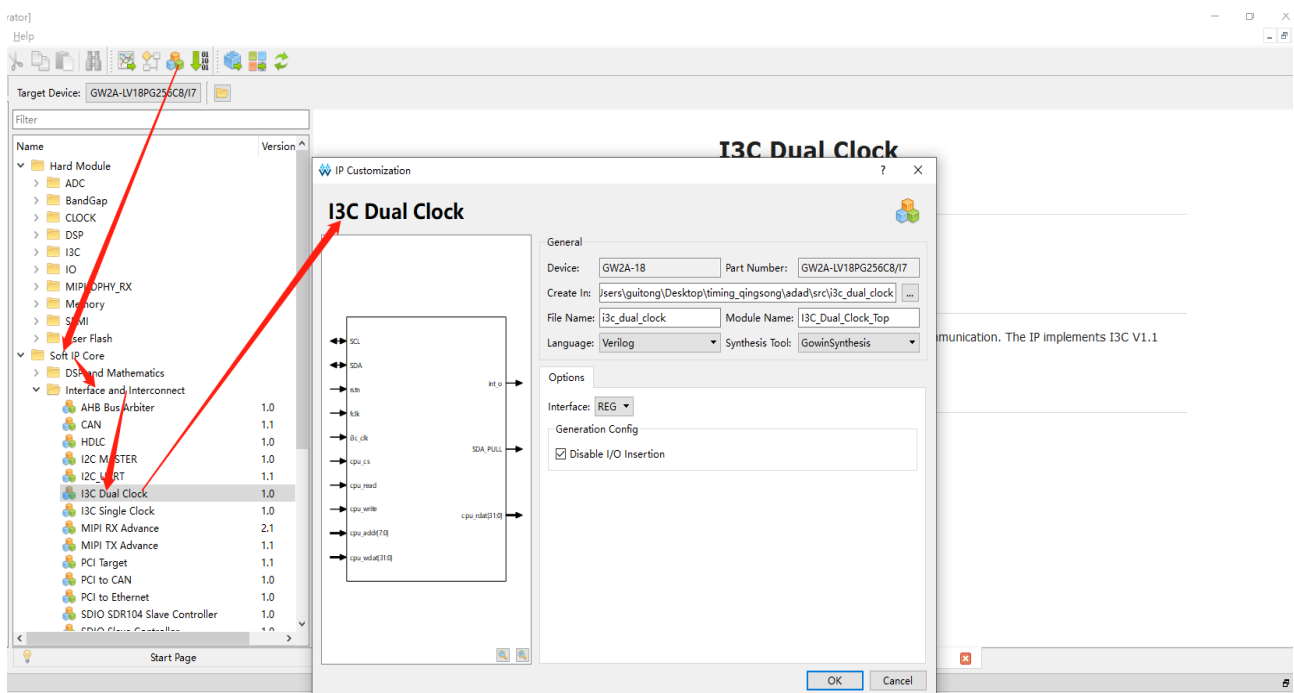
I3C Dual Clock IP には、`i3c_clk` と `fclk` の 2 つのクロック入力ソースがあります。`fclk` はレジスタの入力クロックで、`i3c_clk` は SCL の周波数分割クロックです。I3C バス通信を実現するには、`i3c_clk` 周波数/`fclk` 周波数を 2～3 (2.5 が最適) にする必要があります。

10 呼び出しと構成

10.1 IP の呼び出し

Gowin ソフトウェア GUI のメニューバー > Tools > IP Core Generator を使用して Gowin I3C Dual Clock IP を呼び出し・構成できます。または、図 10-1 に示すように Gowin I3C Dual Clock IP の構成 GUI を開きます。

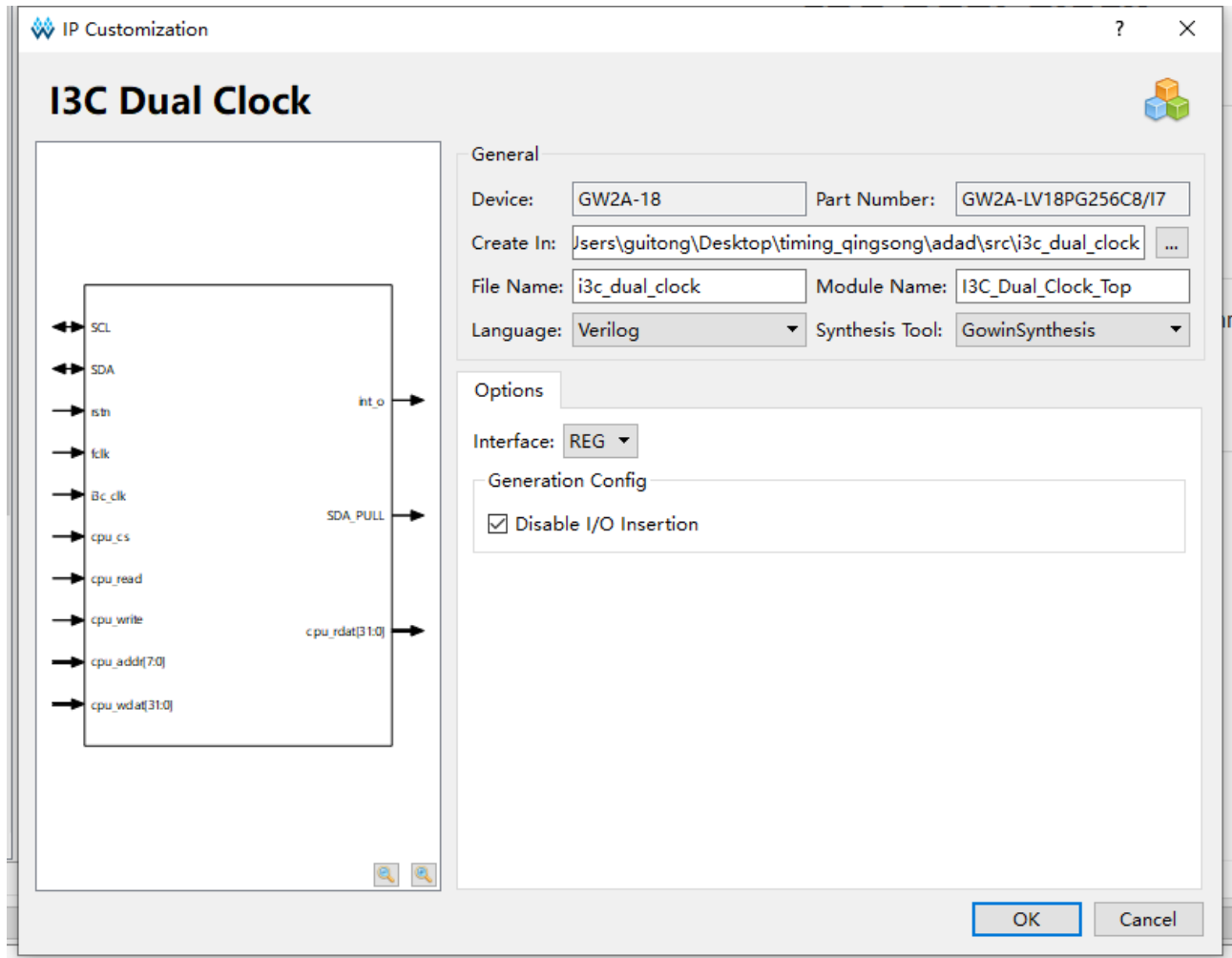
図 10-1 Gowin I3C Dual Clock IP の呼び出し



10.2 構成 GUI

Gowin I3C Dual Clock IP の構成 GUI を図 10-2 に示します。

図 10-2 Gowin I3C Dual Clock IP Options の構成 GUI



Gowin I3C Dual Clock IP の構成オプションの説明を表 10-1 に示します。

表 10-1 構成オプションの説明

オプション		説明
Interface	REG	IPをREGインターフェースとして構成します
	APB	IPをAPBバスインターフェースとして構成します

11 リファレンスデザイン

詳細については、GOWIN 公式 Web サイトの I3C Dual Clock リファレンスデザインを参照してください。

