

Gowin I2C Master & Slave ユーザーガイド

IPUG504-1.5J, 2019-09-25

著作権について（2019）

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

「GOWINSEMI®」、「LittleBee®」、「Arora™」、及び GOWINSEMI のロゴは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、www.gowinsemi.com.cn において記載されているそれぞれの権利者に帰属しています。当社は、GOWINSEMI Terms and Conditions of Sale（GOWINSEMI 取引条件）に規定されている内容を除き、（明示的か又は黙示的かに拘わらず）いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。本文書における全ての情報は、予備的情報として取り扱われなければなりません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ（不具合情報）については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2017/10/10	1.0J	初版。
2018/01/04	1.1J	I2C オープンソースをユーザーに提供。GUI 及び IP 等の説明を削除。
2019/03/28	1.2J	サポートされるデバイスを更新。
2019/05/08	1.3J	AXI インターフェースを SRAM インターフェースに変更。
2019/07/16	1.4J	インターフェースコンフィギュレーションの説明を追加。
2019/09/25	1.5J	I2C Master を IP としてリリース ; I2C Slave をオープンソースのリファレンスデザインとして提供。

目次

目次.....	i
図一覧.....	iii
表一覧.....	iv
1 本ユーザーガイドについて	1
1.1 ユーザーガイド内容	1
1.2 サポートされるデバイス	1
1.3 関連ドキュメント	1
1.4 用語、略語	2
1.5 テクニカル・サポートとフィードバック	2
2 機能の紹介	3
2.1 概要.....	3
2.2 特徴.....	3
3 信号の定義	5
3.1 Gowin I2C Master 信号の定義.....	5
3.1.1 SRAM インターフェースバス側の信号	5
3.1.2 I2C バス側信号	5
3.2 Gowin I2C Slave 信号の定義.....	6
4 動作原理.....	7
4.1 システムアーキテクチャ	7
4.2 I2C レジスタ	7
4.2.1 クロックプリスケールレジスタ	8
4.2.2 コントロールレジスタ	8
4.2.3 送信レジスタ	9
4.2.4 受信レジスタ	10
4.2.5 ステータスレジスタ	10
4.2.6 コマンドレジスタ	11
4.3 基本操作フロー	11

4.3.1 I2C マスターバスの初期化	12
4.3.2 スレーブデバイスへの書き込み	12
4.3.3 スレーブデバイスからの読み出し	12
4.4 Gowin I2C Slave リファレンスデザイン	13
5 インターフェースコンフィギュレーション	15
5.1 I2C MASTER IP コアインターフェース	15
5.2 I2C SLAVE リファレンスデザイン	16
5.3 bitstream ファイルの生成	16
6 リファレンスデザイン	17

図一覧

図 4-1 システムアーキテクチャ	7
図 4-2 Gowin I2C Slave の構造	14
図 5-1 I2C MASTER のコンフィギュレーションインターフェース	15
図 5-2 I2C SLAVE のコンフィギュレーションインターフェース	16

表一覧

表 1-1 用語、略語.....	2
表 3-1 SRAM インターフェースバス側の信号	5
表 3-2 I2C バス側信号の定義	5
表 4-1 Gowin I2C Master レジスタ	8
表 4-2 プリスケールレジスタ	8
表 4-3 プリスケールレジスタ	8
表 4-4 コントロールレジスタ	9
表 4-5 コントロールレジスタ	9
表 4-6 送信レジスタ	9
表 4-7 送信レジスタ	9
表 4-8 受信レジスタ	10
表 4-9 受信レジスタ	10
表 4-10 ステータスレジスタ	10
表 4-11 ステータスレジスタ	10
表 4-12 コマンドレジスタ	11
表 4-13 コマンドレジスタ	11

1 本ユーザーガイドについて

1.1 ユーザーガイド内容

Gowin I2C Master 及び Slave ユーザーガイドは、主に機能の紹介、信号の定義、動作原理、インスタンス化などを含み、ユーザーが Gowin I2C Master IP 及び Slave リファレンスデザインの特性と使用方法を迅速に理解することを目的にしています。

1.2 サポートされるデバイス

本ユーザーガイドに記載される情報は、以下の製品に適用されます。

1. GW1N シリーズ FPGA 製品 : GW1N-1、GW1N-1S、GW1N-2、GW1N-2B、GW1N-4、GW1N-4B、GW1N-6、GW1N-9。
2. GW1NR シリーズ FPGA 製品 : GW1NR-4、GW1NR-4B、GW1NR-9
3. GW1NS シリーズ FPGA 製品 : GW1NS-2、GW1NS-2C
4. GW1NSR シリーズ FPGA 製品 : GW1NSR-2、GW1NSR-2C
5. GW1NZ シリーズ FPGA 製品 : GW1NZ-1
6. GW2A シリーズ FPGA 製品 : GW2A-18、GW2A-55
7. GW2AR シリーズ FPGA 製品 : GW2AR-18

1.3 関連ドキュメント

GOWIN セミコンダクターのウェブサイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

1. GW1N シリーズ FPGA 製品データシート (DS100)
2. GW1NR シリーズ FPGA 製品データシート (DS117)
3. GW1NS シリーズ FPGA 製品データシート (DS821)
4. GW1NSR シリーズ FPGA 製品データシート (DS861)
5. GW1NZ シリーズ FPGA 製品データシート (DS841)
6. GW2A シリーズ FPGA 製品データシート (DS102)
7. GW2AR シリーズ FPGA 製品データシート (DS226)
8. Gowin YunYuan ソフトウェアユーザーガイド (SUG100)

1.4 用語、略語

表 1-1 では、本ユーザーガイドに使用されている関連用語、略語及び関連解釈を列挙しています。

表 1-1 用語、略語

用語、略語	正式名称	意味
FPGA	Field Programmable Gate Array	フィールドプログラマブルゲートアレイ
SRAM	Static Random Access Memory	スタティック RAM
I2C Bus	Inter-Integrated Circuit Bus	I2C シリアルバス

1.5 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

Web サイト : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

Tel : +86 755 8262 0391

2 機能の紹介

2.1 概要

I2Cバスは、2線式のシリアルバスで、マイクロコントローラ及び周辺装置の接続に用いられます。I2Cバスはシンプルで、効果的といった顕著な長所があります。インターフェースが直接モジュール上にあるため、I2Cバスが占有するスペースが小さく、それにより基板の空間とチップのピン数が減少し、接続コストが削減されます。

Gowin I2C Master IP は、データピン (SDA) とクロックピン (SCL) を介して I2C バスに接続されてデータ送信と周辺機器の拡張を実現する低速の2線式シリアルバスインターフェースを提供する同期SRAMインターフェース付きの I2C Master コントローラーです。標準 (最大 100kHz) またはファースト (最大 400kHz) I2C バスに接続できます。

I2C バスプロトコルに準拠した Gowin I2C Slave リファレンスデザインは、IC Master との通信を検証するために使用されます。

2.2 特徴

Gowin I2C Master IP

- 業界標準の I2C バスプロトコル適合。
- バスアービトレーション及びアービトレーションロストの検出。
- バスビジー状態の検出。
- 割込み標識の生成。
- I2C の異なる通信モードをサポート。
 - 標準モード(100kbps)
 - ファーストモード(400kbps)
 - ファースト(+)モード(1Mbps)
 - 高速モード(3.4Mbps)
- 開始、停止、リピート開始及び応答情報の生成。
- 開始、停止及びリピート開始検出をサポート。
- 7ビットアドレッシングモードをサポート。

Gowin I2C Slave

- 業界標準の I2C プロトコル適合。
- データ受信/送信機能。

- 割込み生成をサポート。
- RAM 及び ROM の 2 つの動作モードをサポート。

3 信号の定義

3.1 Gowin I2C Master 信号の定義

3.1.1 SRAM インターフェースバス側の信号

表 3-1 SRAM インターフェースバス側の信号

番号	信号名	方向	説明	備考
1	I_CLK	I	動作クロック、立ち上がりエッジでサンプリング	-
2	I_RESETN	I	リセット信号	-
3	O_IIC_INT	O	割り込み信号	-
4	I_TX_EN	I	書き込みイネーブル信号	SRAM 書き込みアドレスチャンネル信号
5	I_WADDR	I	書き込みアドレス信号	
6	I_WDATA	I	書き込みデータ信号	
7	I_RX_EN	I	読み出しイネーブル信号	SRAM 読み出しアドレスチャンネル信号
8	I_RADDR	I	読み出しアドレス信号	
9	O_RDATA	O	読み出しデータ信号	

3.1.2 I2C バス側信号

表 3-2 I2C バス側信号の定義

番号	信号名	方向	説明	備考
1	SCL	I/O	シリアルクロックライン	-
2	SDA	I/O	シリアルデータライン	-

3.2 Gowin I2C Slave 信号の定義

表 3-3 Gowin I2C Slave 信号の定義

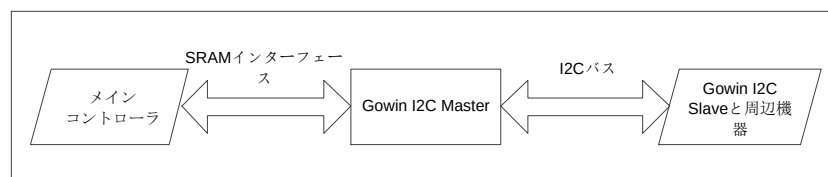
番号	信号名	方向	説明	備考
1	clk_50m	I	クロック信号	-
2	rst_n	I	リセット信号	-
3	scl	Bidir	シリアルクロックライン	-
4	scl_pull	O	シリアルクロックライン・プルアップ	-
5	sda	Bidir	シリアルデータライン	-
6	sda_pull	O	シリアルデータライン・プルアップ	-
7	int_o	O	割り込み信号	-

4動作原理

4.1 システムアーキテクチャ

図 4-1 に示す通り、メインコントローラは命令またはデータを同期 SRAM インターフェースを介して Gowin I2C Master に送信します。その後 Gowin I2C Master は I2C バスを介して Gowin I2C Slave and Peripherals に送信するか、または Gowin I2C Slave and Peripherals データは同期 SRAM インターフェースを介してメインコントローラにアップロードします。

図 4-1 システムアーキテクチャ



4.2 I2C レジスタ

Gowin I2C Master は、計 6 つの 8 ビットレジスタがあります：

- プリスケールレジスタ
- コントロールレジスタ
- 送信レジスタ
- 受信レジスタ
- コマンドレジスタ
- ステータスレジスタ

注記：

- 送信レジスタと受信レジスタのアドレスは同じで、両方とも 0x03 です。
- コマンドレジスタはステータスレジスタのアドレスと同じで、共に 0x04 です。詳細情報については、表 4-1 に示す通りです。

表 4-1 Gowin I2C Master レジスタ

レジスタ名称	レジスタアドレス	レジスタビット幅	タイプ	説明
Prescale_reg0	0x00	8	読み出し/書き込み	クロックプリスケールレジスタの下位 8 ビット。
Prescale_reg1	0x01	8	読み出し/書き込み	クロックプリスケールレジスタの上位 8 ビット。
Control_reg	0x02	8	読み出し/書き込み	制御レジスタ
Transmit_reg	0x03	8	書き込み	送信レジスタ
Receive_reg	0x03	8	読み出し	受信レジスタ
Command_reg	0x04	8	書き込み	コマンドレジスタ
Status_reg	0x04	8	読み出し	ステータスレジスタ

4.2.1 クロックプリスケールレジスタ

クロックプリスケールレジスタのビット幅は 16bit で、2 つの 8 ビットのレジスタから構成されています。プリスケールレジスタの数値は、I2C Master メインクロックを分周するために用いられます。I2C Master メインクロックは $5 \times \text{SCL}$ で、公式 $[\text{master clock frequency} / (5 \times \text{sclk frequency}) - 1]$ でプリスケールレジスタの数値を計算できます。クロックプリスケールレジスタの構造及び説明は、表 4-2 及び表 4-3 に示す通りです。

表 4-2 プリスケールレジスタ

15	0
Prescale data	

表 4-3 プリスケールレジスタ

ビット	名称	デフォルト値	アクセスタイプ	説明
15:0	Prescale data	0	読み出し/書き込み	16 ビットプリスケールデータ。

4.2.2 コントロールレジスタ

制御レジスタのビット幅は 8bit です。2 ビット（[7 : 6]）のみが使用され、残りの 6 ビット（[5 : 0]）は予約ビットとして使用されます。

コントロールレジスタの最上位ビットは、I2C Master を有効にするために使用されます。

- ビットが 0 の場合、I2C Master は機能しません。

- 1 の場合、I2C Master は動作状態に入ります。
コントロールレジスタの 6 番目のビットは割り込みイネーブル制御ビットで、このビットが 1 の場合、割り込みが有効になります。
コントロールレジスタの構造と説明は、
表 4-4 と表 4-5 に示すとおりです。

表 4-4 コントロールレジスタ

7	6	5	0
EN	IEN	予約	

表 4-5 コントロールレジスタ

ビット	名称	デフォルト値	アクセスタイプ	説明
7	EN	0	読み出し/書き込み	I2C Master イネーブルビット： ● “0” =Master は有効ではありません。 ● “1” =Master は有効です。
6	IEN	0	読み出し/書き込み	I2C Master 割り込みイネーブルビット： ● “0” =Master 割り込みは有効ではありません。 ● “1” =Master 割り込みは有効です。
5:0	予約	N/A	読み出し/書き込み	予約

4.2.3 送信レジスタ

送信レジスタは、I2C バスを介してスレーブに送信するデータをマスターに保存するのに用いられます。アドレスを送信する際、第 0 ビットは読み出し/書き込み信号を表します。送信レジスタの構造と説明は表 4-6 と表 4-7 に示すとおりです。

表 4-6 送信レジスタ

7	1	0
TX DATA		LSB/RW

表 4-7 送信レジスタ

ビット	名称	デフォルト値	アクセスタイプ	説明
7:1	TX DATA	不定	書き込み	I2C バスを介してデータを送信する必要があります。
0	LSB/RW	不定	書き込み	● 送信データの最低ビットです； ● スレーブアドレスを送信する場合、読み出し書き込み制御ビットと

				なります：“1”は読み出し、“0”は書き込みです。
--	--	--	--	---------------------------

4.2.4 受信レジスタ

受信レジスタは、I2C バスを介してスレーブから読み出したデータをマスターに保存します。このレジスタの構造及び説明は表 4-8 および表 4-9 に示す通りです。

表 4-8 受信レジスタ

7	0
RX DATA	

表 4-9 受信レジスタ

ビット	名称	デフォルト値	アクセスタイプ	説明
7:0	RX DATA	不定	読み出し	I2C を介して受信したバイトです。

4.2.5 ステータスレジスタ

ステータスレジスタは、I2C バスインターフェースの状態を示します。リセットすると、ステータスレジスタはクリアされます。ステータスレジスタの構造及び説明は、表 4-10 および表 4-11 に示すとおりです。

表 4-10 ステータスレジスタ

7	6	5	4:2	1	0
RX ACK	Busy	AL	予約	TIP	IF

表 4-11 ステータスレジスタ

ビット	名称	デフォルト値	アクセスタイプ	説明
7	RX ACK	0	読み出し	スレーブからの応答信号です。 ● “1” = マスターは応答を受信していません； ● “0” = マスターは応答を受信しています。
6	Busy	0	読み出し	I2C バスビジー信号です。 ● “1” = ビジー。 ● “0” = アイドル。
5	AL	0	読み出し	アービトレーションロスト信号です。 要求に合わない停止信号を検出した時、またはマスターが SDA を高く駆動するが、SDA が低い時、このビットは “1” です。

ビット	名称	デフォルト値	アクセスタイプ	説明
4:2	予約	N/A	読み出し	予約
1	TIP	0	読み出し	転送実行標識ビットです： ● “1” =送信進行中； ● “0” =送信終了です
0	IF	0	読み出し	割り込みフラグビットです。 IEN が “1” の場合、このビットがセットされ、割り込みの発生時、割り込みリクエストが発生します。アービトレーションロストまたは1バイトの送信が終了する時、このビットは “1” です。

4.2.6 コマンドレジスタ

Gowin I2C Master は、コマンド書き込みで I2C の操作モードをコンフィギュレーションします。コマンドレジスタは、I2C の次の操作コマンドを保存し、操作が完了する度に、コマンドレジスタは自動的にクリアされます。そのため、開始、読み出し書き込み、停止操作を行う度に、同期 SRAM インターフェースはコマンドレジスタを再度書き込みます。コマンドレジスタの構造および説明は、表 4-12 と表 4-13 に示すとおりです。

表 4-12 コマンドレジスタ

7	6	5	4	3	2	1	0
STA	STO	RD	WR	ACK	予約		IACK

表 4-13 コマンドレジスタ

ビット	名称	デフォルト値	アクセスタイプ	説明
7	STA	0	書き込み	(リピート)開始
6	STO	0	書き込み	停止
5	RD	0	書き込み	読み出し
4	WR	0	書き込み	書き込み
3	ACK	0	書き込み	応答
2:1	予約	0	書き込み	予約
0	IACK	0	書き込み	割り込み応答です。 セット時、待機している割り込みをクリアします。

4.3 基本操作フロー

Gowin I2C Master は汎用の I2C 操作をサポートしています。以下は主に I2C 書き込み及び読み出しについて説明します。

4.3.1 I2C マスターバスの初期化

クロックプリスケールレジスタに、予定値を書き込みます。この値は、クロック周波数と I2C バスの速度によって決定します。

制御レジスタに 8' h80 を書き込み、I2C Master を有効にします。

4.3.2 スレーブデバイスへの書き込み

1. 送信レジスタの値を設定します : **Slave address + Write bit** ; 例えば : {7' b1000110, 1' b0}, そのうち 7' b1000110 は **Slave address**, 1' b0 は **Write bit** です ;
2. コマンドレジスタの値を 8' h90 に設定して、開始及び書き込みコマンドを有効にし、I2C バスでデータ送信を開始します ;
3. ステータスレジスタの **TIP** ビットを検査し、コマンドの実行完了を確認します ;
4. 送信レジスタの値をスレーブメモリのアドレスに設定し、マスターが送信するデータを、対応するアドレスのメモリに書き込みます ;
5. コマンドレジスタの値を 8' h10 に設定し、書き込みコマンドを有効にして、スレーブメモリのアドレスを送信します ;
6. ステータスレジスタの **TIP** ビットを検査し、コマンドの実行完了を確認します ;
7. 送信レジスタを 8 ビットのデータに設定し、このデータをスレーブに書き込みます ;
8. コマンドレジスタの値を 8' h10 に設定し、書き込みコマンドを有効にして、データを送信します ;
9. ステータスレジスタの **TIP** ビットを検査し、コマンドの実行完了を確認します ;
10. 手順 7~9 を繰り返して継続的にスレーブにデータを書き込みます ;
11. データの最後のバイトで送信レジスタを設定します。
12. コマンドレジスタの値を 8' h50 に設定し、書き込みコマンドを有効にして最後の 1 バイトを送信してから、停止命令を送信します。

4.3.3 スレーブデバイスからの読み出し

1. 送信レジスタの値を以下に設定します : **Slave address + Write bit** ;
2. コマンドレジスタの値を 8' h90 に設定して、開始及び書き込みコマンドを有効にし、I2C バスでデータ送信を開始します ;
3. ステータスレジスタの **TIP** ビットを検査し、コマンドの実行完了を確認します ;
4. 送信レジスタの値をスレーブメモリのアドレスに設定し、マスターがこのメモリ内からデータを読み出します ;
5. コマンドレジスタの値を 8' h10 に設定し、書き込みコマンドを有効にして、スレーブメモリのアドレスを送信します ;
6. ステータスレジスタの **TIP** ビットを検査し、コマンドの実行完了を確認します ;
7. 送信レジスタの値を設定します : **Slave address + Read bit**。例えば : {7' b1000110, 1' b1} で、そのうち 7' b1000110 は **Slave address**

で、1' b1 は Read bit です；

8. コマンドレジスタの値を 8' h90 に設定し、開始（この場合、リピート開始）及び書き込みを有効にすると、送信レジスタ内のデータをスレーブに書き込みます；

9. ステータスレジスタの TIP ビットを検査し、コマンドの実行完了を確認します；

10. コマンドレジスタの値を 8' h20 に設定して、読み出し及び応答コマンドを実行し、スレーブからのデータ読み出しを完了させます；

11. ステータスレジスタの TIP ビットを検査し、コマンドの実行完了を確認します；

12. 手順 10~11 を繰り返して、スレーブからのデータ読み出しを継続します；

13. マスターがスレーブのデータ読み出しを停止して、コマンドレジスタの値を 8' h68 に設定すると、スレーブが最後の 1 バイトを読み出し、NACK を実行します。

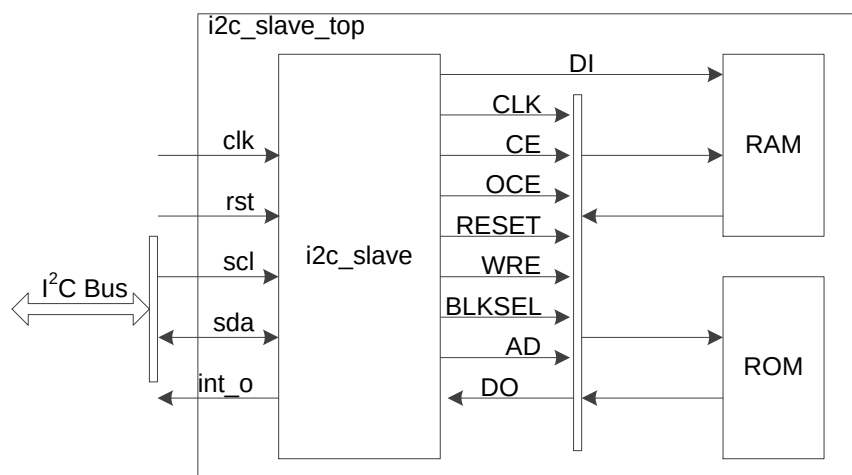
4.4 Gowin I2C Slave リファレンスデザイン

Gowin I2C Slave リファレンスデザインは、RAM と ROM の 2 つの動作モードがあります。RAM モードを選択すると、Gowin I2C Slave は I2C Master から送信されたデータを保存したり、RAM に保存されたデータを I2C Master に送信したりできます。ROM モードを選択すると、I2C Master は ROM に事前に保存されているデータのみを読み出すことができます。現在、ROM は合計で 0~255、256 データを保存できます。

Gowin I2C Slave は割り込み機能をサポートします。RAM モードを選択した場合、RAM が完全に書き込まれるか、または読み出されると、Gowin I2C Slave は int_o 割り込み信号を生成します。Gowin I2C Slave は 2 つの割り込みモードをサポートしています。「0」は書き込み停止を意味し、書き込まれたデータが読み出されます。「1」は書き込み停止および読み出し停止を意味し、初期状態に戻ります。ROM モードを選択した場合、Master は読み出しのみを行うため、完全な書き込みや読み出しは発生しません。

Gowin I2C Slave には、主に i2c_slave_top module と i2c_slave module が含まれています。i2c_slave_top module は、主に i2c_slave module、RAM module、および ROM module 間の相互接続に使用されます。i2c_slave module は、主にデータの保存または送信のために RAM module または ROM module を駆動するために使用されます。Gowin I2C Slave IP の全体構造は図 4-2 に示す通りです。

図 4-2 Gowin I2C Slave の構造



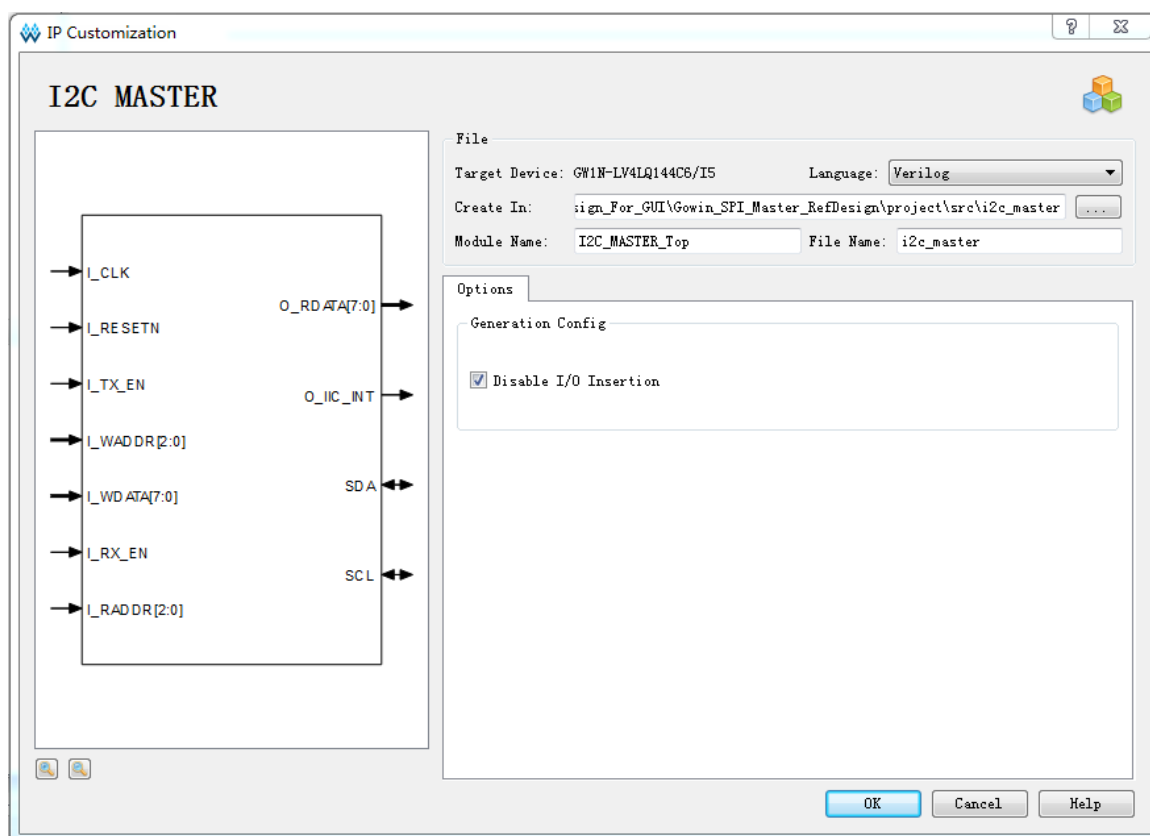
5 インターフェースコンフィギュレーション

IDE の IP コアジェネレータツールを使用して、Gowin I2C MASTER IP をコールしてコンフィギュレーションできます。

5.1 I2C MASTER IP コアインターフェース

I2C MASTER のコンフィギュレーションインターフェースは、図 5-1 に示すとおりです。

図 5-1 I2C MASTER のコンフィギュレーションインターフェース



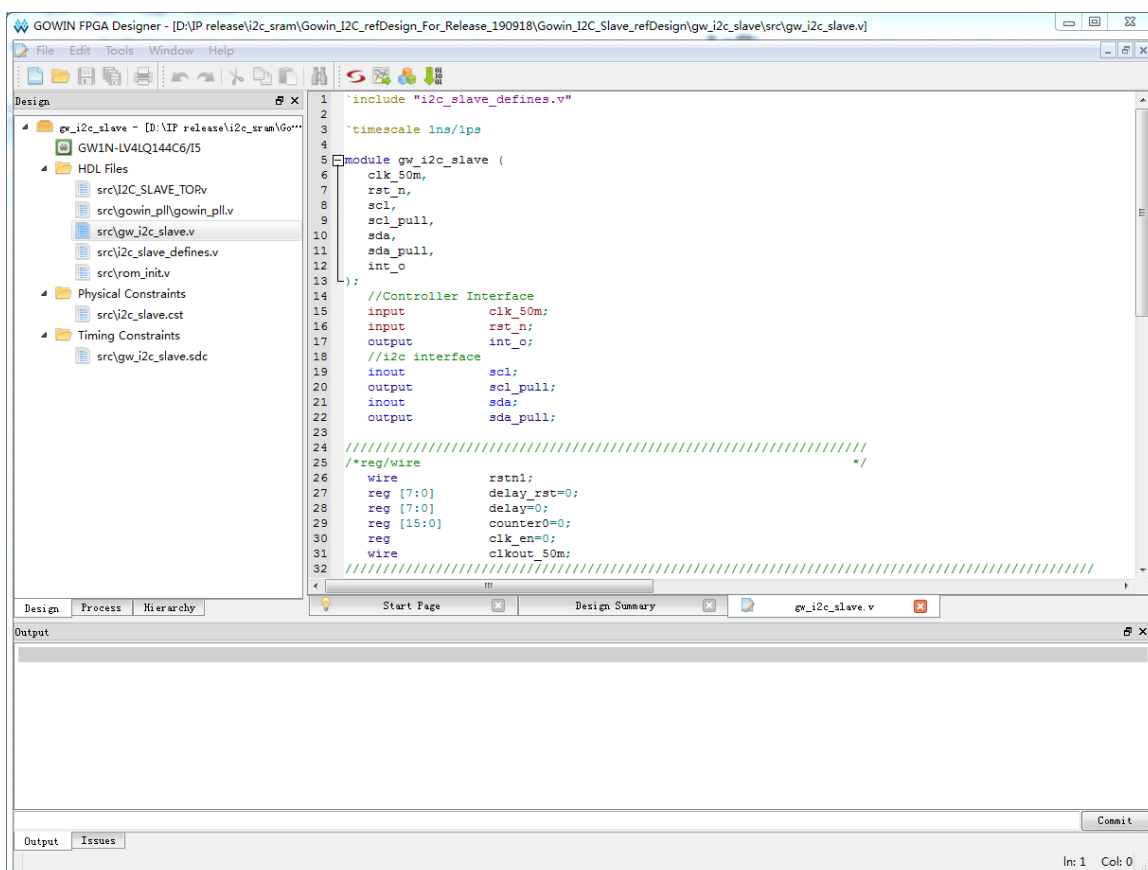
5.2 I2C SLAVE リファレンスデザイン

Gowin YunYuan ソフトウェアを起動した後、「File> Open…」をクリックして「Open File」ダイアログボックスを開き、必要なプロジェクトファイル（*.gprj）を選択してプロジェクトを開きます（図 5-2）。

注記：

- プロジェクトを開くには 3 つの方法があります：他の方法については、『Gowin YunYuan ソフトウェアユーザーガイド> 5 YunYuan ソフトウェアの使用> 5.2 プロジェクトを開く』を参照してください。

図 5-2 I2C SLAVE のコンフィギュレーションインターフェース



5.3 bitstream ファイルの生成

必要な制約後、bitstream ファイルを合成、および配置配線で生成します。Gowin ダウンロードラインを介して bitstream ファイルを開発ボードまたはテストボードにダウンロードし、テストインターフェースを介して通信を確認できます。

6 リファレンスデザイン

詳細については、GOWIN 公式 Web サイトの I2C リファレンスデザインを参照してください。

