



Gowin DDR Memory Interface IP ユーザーガイド

IPUG507-1.8J, 2025-12-31

著作権について(2025)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云、**GOWIN**、、**GOWINSEMI**、**GOWIN**、Gowin、**高云**、晨熙、小蜜蜂、LittleBee、**Aroa-V**、GowinPnR、及びGoBridgeは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、**GOWINSEMI Terms and Conditions of Sale**(**GOWINSEMI** 取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2017/12/18	1.0J	初版。
2018/03/06	1.1J	IP の機能、ポートリスト、パラメータ、リファレンス・デザイン、インターフェースでの構成、および提供されるファイルの説明を追加。
2018/08/25	1.2J	読み出し/書き込みタイミング図とユーザーインターフェースを更新。
2019/07/25	1.3J	アドレスフォーマットを変更、読み出し/書き込み効率の説明を追加。
2019/09/25	1.4J	バースト長が BL8 の場合のデータ書き込みのタイミング図を更新。
2020/01/06	1.5J	「 図 3-5 」を変更。
2020/05/09	1.6J	パラメータの構成を更新。
2022/07/28	1.7J	● ユーザーインターフェースを更新。 ● デバッグパラメータおよびデバッグポートを追加。
2025/12/31	1.8J	● GW1N(S)(R)デバイスのサポートを追加。 ● 「4 ポート一覧」を更新。

目次

図一覧.....	iii
表一覧.....	iv
1 本マニュアルについて.....	1
1.1 マニュアルの内容.....	1
1.2 関連ドキュメント.....	1
1.3 用語、略語.....	1
1.4 テクニカル・サポートとフィードバック.....	2
2 特徴及び性能.....	3
2.1 主な特徴.....	3
2.2 動作周波数と帯域幅の効率.....	4
2.3 リソース使用量.....	4
3 機能の説明.....	6
3.1 構造.....	6
3.2 Memory Controller.....	6
3.3 PHY.....	7
3.3.1 初期化モジュール.....	7
3.3.2 データパス.....	8
3.3.3 制御パス.....	8
3.3.4 I/O ロジックモジュール.....	8
3.4 主な機能.....	8
3.4.1 初期化.....	8
3.4.2 アドレスとコマンドの送信.....	8
3.4.3 データの書き込み.....	9
3.4.4 データの読み出し.....	16
3.4.5 リフレッシュ.....	19
4 ポート一覧.....	21
5 パラメータの構成.....	25
6 GUI での構成.....	28
7 リファレンス・デザイン.....	37
8 提供されるファイル.....	39

8.1 ドキュメント.....	39
8.2 デザインのソースコード(暗号化).....	39
8.3 リファレンス・デザイン.....	40

図一覧

図 3-1 Gowin Memory Interface IP の構造.....	6
図 3-2 DDR PHY の基本構造.....	7
図 3-3 初期化完了信号のタイミング図.....	8
図 3-4 Rank-Bank-Row-Column 順のアドレッシング方法.....	9
図 3-5 コマンド、アドレス、およびイネーブル信号のタイミング図.....	9
図 3-6 書き込みデータポートのタイミング図.....	10
図 3-7 各場合における書き込みデータチャネルとコマンドチャネルのタイミング図.....	11
図 3-8 バースト長が BL8 の場合のデータ書き込みのタイミング図.....	12
図 3-9 バースト長が BL4 の場合のデータ書き込みのタイミング図.....	13
図 3-10 バースト長が BL8 の場合のデータ書き込みのタイミング図.....	14
図 3-11 バースト長が BL4 の場合のデータ書き込みのタイミング図.....	15
図 3-12 バースト長が BL2 の場合のデータ書き込みのタイミング図.....	15
図 3-13 読み出しデータポートのタイミング図.....	16
図 3-14 バースト長が BL8 の場合のデータ読み出しのタイミング図.....	17
図 3-15 バースト長が BL4 の場合のデータ読み出しのタイミング図.....	17
図 3-16 バースト長が BL8 の場合のデータ読み出しのタイミング図.....	18
図 3-17 バースト長が BL4 の場合のデータ読み出しのタイミング図.....	18
図 3-18 バースト長が BL2 の場合のデータ読み出しのタイミング図.....	19
図 3-19 ユーザーリフレッシュのタイミング図.....	20
図 6-1 IP Core Generator を開く	28
図 6-2 DDR Memory Interface IP コアを開く	29
図 6-3 IP コアの構成画面.....	30
図 6-4 一般情報の構成画面.....	30
図 6-5 Type タブ	32
図 6-6 「Options」タブ	33
図 6-7 Timing タブ	35
図 6-8 Debug タブ	36
図 7-1 リファレンス・デザインの基本構造.....	37
図 7-2 DDR1_test の一部のシミュレーション波形(クロック比 1 : 2).....	38

表一覧

表 1-1 用語、略語.....	1
表 2-1 Gowin DDR Memory Interface IP の概要.....	3
表 2-2 リソース使用量.....	5
表 3-1 cmd ポートを介したコマンド.....	9
表 4-1 ポート一覧.....	21
表 5-1 Gowin DDR Memory Interface IP の静的パラメータ.....	25
表 5-2 Gowin DDR Memory Interface IP のタイミングパラメータ.....	26
表 7-1 ddr_syn_top モジュールの入力ポート一覧.....	37
表 8-1 ファイル一覧.....	39
表 8-2 デザインのソースコード一覧.....	39
表 8-3 Ref. design フォルダのコンテンツ一覧.....	40

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルには、主に IP の構造と機能、ポートの説明、呼び出しと構成、およびリファレンス・デザイン等が含まれています。ユーザーが Gowin DDR Memory Interface IP を使いこなせるように作成されています。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW2A シリーズ FPGA 製品データシート([DS102](#))
- GW2AR シリーズ FPGA 製品データシート([DS226](#))
- GW2ANR シリーズ FPGA 製品データシート([DS961](#))
- GW1N シリーズ FPGA 製品データシート([DS100](#))
- GW1NR シリーズ FPGA 製品データシート([DS117](#))
- GW1NS シリーズ FPGA 製品データシート([DS821](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を[表 1-1](#)に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
FIFO	First Input First Output	先入れ先出し
IP	Intellectual Property	設計資産
RAM	Random Access Memory	ランダム・アクセス・メモリ

用語、略語	正式名称	意味
LUT	Look-up Table	ルックアップテーブル
MC	Memory Controller	メモリ・コントローラ
GSR	Global System Reset	グローバル・システム・リセット
ECC	Error Correcting Code	誤り訂正符号

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 特徴及び性能

Gowin DDR Memory Interface IP は、JESD79-F 標準規格に準拠している汎用 DDR メモリインターフェース IP です。この IP には、DDR メモリコントローラ(Memory Controller、MC)及び対応する物理インターフェース(Physical Interface、PHY)デザインが含まれています。Gowin DDR Memory Interface IP は、メモリとの接続を可能にする汎用コマンドインターフェースを提供しています。

表 2-1 Gowin DDR Memory Interface IP の概要

Gowin DDR Memory Interface IP	
ロジックリソース	表 2-2 参照。
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンス・デザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis
統合開発環境	Gowin ソフトウェア(V1.9.8.01 以降)

注記：

デバイスのサポート情報は、Gowin セミコンダクターの [ホームページ](#)で確認できます。

2.1 主な特徴

- GW1N(S)(R)、GW2A-18、GW2AR-18、GW2A-55 などの FPGA デバイスをサポート。
- 業界標準の DDR SDRAM デバイスおよび JESD79-F 仕様互換のモジュールをサポート。
- DDR MC と PHY のクロック比は、1:1/1:2 に選択可能。
- 8、16、24、32、40、48、56、64、及び 72 ビットのメモリ・データ・パス幅をサポート。
- x4、x8、x16 の 3 つのデータ幅のメモリをサポート。

- プログラム可能なバースト長：2/4/8(1:1 の場合)、4/8(1:2 の場合)。
- ECC をサポート。
- 構成可能な CL。
- 構成可能な AL。
- 構成可能な t_{FAW} 。
- 構成可能な t_{RAS} 。
- 構成可能な t_{RCD} 。
- 構成可能な t_{RFC} 。
- 構成可能な t_{RRD} 。
- 構成可能な t_{RTP} 。
- 構成可能な t_{WTR} 。
- 自動リフレッシュ及びユーザーによるリフレッシュをサポート。構成可能な自動リフレッシュ間隔。

2.2 動作周波数と帯域幅の効率

Gowin DDR Memory Interface IP がサポートする DDR SDRAM データレート：

- クロック比 1 : 1 モードは、200Mbps と 266Mbps をサポートします。
- クロック比 1 : 2 モードは、200Mbps、266Mbps、333Mbps、および 400Mbps をサポートします。

Gowin DDR Memory Interface IP の帯域幅効率：

- クロック比 1 : 1 モードでは、バースト長が 2 の場合、帯域幅効率は 50% です。
- クロック比 1 : 1 モードでは、バースト長が 4 の場合、帯域幅効率は 90% です。
- クロック比 1 : 1 モードでは、バースト長が 8 の場合、帯域幅効率は 90% です。
- クロック比 1 : 2 モードでは、バースト長が 4 の場合、帯域幅効率は 50% です。
- クロック比 1 : 2 モードでは、バースト長が 8 の場合、帯域幅効率は 90% です。

2.3 リソース使用量

Gowin DDR Memory Interface IP は、Verilog 言語で実現され、Gowin GW2A-55、GW2AR-18、GW2A-18 等の FPGA に適用されます。そのリソース使用量は表 2-2 に示す通りです。他の Gowin FPGA におけるアプリケーション検証については、更新版を参照してください。

表 2-2 リソース使用量

IP 名	LUT	ALU	SSRAM	Register	BSRAM	PLL	DLL	DQCE
DDR 1:1 MC+PHY	1061	95	44	883	0	1	1	1
DDR 1:1 PHY	411	40	21	339	0	1	1	1
DDR 1:2 MC+PHY	1122	84	83	1229	0	1	1	1
DDR 1:2 PHY	442	48	43	417	0	1	1	1

注記：

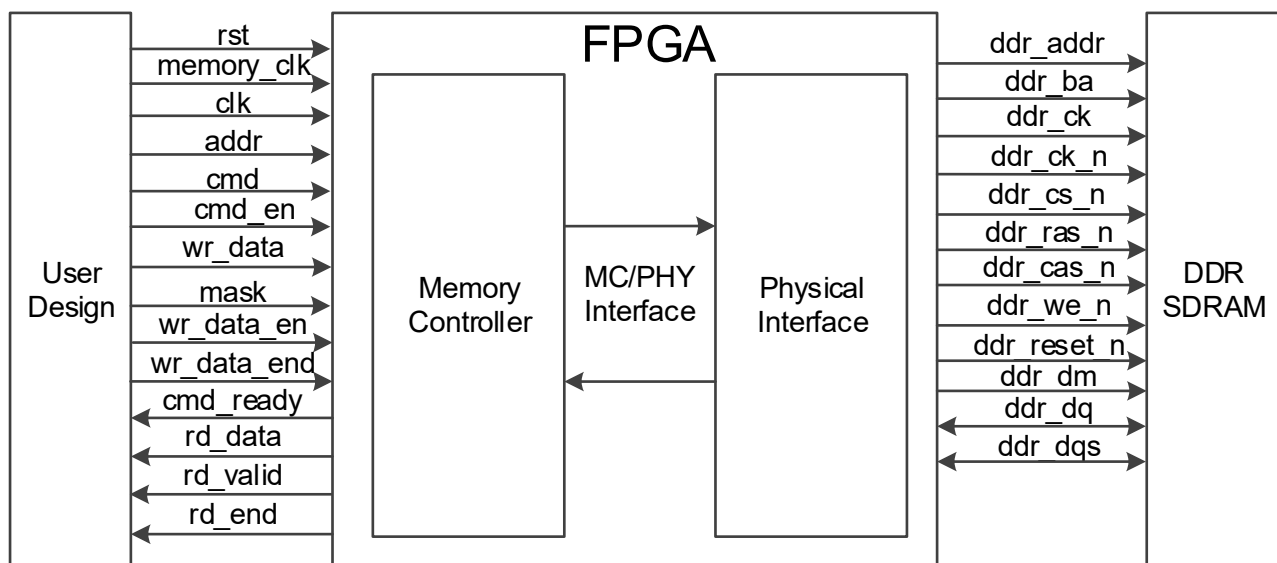
表 2-2 では、Gowin DDR Memory Interface は、25 ビットのユーザーアドレス幅と 8 ビットの DRAM 幅として構成されています。

3 機能の説明

3.1 構造

Gowin DDR Memory Interface IP の基本構造には、主に Memory Controller、Physical Interface 等のモジュールが含まれています(図 3-1)。図 3-1 内の User Design は、外部 DDR SDRAM チップに接続する必要がある、FPGA のユーザーデザインです。

図 3-1 Gowin Memory Interface IP の構造



3.2 Memory Controller

Memory Controller は、ユーザーデザインと PHY の間にある、Gowin DDR Memory Interface IP の主なロジックモジュールです。Memory Controller は、ユーザーインターフェースからのコマンド、アドレス、およびデータを受信して、特定の論理的な順序で保存します。

ユーザーが送信した書き込み、読み出し等のコマンドは、データのスループット及び関連する遅延の要件を満たすために Memory Controller 内でソーティングが行われます。

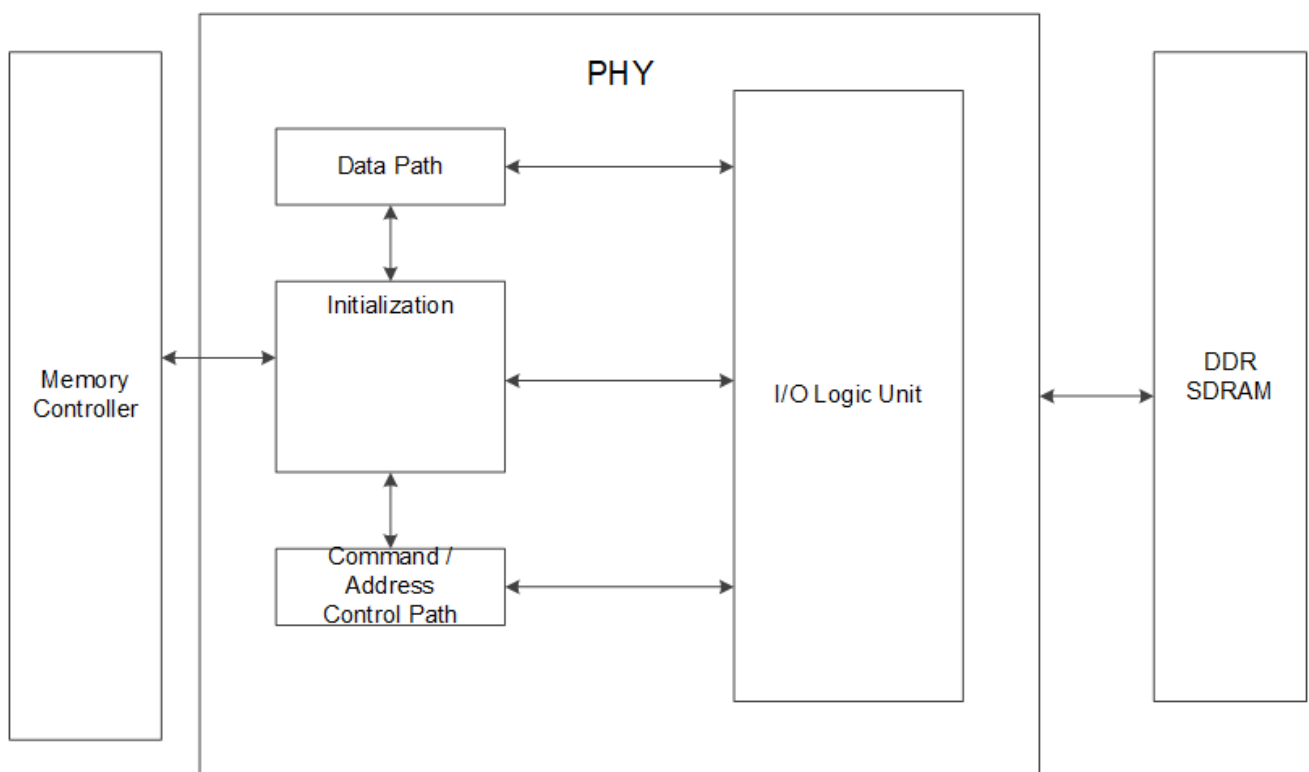
Memory Controller は、アドレスおよびデータの送信を制御し、PHY を通じて DDR SDRAM が返すデータを受信して書き込みまたは読み出しを完了させます。

3.3 PHY

PHY は、MC と外部 DDR SDRAM 間の物理層の定義及びインターフェースを提供します。また、PHY は、MC からのコマンドを受信して、DDR SDRAM インターフェースにタイミング及びシーケンス要件を満たす信号を提供します。

図 3-2 に示すように、PHY には主に、初期化モジュール、データパス、コマンド/アドレス制御パス、および I/O ロジックモジュールの 4 つのモジュールが含まれています。

図 3-2 DDR PHY の基本構造



3.3.1 初期化モジュール

初期化モジュールは、主に DDR SDRAM のパワーアップ後の初期化及び読み出し校正に使用されます。すべての初期化と読み出し校正が完了した後、信号「init_calib_complete」は Low から High になり、すべての初期化が完了したことを指示します。

パワーアップ初期化

JESD79-F スタンドアードに従って、パワーアップ後は DDR SDRAM(チップまたは DIMM)に対して、リセット、クロックイネーブル、モードレジスタの構成などプロセスを含む初期化を行う必要があります。

3.3.2 データパス

データパスには、データ書き込みとデータ読み出しが含まれます。

3.3.3 制御パス

コマンド/アドレス制御パスは単方向パスです。MC が送信したコマンド及びアドレス信号を受信し、データパスとともに書き込み読み出しデータ遅延パラメータを処理してコマンドを I/O ロジックに送信します。

3.3.4 I/O ロジックモジュール

I/O ロジックモジュールは、主にデータパス及びコマンド/アドレスパスを介して転送されたデータ、コマンド、アドレス信号に対してクロックドメインの変換を行います。

3.4 主な機能

DDR Memory Interface IP の機能：

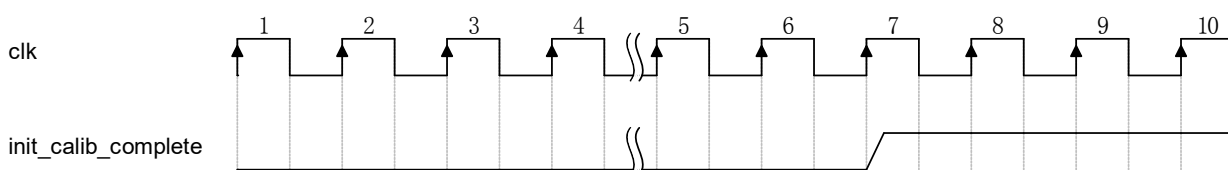
- DDR SDRAM の初期化。
- アドレスとコマンドの送信。
- データ書き込み。
- データ読み出し。
- リフレッシュ。

3.4.1 初期化

DDR SDRAM は、通常書き込みおよび読み出し操作を実行するには、校正する必要があります。したがって、PHY は電源投入後に DDR SDRAM を初期化(校正)し、初期化後に初期化完了フラグ `init_calib_complete` を返します。

図 3-3 に示すように、初期化後はユーザーに完了信号を返します。

図 3-3 初期化完了信号のタイミング図



3.4.2 アドレスとコマンドの送信

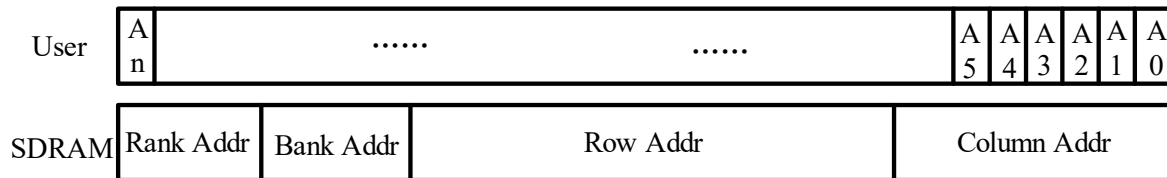
ユーザーは、`addr`、`cmd`、`cmd_en`などのポートを介して操作コマンドとアドレスを送信できます。

- `addr` はアドレス信号です。
- `cmd` はコマンド信号です。

- **cmd_en** : アドレスおよびコマンドのイネーブル信号で、アクティブ High です。

アプリケーションでは、ユーザーインターフェースのアドレスバス及び物理メモリの Rank、Bank、Row、Column は、マッピング関係にあります。本デザインでは、そのアドレッシング方法を図 3-4 に示します。従って、ユーザーは、アプリケーションにおいてアドレスの順序に注意する必要があります。

図 3-4 Rank-Bank-Row-Column 順のアドレッシング方法



ユーザーが **cmd** ポートを介して送信できるコマンドは、表 3-1 に示す通りです：

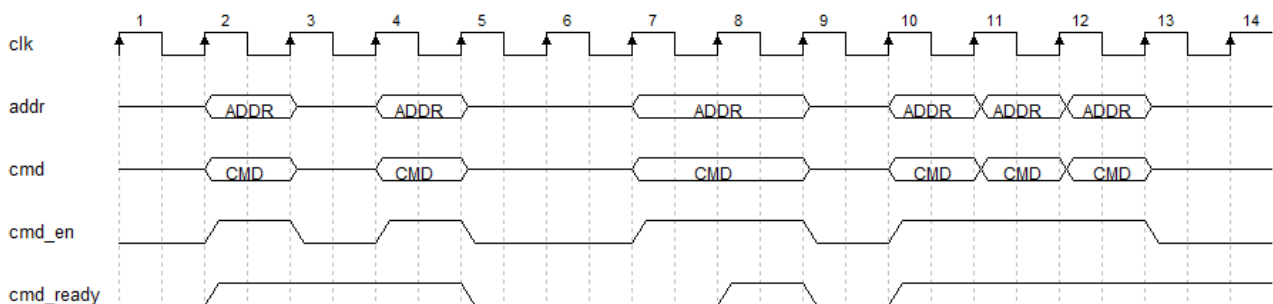
表 3-1 **cmd** ポートを介したコマンド

コマンド	cmd[2:0]
Read	3'b001
Write	3'b000

ユーザーインターフェース側のコマンド、アドレス、およびイネーブル信号間のタイミングは、図 3-5 に示す通りです。**cmd_ready** が High の場合、MC はコマンドを受信できます。コマンドは MC FIFO 内に保存できます。**cmd_ready** が Low の場合、MC はコマンドを受信できません。

cmd_en が High の場合、**cmd** 及び **addr** は有効です。**cmd_ready** が Low の時に **cmd_en** が High になると、コマンドを正常に MC に保存するように、**cmd_ready** が High になるまで **cmd_en**、**cmd**、及び **addr** を維持する必要があります。

図 3-5 コマンド、アドレス、およびイネーブル信号のタイミング図

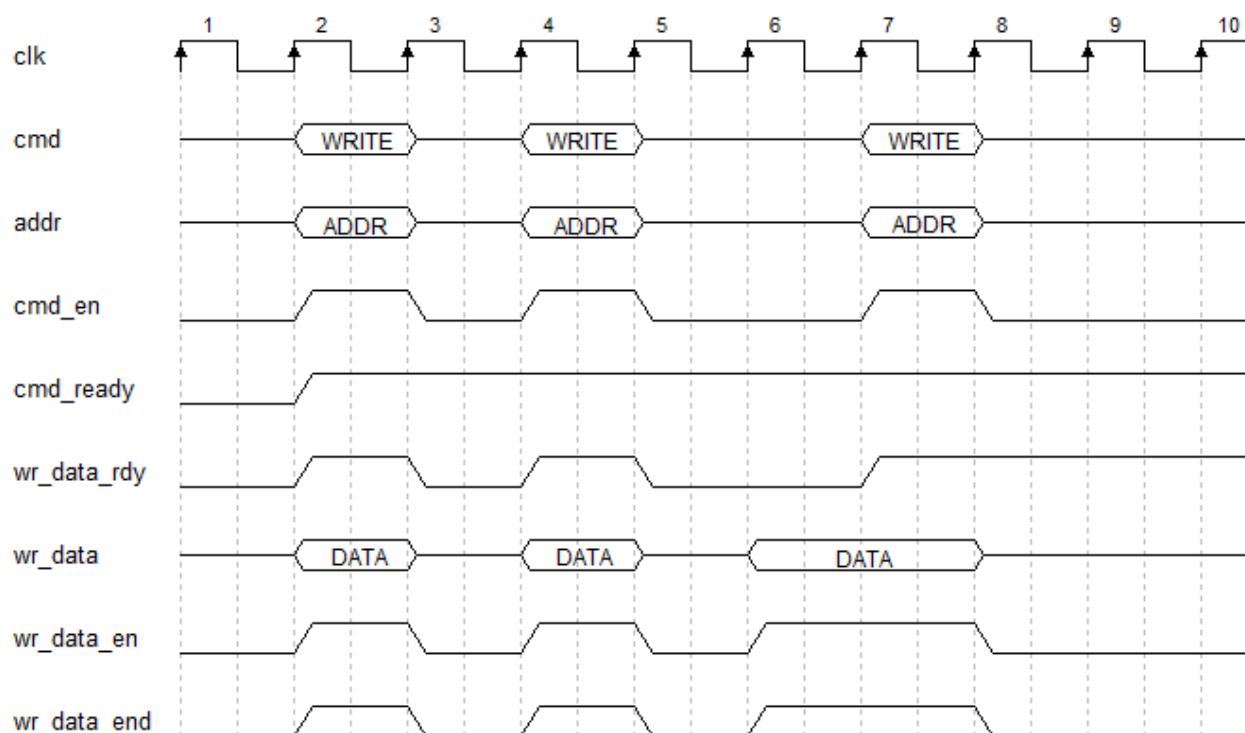


3.4.3 データの書き込み

ユーザーは、**wr_data**、**wr_data_wren**、および **wr_data_end** などのポートを介して、書き込みデータを Gowin DDR Memory Interface IP に送信することができます。処理された書き込みデータは DDR SDRAM に送信されます。

- wr_data は、書き込みデータです。
- wr_data_en は、データ書き込みのイネーブル信号で、アクティブ High です。
- wr_data_end は、現在のバースト長で、この書き込みデータが占有する最後のサイクルを示します。
- 書き込みデータチャンネルでは、wr_data_rdy が High の場合、MC が書き込みデータを受信することができます。
- wr_data_rdy が Low の際にユーザーが書き込みデータを送信した場合、wr_data_rdy が High になるまで、wr_data、wr_data_en、及び wr_data_end などの信号を維持する必要があります(図 3-6)。

図 3-6 書き込みデータポートのタイミング図



書き込みデータチャンネルとコマンドチャンネルの間には複数のタイミング状況があります。図 3-7 に示すとおりです。

- 書き込みデータと書き込みコマンドは同時に送信されます。
- 書き込みデータは、対応する書き込みコマンドの前に送信されます。
- 書き込みデータは対応する書き込みコマンド後に送信され、書き込みデータの遅延サイクルは 2 サイクル以下です。

図 3-7 各場合における書き込みデータチャンネルとコマンドチャンネルのタイミング図

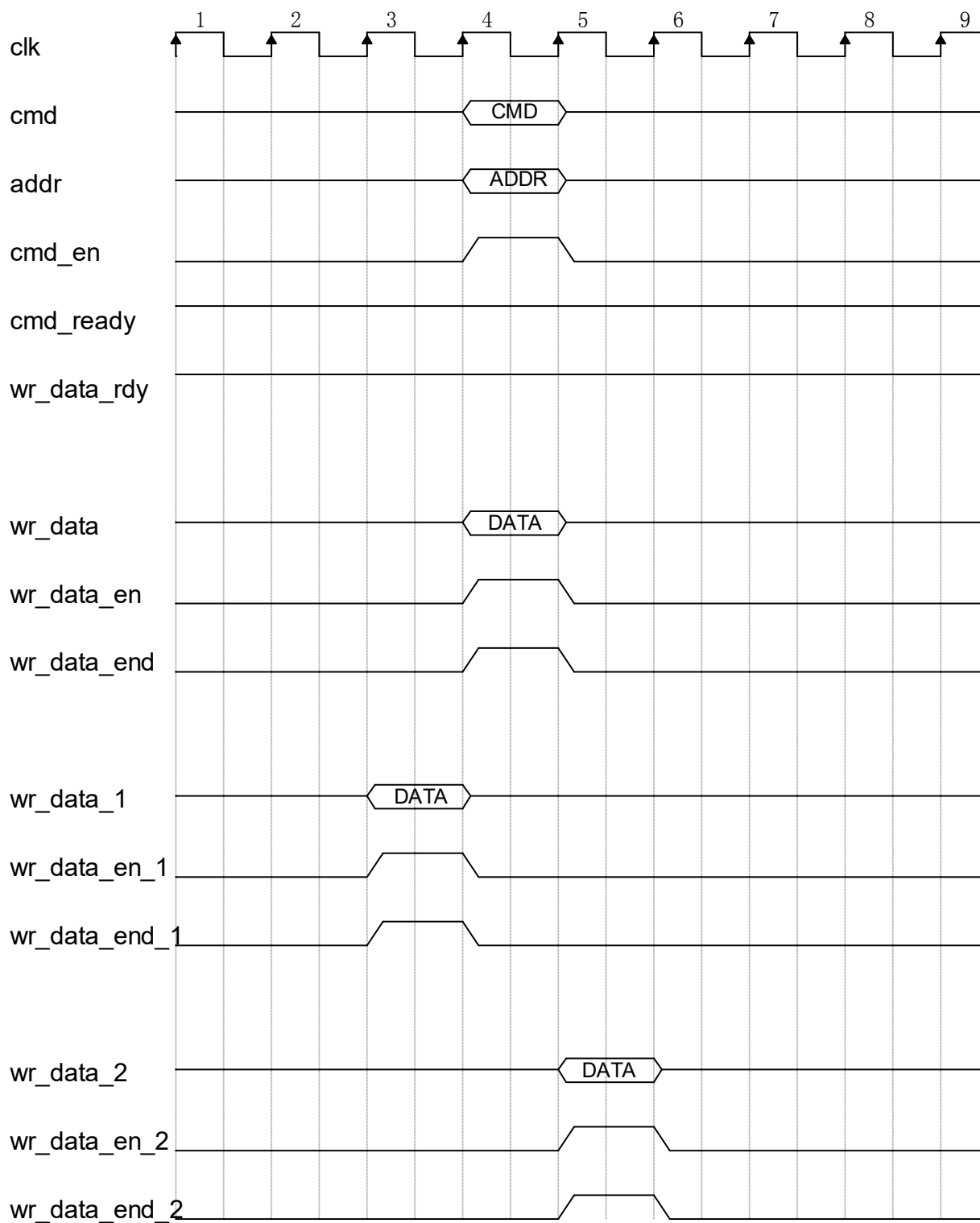


図 3-8 に示すように、MC と PHY のクロック比が 1 : 2 で、バースト長が BL8 の場合、書き込みデータは 2 つの clk サイクルを占有します。さらに、wr_data_end は書き込みデー

タの 2 つ目のサイクルの際に High になって書き込みデータの終了を指示する必要があります。

図 3-8 バースト長が BL8 の場合のデータ書き込みのタイミング図

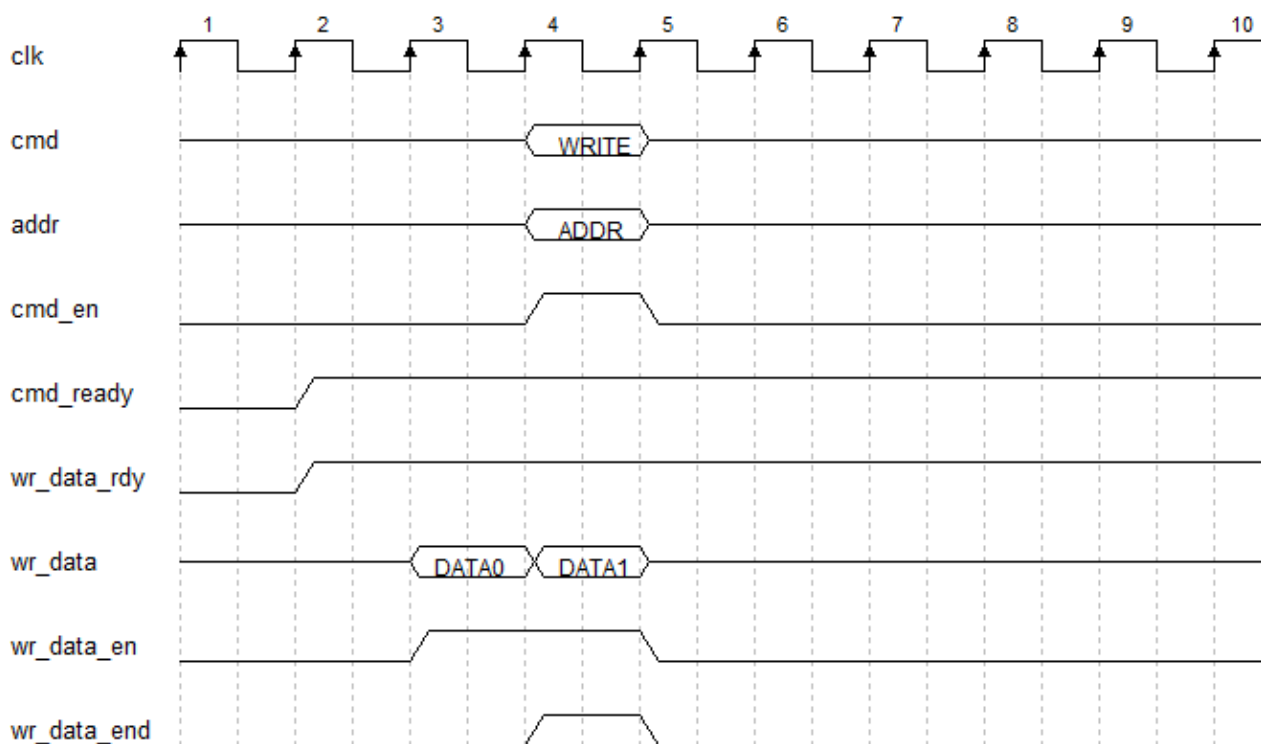


図 3-9 に示すように、MC と PHY のクロック比が 1 : 2 で、バースト長が BL4 の場合、書き込みデータは 1 つの clk サイクルを占有します。

図 3-9 バースト長が BL4 の場合のデータ書き込みのタイミング図

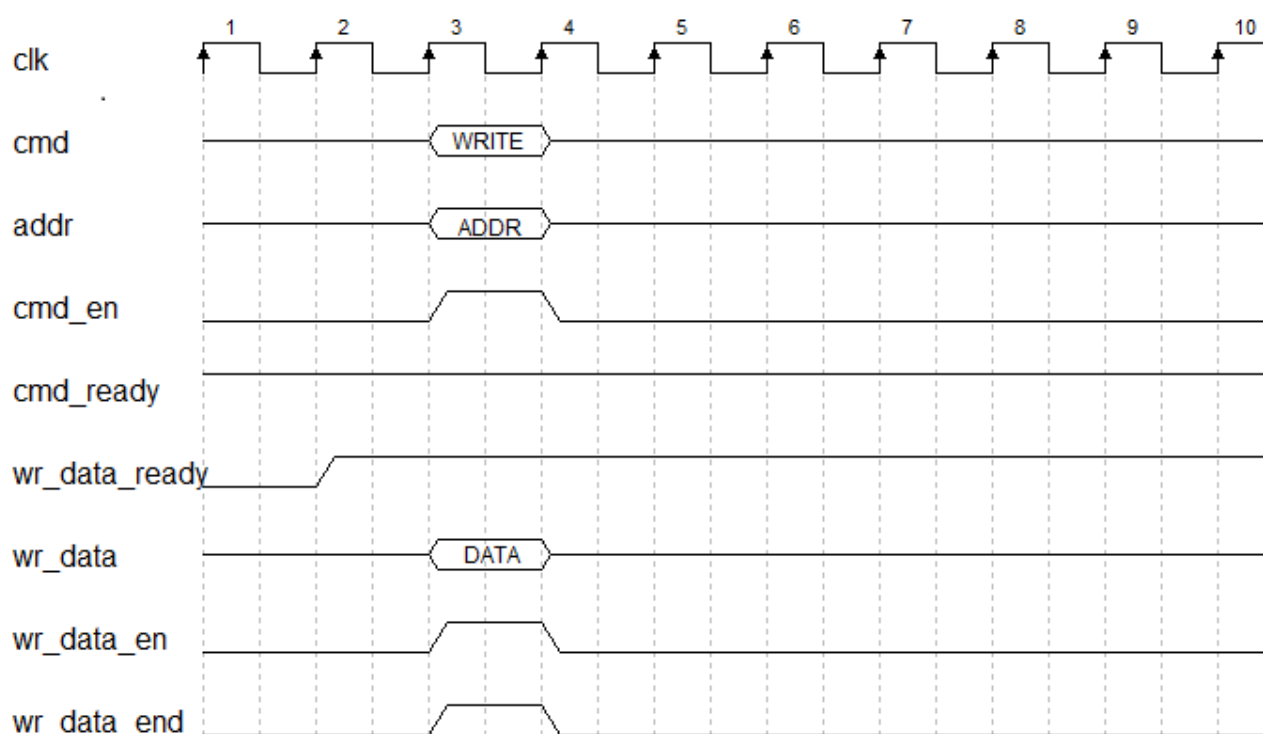


図 3-10 に示すように、MC と PHY のクロック比が 1 : 1 で、バースト長が BL8 の場合、書き込みデータは 4 つの clk サイクルを占有します。さらに、wr_data_end は書き込みデータの 4 つ目のサイクルの際に High になって書き込みデータの終了を指示する必要があります。

図 3-10 バースト長が BL8 の場合のデータ書き込みのタイミング図

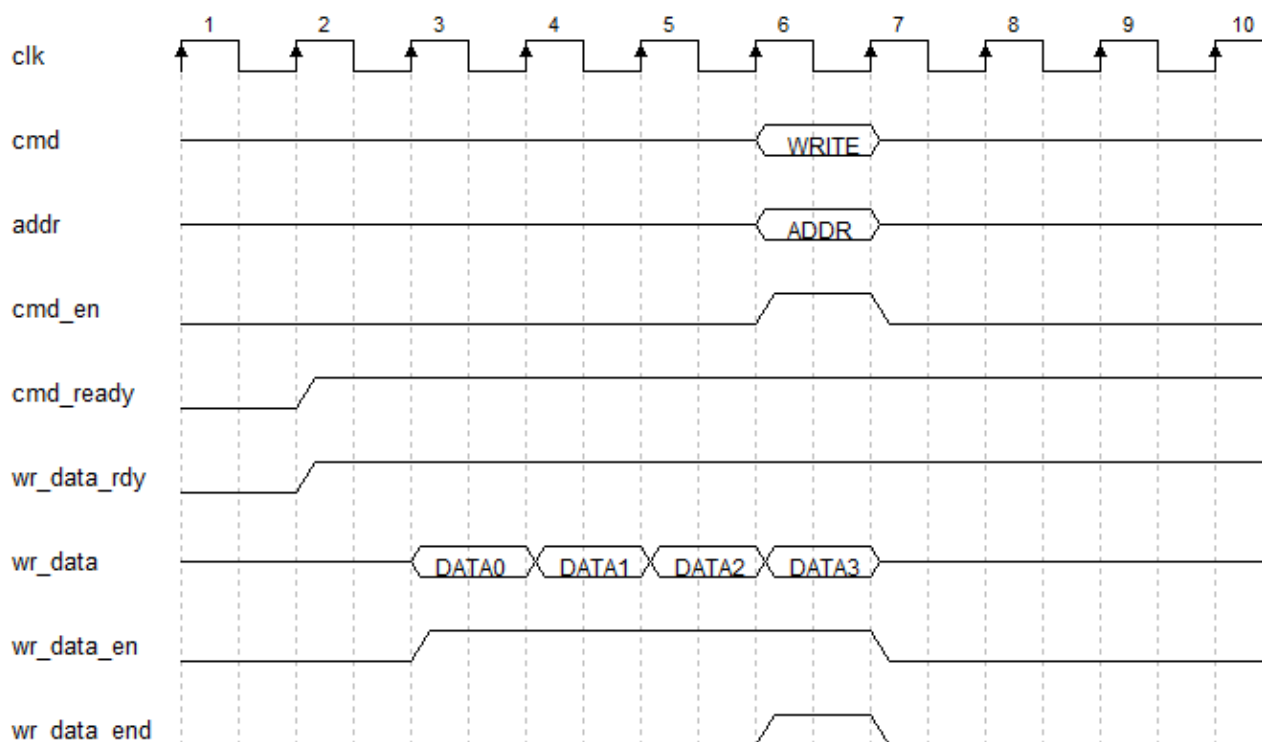


図 3-11 に示すように、MC と PHY のクロック比が 1 : 1 で、バースト長が BL4 の場合、書き込みデータは 2 つの clk サイクルを占有します。さらに、wr_data_end は書き込みデータの 2 つ目のサイクルの際に High になって書き込みデータの終了を指示する必要があります。

図 3-11 バースト長が BL4 の場合のデータ書き込みのタイミング図

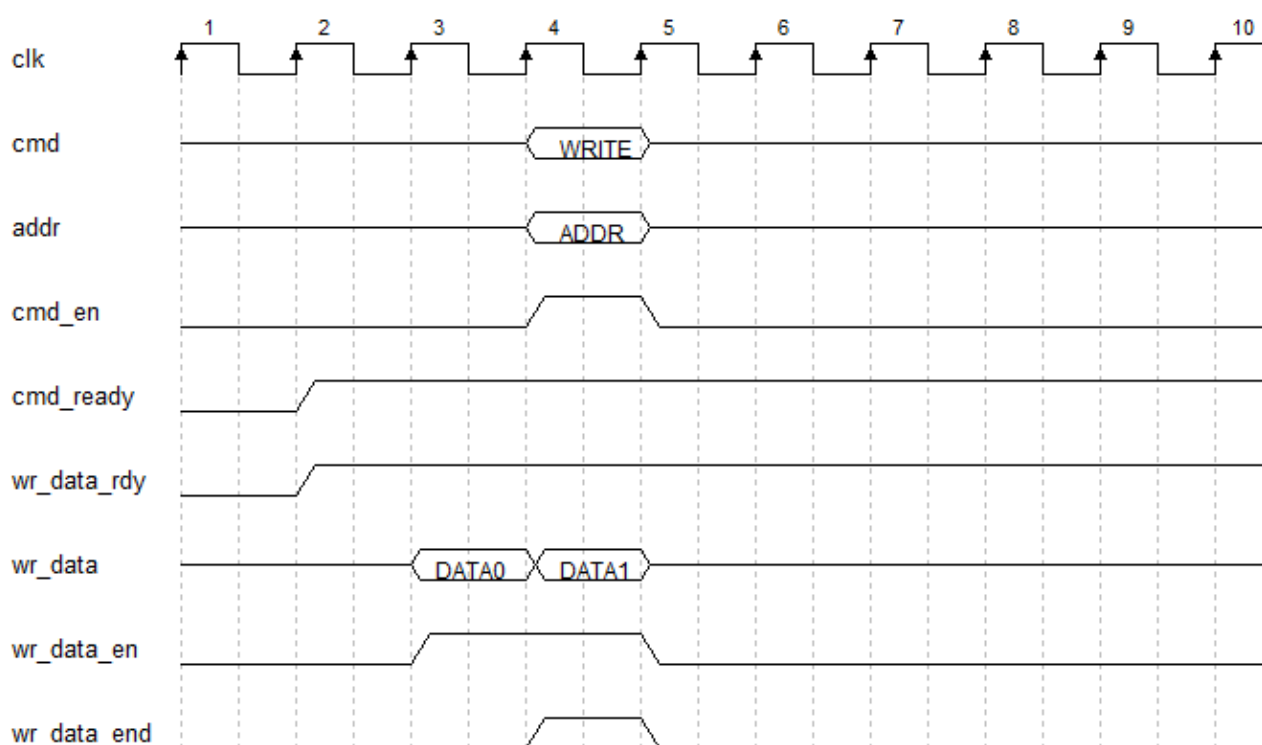
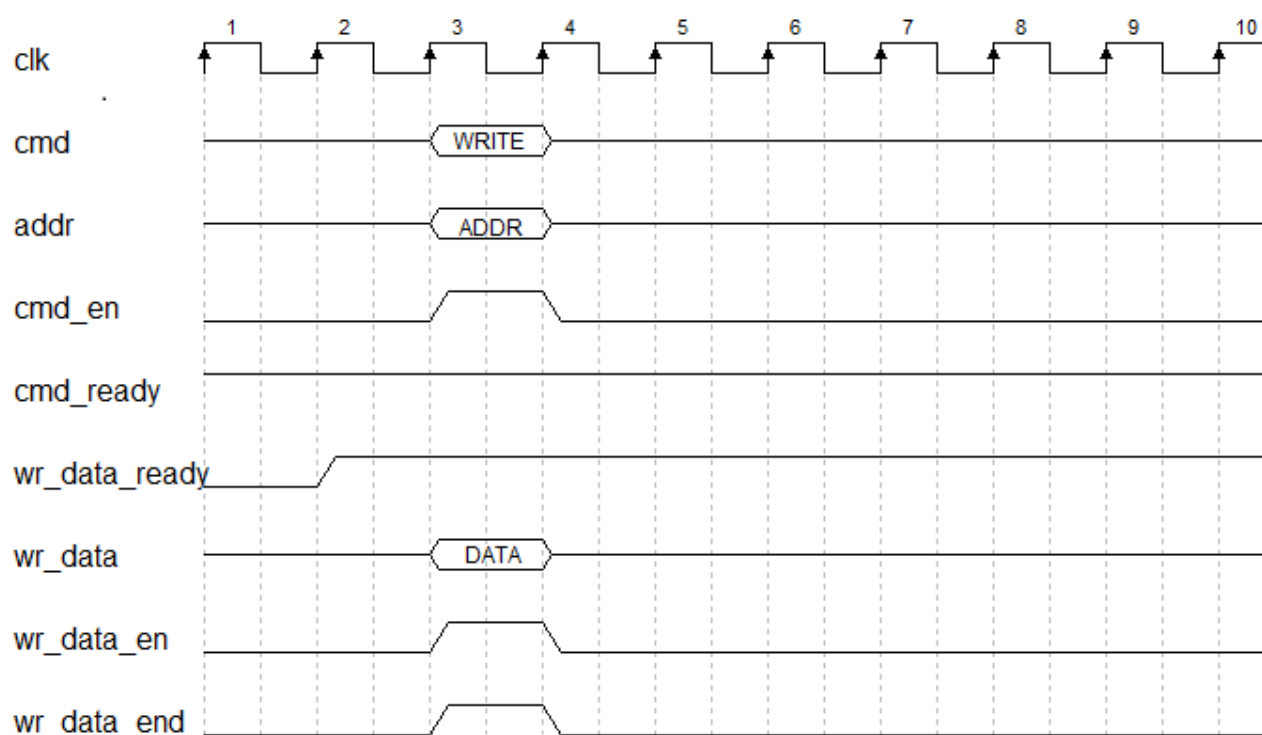


図 3-12 に示すように、MC と PHY のクロック比が 1 : 1 で、バースト長が BL2 の場合、書き込みデータは 1 つの clk サイクルを占有します。

図 3-12 バースト長が BL2 の場合のデータ書き込みのタイミング図



3.4.4 データの読み出し

ユーザーは、ポート `rd_data`、`rd_data_valid`、および `rd_data_end` を介して DDR3 SDRAM が返すデータを読み出すことができます。

- `rd_data` は、返される読み出しデータです。
- `rd_data_valid` は、読み出しデータ有効信号で、アクティブ High です。
- `rd_data_end` は、現在のバースト長で返す最後のデータを示し、アクティブ High です。

ユーザーが連続して複数のアドレスを読み出す時、読み出しコマンドを送信する際のアドレス順に従って、順次に対応するデータを返します。

図 3-13 読み出しデータポートのタイミング図

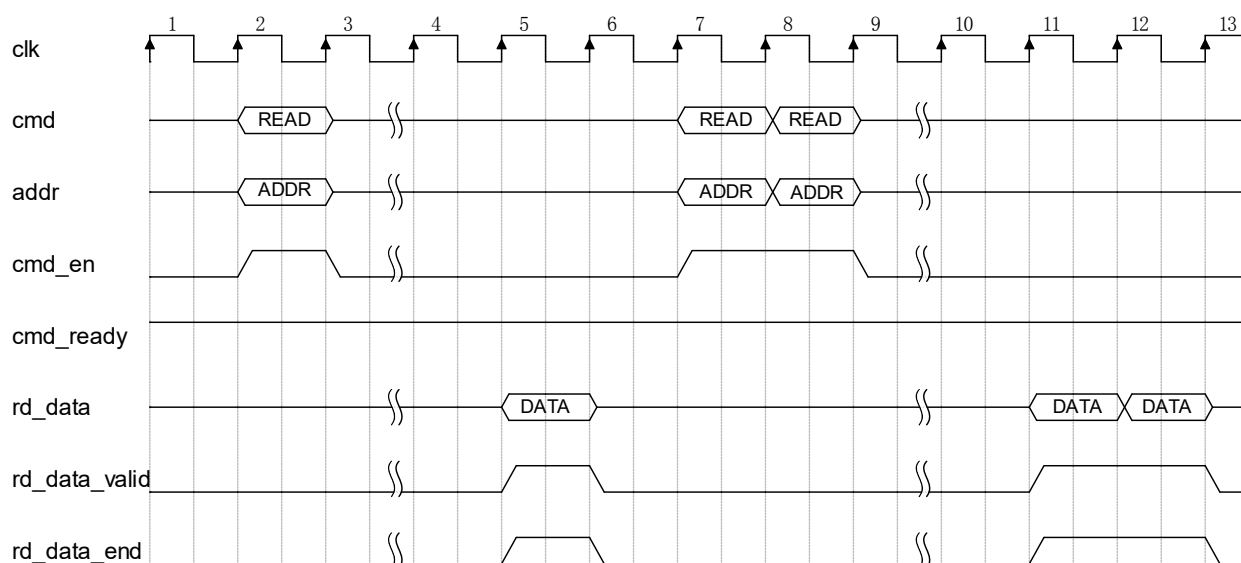


図 3-14 に示すように、書き込みと同様に、MC と PHY のクロック比が 1 : 2 で、バースト長が BL8 の場合、読み出しデータは 2 つの `clk` サイクルを占有します。

図 3-14 バースト長が BL8 の場合のデータ読み出しのタイミング図

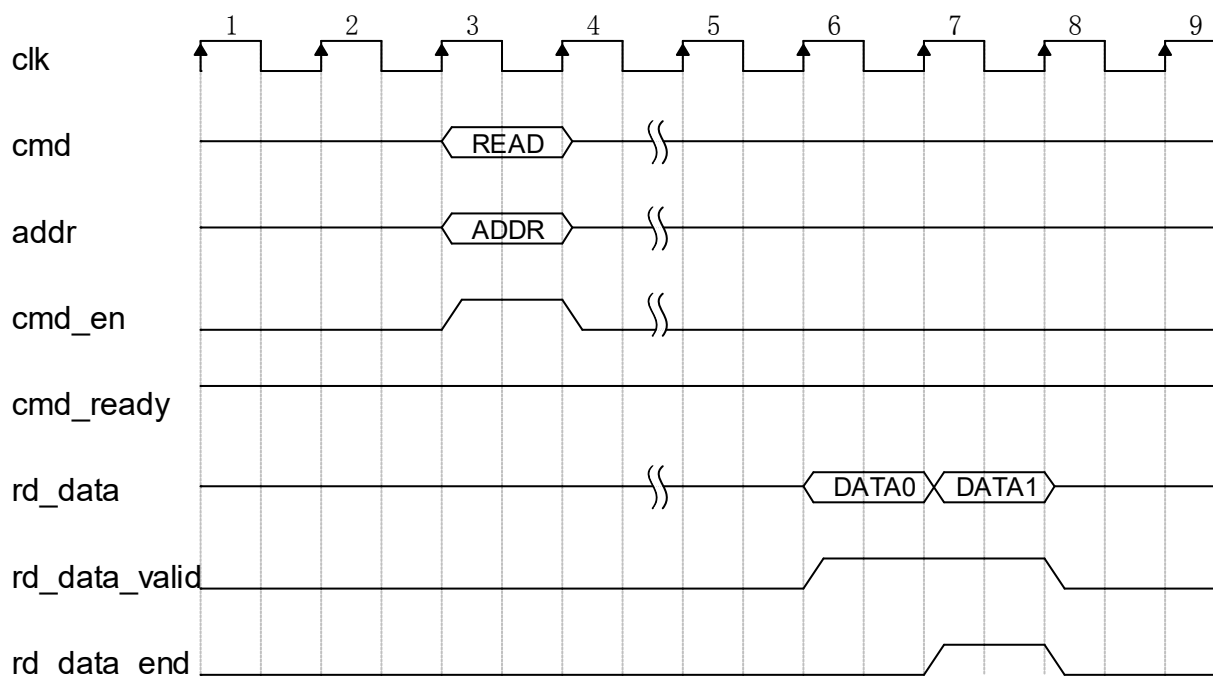


図 3-15 に示すように、MC と PHY のクロック比が 1 : 2 で、バースト長が BL4 の場合、読み出しデータは 1 つの clk サイクルを占有します。

図 3-15 バースト長が BL4 の場合のデータ読み出しのタイミング図

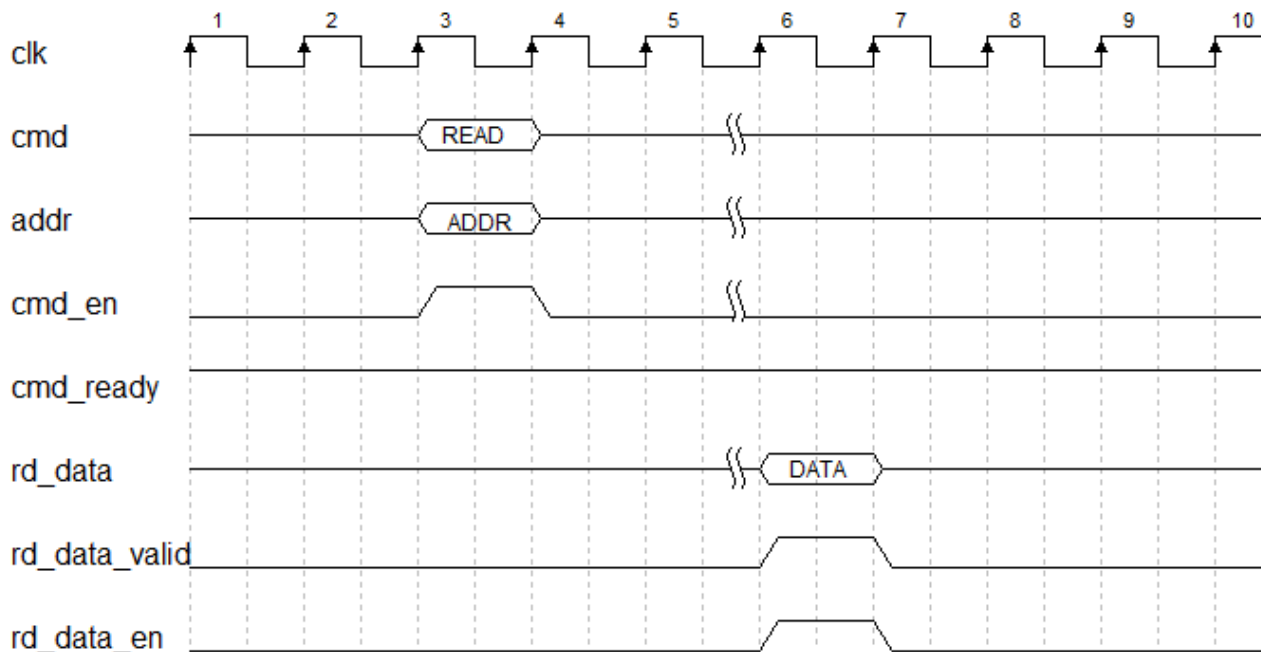


図 3-16 に示すように、MC と PHY のクロック比が 1 : 1 で、バースト長が BL8 の場合、読み出しデータは 4 つの clk サイクルを占有します。

図 3-16 バースト長が BL8 の場合のデータ読み出しのタイミング図

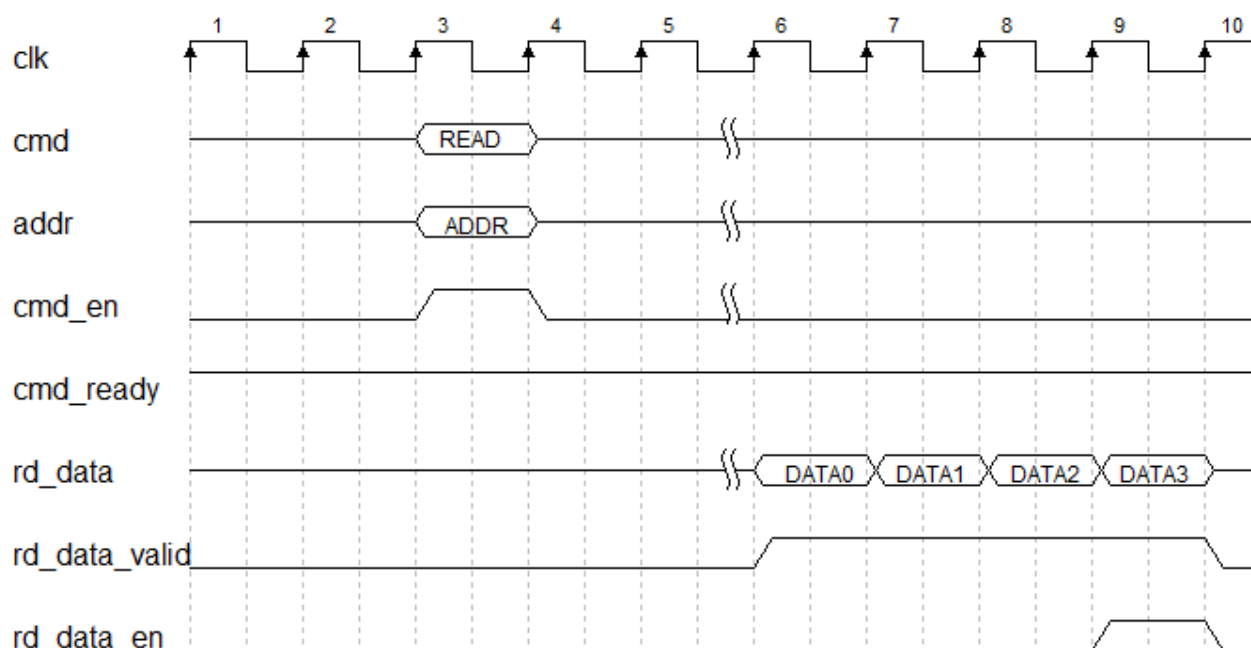


図 3-17 に示すように、MC と PHY のクロック比が 1 : 1 で、バースト長が BL4 の場合、読み出しデータは 2 つの clk サイクルを占有します。

図 3-17 バースト長が BL4 の場合のデータ読み出しのタイミング図

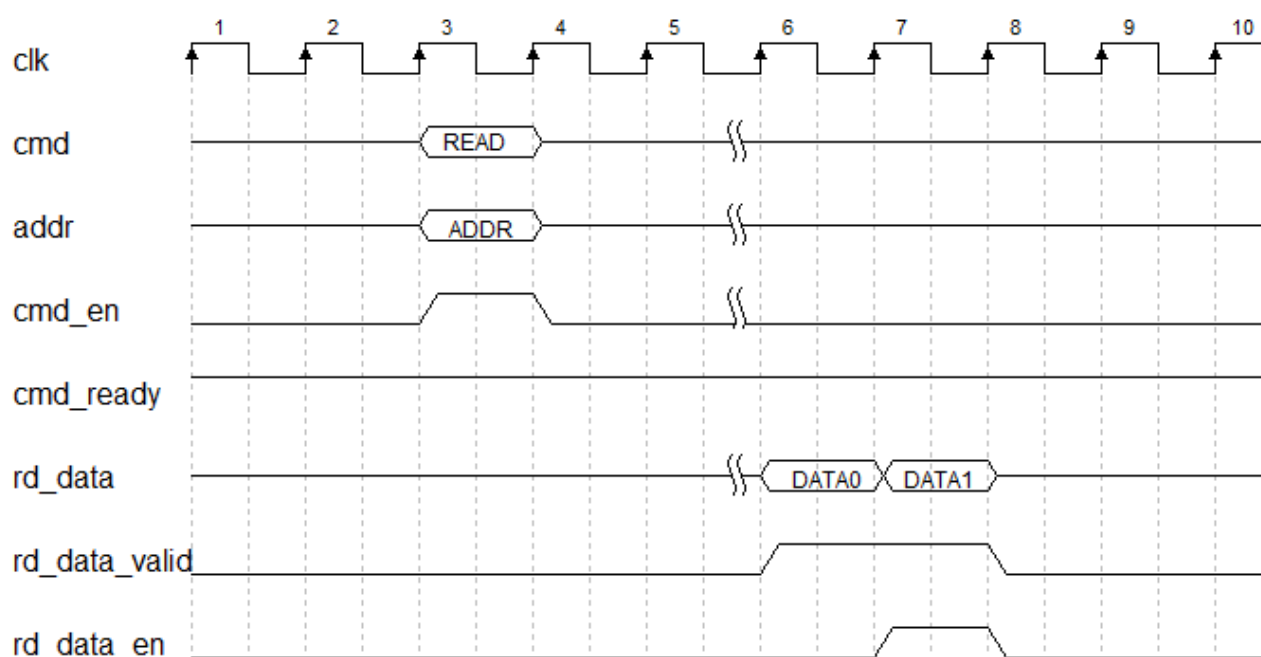
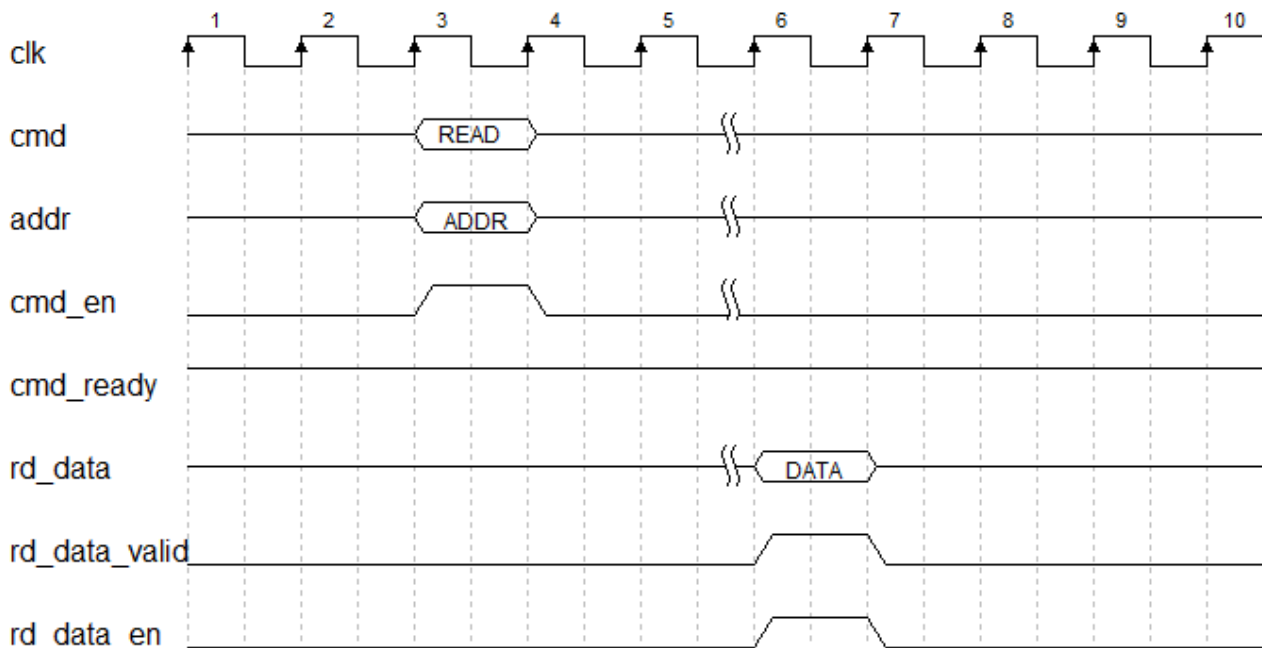


図 3-18 に示すように、MC と PHY のクロック比が 1 : 1 で、バースト長が BL2 の場合、読み出しデータは 1 つの clk サイクルを占有します。

図 3-18 バースト長が BL2 の場合のデータ読み出しのタイミング図



3.4.5 リフレッシュ

リフレッシュ

DDR SDRAM ストレージアレイには、データが失われないようにするには、継続的なリフレッシュが必要です。したがって、Gowin DDR Memory Interface IP により周期的にリフレッシュコマンドを DDR SDRAM に送信する必要があります。Gowin DDR Memory Interface IP は、 t_{REFI} の間隔でリフレッシュコマンドを生成します。リフレッシュコマンドが生成された後、MC が最後の読み出し書き込み命令を実行した後、すべての Bank を PreCharge してから、リフレッシュコマンドを実行します。リフレッシュ操作には、比較的に高い優先度があります。

セルフリフレッシュ

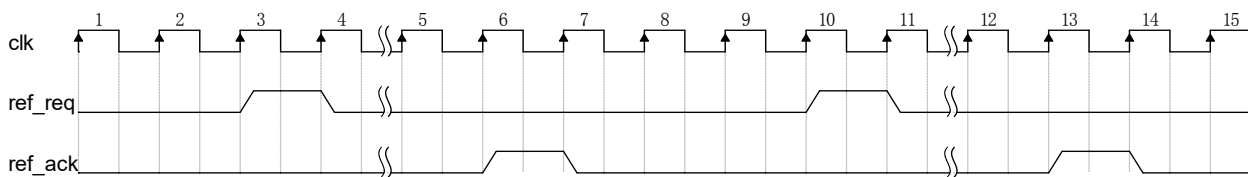
ユーザーは、ポート `sr_req` を介してセルフリフレッシュ(self refresh)リクエストを送信することにより、DDR SDRAM をセルフリフレッシュモードとして構成することができます。セルフリフレッシュモードでは、DDR SDRAM は自動的にメモリアレイをリフレッシュし、Gowin DDR Memory Interface IP によりリフレッシュ命令を送信する必要はありません。

Gowin DDR Memory Interface IP は、DDR SDRAM のセルフリフレッシュ構成完了後、ユーザーに、DDR SDRAM がすでにセルフリフレッシュモードに入ったことを示す信号 `sr_ack` を返します。

ユーザーリフレッシュ

ユーザーは、オプションの構成によってリフレッシュモードをユーザーリフレッシュに構成することができます。つまり、「**USER_REFRESH**」を「**ON**」にする必要があります。ユーザーは、いつでもポート **ref_req** を介して **MC** にリフレッシュ要求を出すことができ、**cmd** ポートを介して **MC** にその他のコマンドを送信する必要はありません。ユーザーリフレッシュ命令を送信する時、**ref_req** は 1 サイクルの間 **High** レベルである必要があります。リフレッシュ命令の送信後、**MC** は、1 サイクルの間 **High** レベルである **ref_ack** 信号をフィードバックします(図 3-19)。

図 3-19 ユーザーリフレッシュのタイミング図



ユーザーリフレッシュは、**MC** が既に受信した、或いは実行中の命令に影響を及ぼすことがあります。ユーザーリフレッシュを行う前に、**MC** は優先的に現在実行しているコマンドを完了します。ユーザーは、ユーザーリフレッシュの送信と各命令との整合を考慮して、 t_{REFI} の違反を回避する必要があります。

最悪の状況を考慮する場合、ユーザーリフレッシュは以下の公式を参考できます。 t_{RCD} 、**CL**、データ転送時間、 t_{RP} 等のパラメータを通じて計算することができます。ユーザーリフレッシュは時間パラメータ t_{REFI} の違反前に完了する必要があるため、2 回のユーザーリフレッシュの最大間隔は以下の通りです：

$$t_{REFI} - (t_{RCD} + (CL + 4) \times t_{CK} + t_{RP}) \times nBA$$

実際のアプリケーションにおいて、ユーザーリフレッシュを起動する場合、ユーザーは **DDR SDRAM** の初期化の直後にユーザーリフレッシュを行うことで後のユーザーリフレッシュ要求のタイム基準を確立する必要があります。

4 ポート一覧

Gowin DDR Memory Interface IP の IO ポートは表 4-1 に示すとおりです。

表 4-1 ポート一覧

信号	幅(ビット)	方向	説明
User Interface			
addr	ADDR_WIDTH	入力	アドレス入力。信号幅は parameter を介して設定できます。
cmd	3	入力	コマンド
cmd_en	1	入力	コマンドおよびアドレスイネーブル信号： 0：無効 1：有効
cmd_ready	1	出力	High レベルは、メモリインターフェースがコマンド及びアドレスを受信できることを示します。
rd_data	APP_DATA_WIDTH	出力	読み出しデータ
rd_data_end	1	出力	High レベルは、現在出力する rd_data の終了サイクルを示します。
rd_data_valid	1	出力	rd_data 有効信号： 0：無効 1：有効
burst	1	入力	Reserved。0 を入力。
wr_data	APP_DATA_WIDTH	入力	書き込みデータ
wr_data_end	1	入力	High レベルは、現在のクロックサイクルがデ

信号	幅(ビット)	方向	説明
wr_data_end	1	入力	ータ wr_data の最終サイクルであることを示します
wr_data_mask	APP_MASK_WIDTH	入力	wr_data にマスク信号を提供します
wr_data_rdy	1	出力	High レベルは、MC がユーザーデータを受信できることを示します
wr_data_en	1	入力	wr_data のイネーブル信号： 0：無効 1：有効
sr_req	1	入力	セルフリフレッシュ要求
sr_ack	1	出力	セルフリフレッシュ応答信号
ref_req	1	入力	ユーザーリフレッシュ要求
ref_ack	1	出力	ユーザーリフレッシュ応答信号
clk	1	入力	リファレンス・クロック
memory_clk	1	入力	ユーザー側から入力されるメモリの動作クロック。通常は PLL の通倍による高速クロック。
pll_lock	1	入力	memory_clk のソースが PLL の通倍による出力クロックの場合、このポートを PLL の pll_lock ピン接続します。ユーザーが PLL を使用しない場合、このポートを 1'b1 に接続します。
rst_n	1	入力	リセット。アクティブ Low。
init_calib_complete	1	出力	初期化完了信号
clk_out	1	出力	ユーザーデザインのクロックで、周波数は Memory Clk の 1/2 または 1/1。
ecc_err	APP_DATA_WIDTH/32	出力	ECC 指示信号

信号	幅(ビット)	方向	説明
ddr_rst	1	出力	IP により処理されたユーザーデザイン用のリセット信号で、アクティブ High。
dbg_vector1_out	3*DQS_WIDTH	出力	デバッグポート。デバッグポートがイネーブルされた場合にのみ有効です。
dbg_vector2_out	2*DQS_WIDTH	出力	デバッグポート。デバッグポートがイネーブルされた場合にのみ有効です。
dbg_vector3_out	8	出力	デバッグポート。デバッグポートがイネーブルされた場合にのみ有効です。
DDR SDRAM Interface			
O_ddr_addr	ROW_WIDTH	出力	Row アドレス(アクティブコマンド)、Column アドレス(読み出し、書き込みコマンド)
O_ddr_ba	BANK_WIDTH	出力	Bank アドレス
O_ddr_cs_n	CS_WIDTH	出力	チップセレクト信号、アクティブ Low
O_ddr_ras_n	1	出力	Row アドレスストローブ信号
O_ddr_cas_n	1	出力	Column アドレスストローブ信号
O_ddr_we_n	1	出力	Row 書き込みイネーブル
O_ddr_ck	CK_WIDTH	出力	DDR SDRAM に提供するクロック信号
O_ddr_ck_n	CK_WIDTH	出力	ddr_ck とともに差動信号を構成します
O_ddr_cke	CKE_WIDTH	出力	DDR SDRAM クロックイネーブル信号
O_ddr_reset_n	1	出力	DDR SDRAM リセット信号
O_ddr_dqm	DM_WIDTH	出力	DDR SDRAM データマスク信号
IO_ddr_dq	DQ_WIDTH	双方向	DDR SDRAM データ

信号	幅(ビット)	方向	説明
IO_dds_dqs	DQS_WIDTH	双方向	DDR SDRAM データストロープ信号。 LittleBee ファミリーのデバイスを使用する場合、回路図設計時に以下の注意事項を守る必要があります : dds_dqs ピンを差動ペアの A に割り当て(B をフローティングにする)、隣接する小さい番号の差動ペアもフローティングにする必要があります。例えば、dds_dqs を IOB16A に割り当てる場合、IOB16B、IOB15A、および IOB15B はフローティングにする必要があります。

5 パラメータの構成

Gowin DDR Memory Interface IP は、DDR SDRAM をサポートしており、ユーザーは必要に応じて Gowin DDR Memory Interface の各静的パラメータ及びタイミングパラメータを構成することができます。パラメータの詳細を[表 5-1](#) および[表 5-2](#) に示します。

表 5-1 Gowin DDR Memory Interface IP の静的パラメータ

名称	説明	オプション
DRAM_TYPE	メモリタイプ	DDR
DRAM_WIDTH	DDR メモリの DQ 幅	4, 8, 16
ADDR_CMD_MODE	アドレス・コマンド・モード	1T, 2T
nCK_PER_CLK	MC と PHY インターフェースのクロック比	1:1/1:2 (LittleBee ファミリーの場合、1:2 のみがサポートされる)
nCS_PER_RANK	各 Rank の CS の数	1
APP_ADDR_WIDTH	アドレス幅	RANK_WIDTH + BANK_WIDTH + ROW_WIDTH + COL_WIDTH
BANK_WIDTH	Bank アドレスの幅	DDR SDRAM チップに応じて選択
CS_WIDTH	CS の幅	DDR SDRAM チップに応じて選択
RANK_WIDTH	RANK アドレス幅	Single 及び Dual rank デバイスの場合、1 を選択
ROW_WIDTH	ROW アドレス幅	DDR SDRAM チップに応じて選択
DM_WIDTH	データマスク幅	DQ_WIDTH/ DRAM_WIDTH
DQ_WIDTH	DQ 信号幅	DQ_WIDTH=DRAM_WIDTH * DQS_WIDTH
DQS_WIDTH	DQS 信号幅	DQ_WIDTH/8
BURST_MODE	バースト長	2、4、8 (LittleBee ファミリーの場合、4 と 8 のみがサポートされる)
BURST_TYPE	バーストのタイプ	Sequential, Interleaved
RTT_NOM	Nominal ODT の値	150: 150

名称	説明	オプション
RTT_NOM	Nominal ODT の値	75: 75 50: 50
RTT_WR	Multiple-RANK の場合に Dynamic ODT の値を設定するために使用されます。Single-Component デザインの場合、RTT_WR は無効。	OFF: RTT_WR disabled. 120: RZQ/2 60: RZQ/4
APP_DATA_WIDTH	ユーザーインターフェースのデータ信号幅	$APP_DATA_WIDTH = 2 * nCK_PER_CLK * DQ_WIDTH$
APP_MASK_WIDTH	ユーザーインターフェースのマスク信号幅	$APP_DATA_WIDTH / DRAM_WIDTH$
USER_REFRESH	ユーザーによってリフレッシュ操作を制御するかどうかを選択	"ON", "OFF"
DBG_PARAMETER1	デバッグパラメータ	000/001/010/011/100/101/110/111。 デバッグパラメータがイネーブルされた場合にのみ有効です。
DBG_PARAMETER2	デバッグパラメータ	0~127。デバッグパラメータがイネーブルされた場合にのみ有効です。
DBG_PARAMETER3	デバッグパラメータ	0~127。デバッグパラメータがイネーブルされた場合にのみ有効です。
DBG_PARAMETER4	デバッグパラメータ	0~127。デバッグパラメータがイネーブルされた場合にのみ有効です。

表 5-2 Gowin DDR Memory Interface IP のタイミングパラメータ

名称	説明
t_{CK}	Memory インターフェースのクロックサイクル(ps)
t_{CKE}	CKE 信号の最小パルス時間(ps)
t_{FAW}	同じ rank 内で発行された 4 回のアクティブコマンドの間隔に関する最小時間を指します。そのため、 t_{RRD} の 4 倍以上である必要があります。
t_{RAS}	ACTIVE から PRECHARGE までの時間
t_{RCD}	ACTIVE から READ または WRITE までの時間
t_{REFI}	メモリリフレッシュの間隔
t_{RFC}	REFRESH から ACTIVE/REFRESH までの間隔
t_{RP}	PRECHARGE 時間
t_{RRD}	ACTIVE から ACTIVE までの時間
t_{RTP}	READ から PRECHARGE までの間隔
t_{WTR}	WRITE から READ までの間隔
AL	Additive Latency

名称	説明
CL	CAS Latency
WR_CYC	Write recovery for autoprecharge

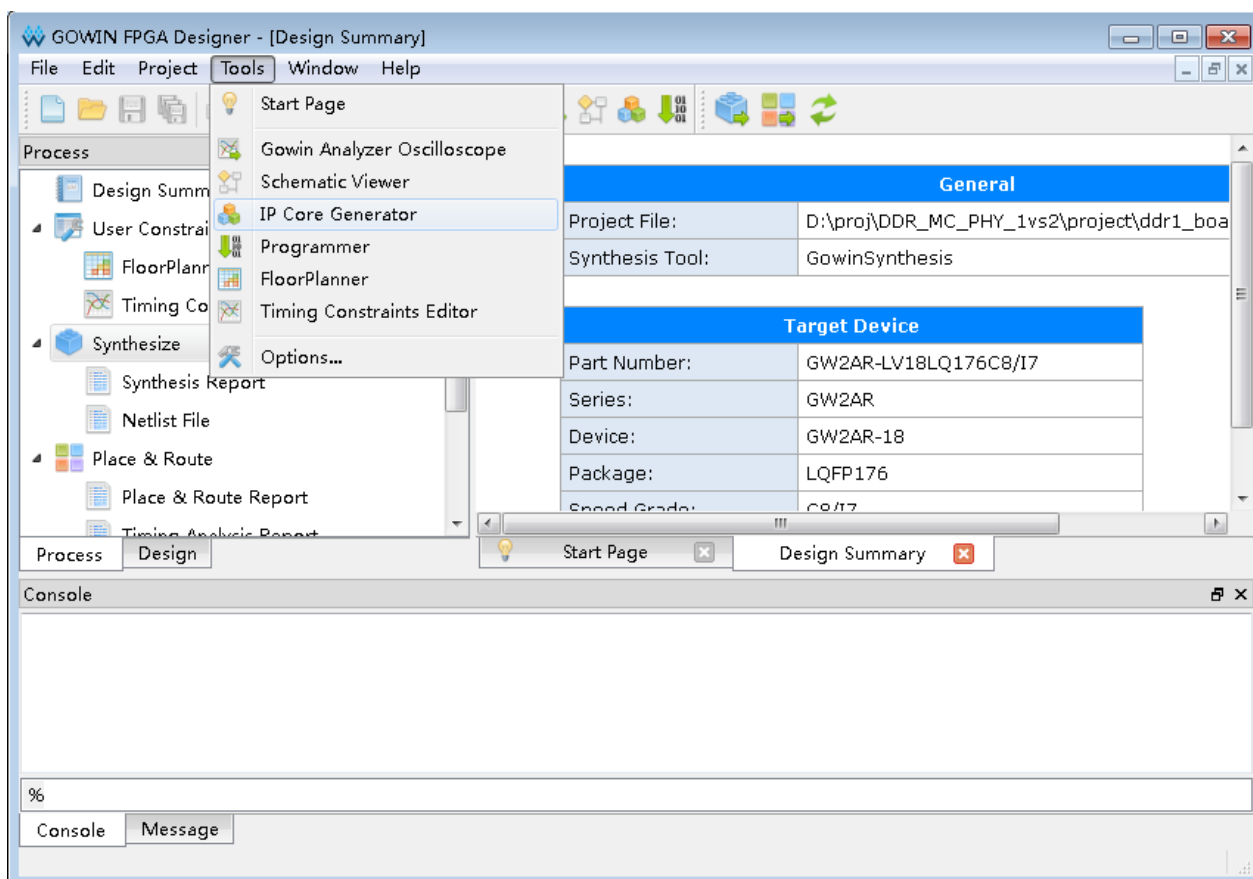
6 GUI での構成

ユーザーは、IDE の IP Core Generator を使用して Gowin DDR Memory Interface IP を呼び出しおよび構成することができます。本章では、EM6A9160-4 メモリを例に、主な構成画面、構成手順、及び各構成オプションの意味を説明します。

1. IP Core Generator を開く

プロジェクトが作成された後、「Tools > IP Core Generator」を開きます(図 6-1)。

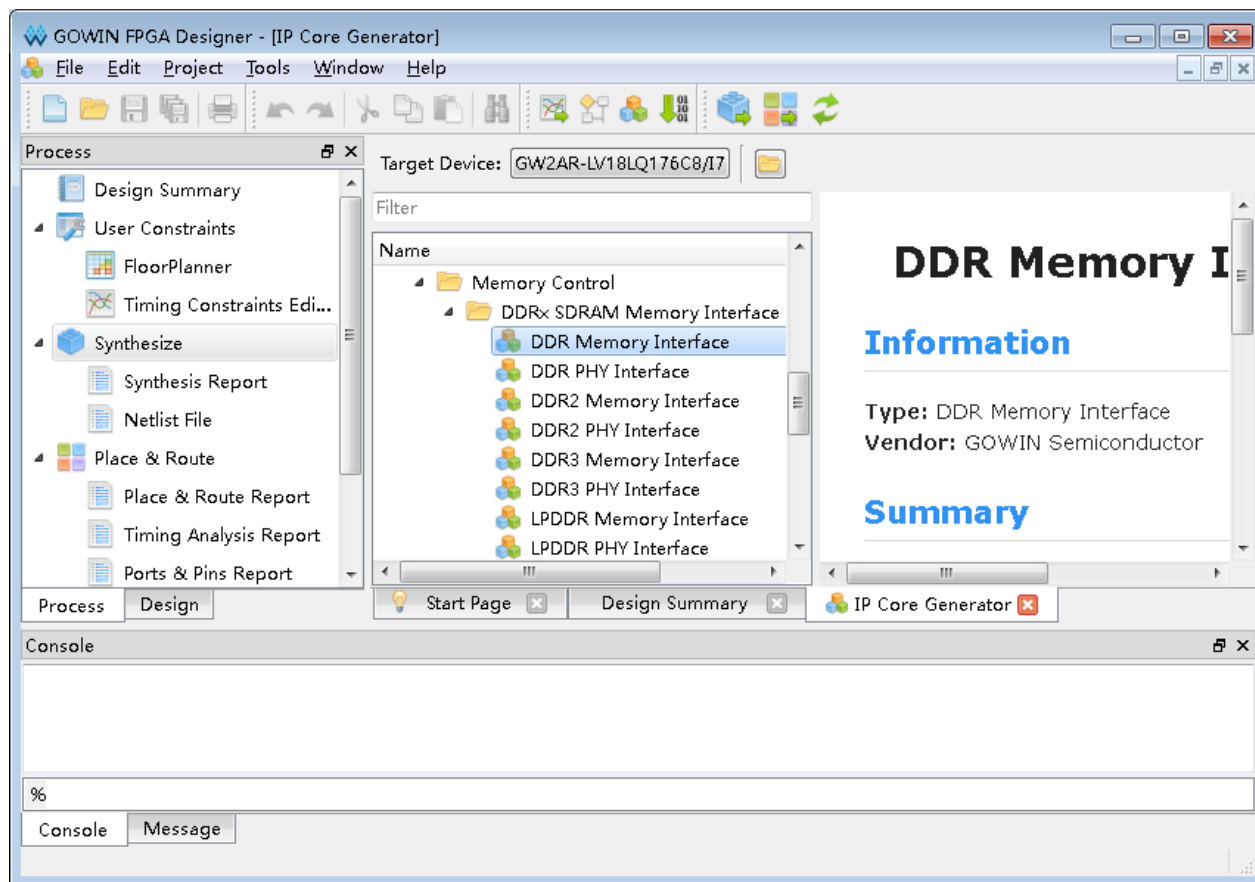
図 6-1 IP Core Generator を開く



2. DDR Memory Interface IP コアを開く

DDR_x SDRAM Memory Interface > DDR Memory Interface をダブルクリックすると、DDR Memory Interface IP コアの構成画面が開きます(図 6-2)。

図 6-2 DDR Memory Interface IP コアを開く

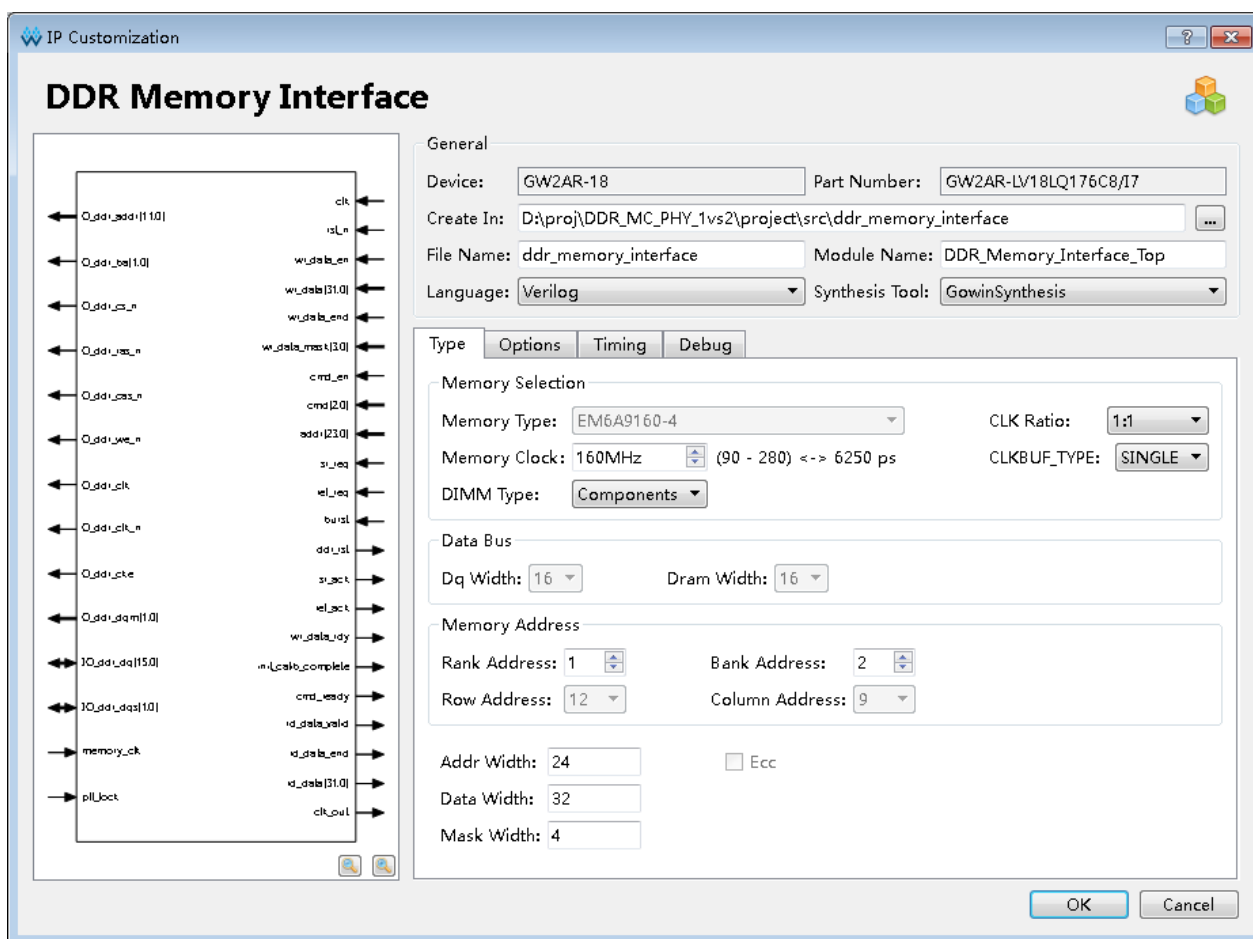


3. DDR Memory Interface IP コアの構成画面

構成画面の左側は DDR Memory Interface IP コアのポート図です(図 6-3)。

ポート図の左側は DDR Memory Controller とユーザーデザイン間のインターフェースであり、ユーザーはユーザーデザインを DDR Memory Interface IP に接続して、コマンドおよびデータの送受信を実現します。ポート図の右側は PHY(Physical interface)とメモリ間のインターフェースであり、ユーザーは DDR Memory Interface IP コアを介してメモリのデータへのアクセスを実現します。ポート図の信号幅、信号数は構成により異なります。

図 6-3 IP コアの構成画面

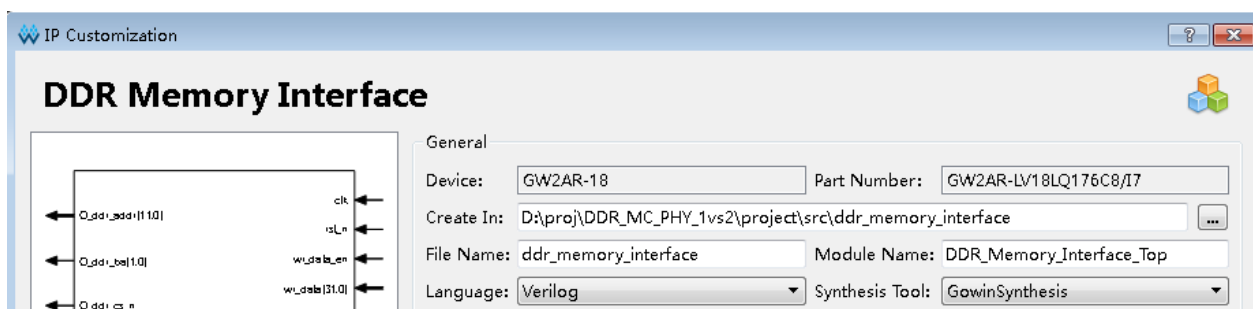


4. 一般情報の構成

図 6-4 は一般情報の構成エリアであり、本マニュアルでは、GW2AR-18 デバイス LQFP-176 パッケージを例に説明します。

- 「Module Name」は、生成れる IP モジュールのモジュール名です。この名前は変更可能です。
- 「File Name」は、生成される IP ファイルのファイル名です。この名前は変更可能です。
- 「Create In」は、IP コアのフォルダのパスです。このパスは変更可能です。

図 6-4 一般情報の構成画面



5. Type タブ

Type タブで、ユーザーは使用する DDR メモリチップの基本情報を構成する必要があります(図 6-5)。

- Select Memory オプション

- **Memory Type** オプションで、まずメモリモデルを選択します。例えば、EM6A9160-4 メモリを選択すると、これらの情報が自動的に生成され、必要に応じて変更することができます。**Custom** を選択すると、ユーザーは実際に応じてパラメータを選択する必要があります。
- **CLK Ratio** オプションは、GOWIN メモリコントローラーと物理インターフェースのクロック比であり、1:1/1:2 をサポートします。
- **Memory Clock** は、GOWIN メモリコントローラのクロック周波数で、90~250MHz の範囲内でユーザーは任意に選択できます。後のオプションは自動的にサイクル長に変換され、単位は ps です。デフォルトは 160MHz(つまり、6250ps)です。データレートは **Memory Clock** の 2 倍です。
- **DIMM Type** では、ユーザーは DIMM タイプとして RDIMMS、UDIMMS、SoDIMMS、または **Components** を選択できます。

- Data Bus オプション

- **Dq Width** は、メモリのデータ幅で、8、16、24、32、40、48、56、64、または 72 に構成できます。72 を選択した場合、ECC オプションをオンまたはオフにでき、それ以外の場合、ECC はグレイアウトします。
- **Dram Width** は、DDR メモリの DQ 幅です。DDR メモリが決まった後、ユーザーはこれを変更できません。**Memory Type** として **Custom** を選択した場合、ユーザーは DQ 幅を選択する必要があります。

- Memory Address オプション

Memory Address では、主に DDR メモリの Rank, Bank, Row および Column のアドレス情報が入力されます。DDR メモリタイプを選択すると、これらの情報が自動的に入力されます。**Custom** を選択すると、ユーザーは使用している DDR メモリタイプに従ってアドレス情報を選択する必要があります。

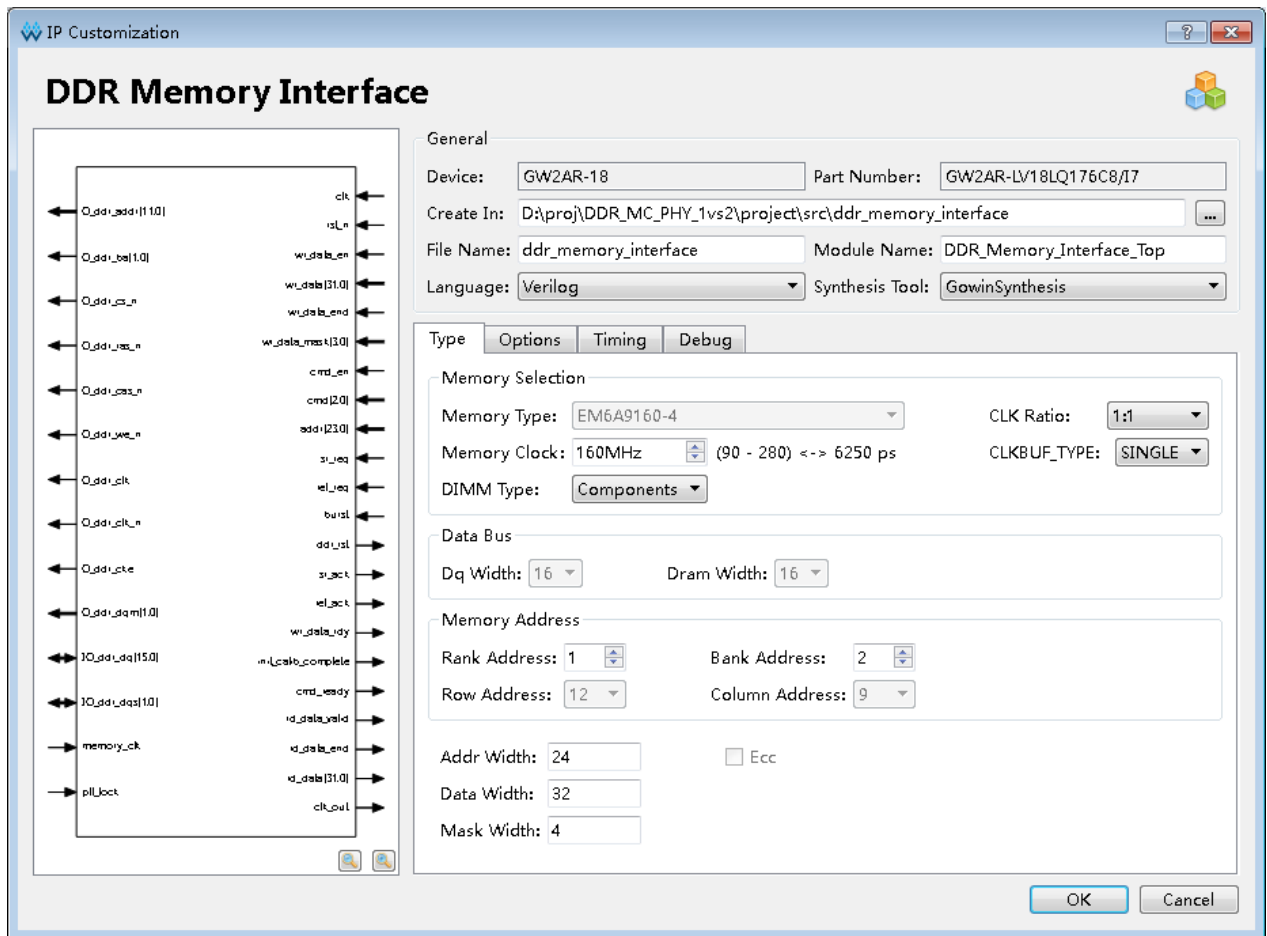
- ECC オプション

ユーザーが DQ 幅を 72 に選択した場合にのみチェックできます。つまり、データ DQ 幅は 64 で、他の 8 の DQ 幅は ECC チェック幅です。

注記：

Addr Width の幅は Rank+Bank+Row+Colum、Data Width は 4*Dq(クロック比 1:2)または 2*DQ(クロック比 1:1)、Mask Width は Data Width/Dram Width です。上記の 3 つのオプションはソフトウェアによって計算されます。

図 6-5 Type タブ



6. 「Options」 タブ

Options タブを図 6-6 に示します。

● Memory options オプション

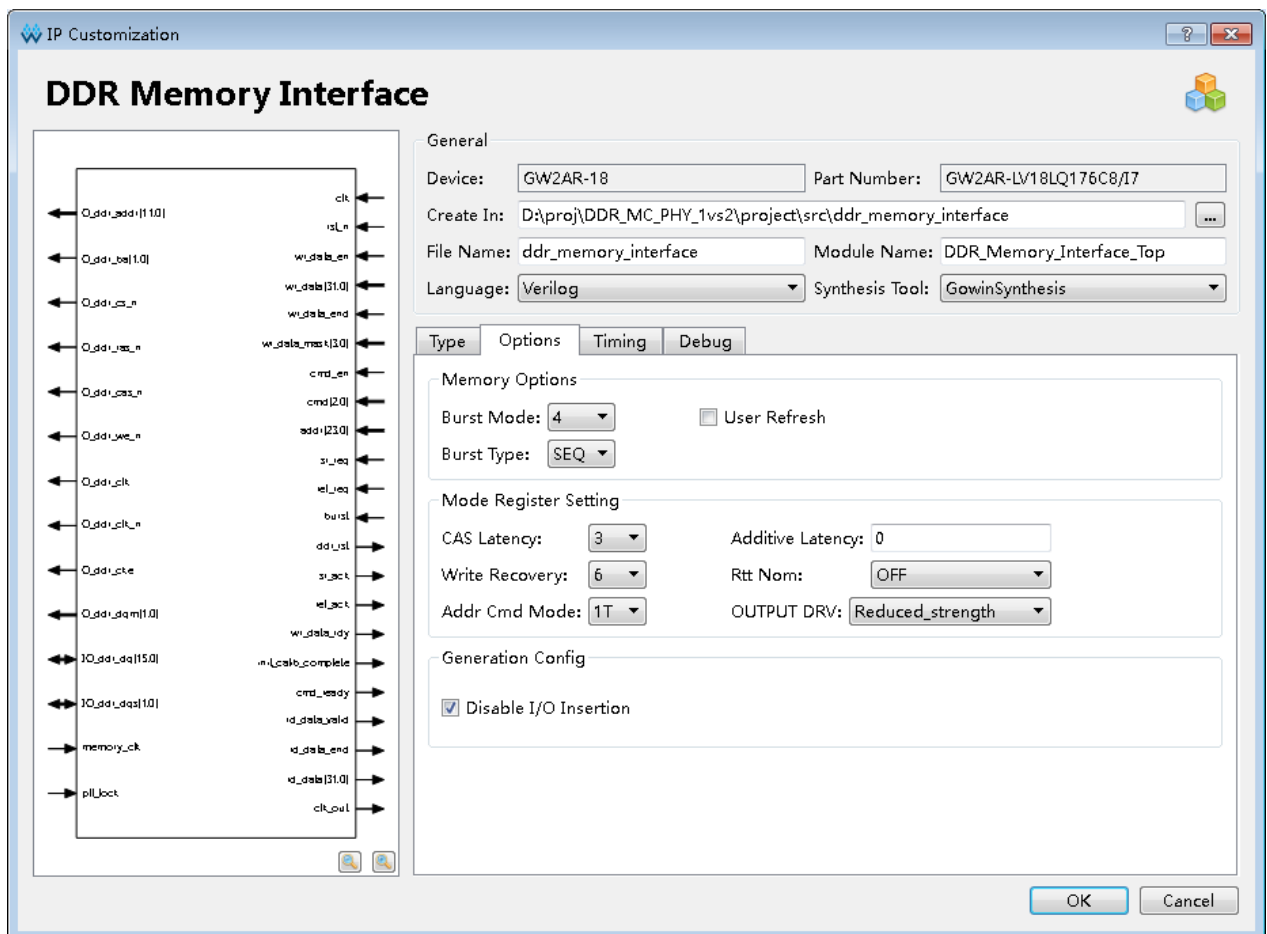
- **Burst Mode** では、バースト長を選択します。2 または 4 または 8 を選択できます。デフォルトは 4 です(クロック比が 1 : 2 の場合、2 は選択できません)。
- **Burst Type** では、バーストタイプを選択します。シーケンシャル(Sequential(SEQ)、デフォルト)またはインターリーブ(Interleaved)を選択できます。
- **User Refresh** は、ユーザーがリフレッシュリクエストを送信できるようにするかどうかを尋ねます。デフォルトはチェックされておらず、セルフリフレッシュは GOWIN Memory Controller によって制御されます。

● Mode Register Setting オプション

- **CAS Latency** は、DDR メモリの CL パラメータ、つまり、列アドレスパルスのストロークのレイテンシ期間です。デフォルトは 4 です。必要に応じて 2/2.5/3 を選択できます。
- **Additive Latency** は、DDR メモリの AL パラメータ、つまり追加のレイテンシです。デフォルトは 0 です。必要に応じてオプション 0 を選択できます。

- Write Recovery は、DDR メモリの WR パラメータであり、デフォルトは 6 です。必要に応じて 2/3/4/5/6 を選択できます。
 - Rtt Nom は、DDR メモリの ODT 抵抗パラメータであり、デフォルトは OFF です。必要に応じて OFF/75/150/50 を選択できます。
 - Add Cmd Mode は、DDR メモリのコマンド時間タイプで、デフォルトは 1T です。必要に応じて 1T/2T を選択できます。
 - OUTPUT DRV は、DDR メモリの出力ドライブオプションです。デフォルトは Full strength です。必要に応じて、Full strength/Reduced strength を選択できます。
- Generation Config オプション
Generation Config オプションをチェックすると、生成された IP には、IBUF、OBUF などのプリミティブがなく、ロジックはポートに直接接続されます。デフォルトではチェックされています。

図 6-6 「Options」タブ



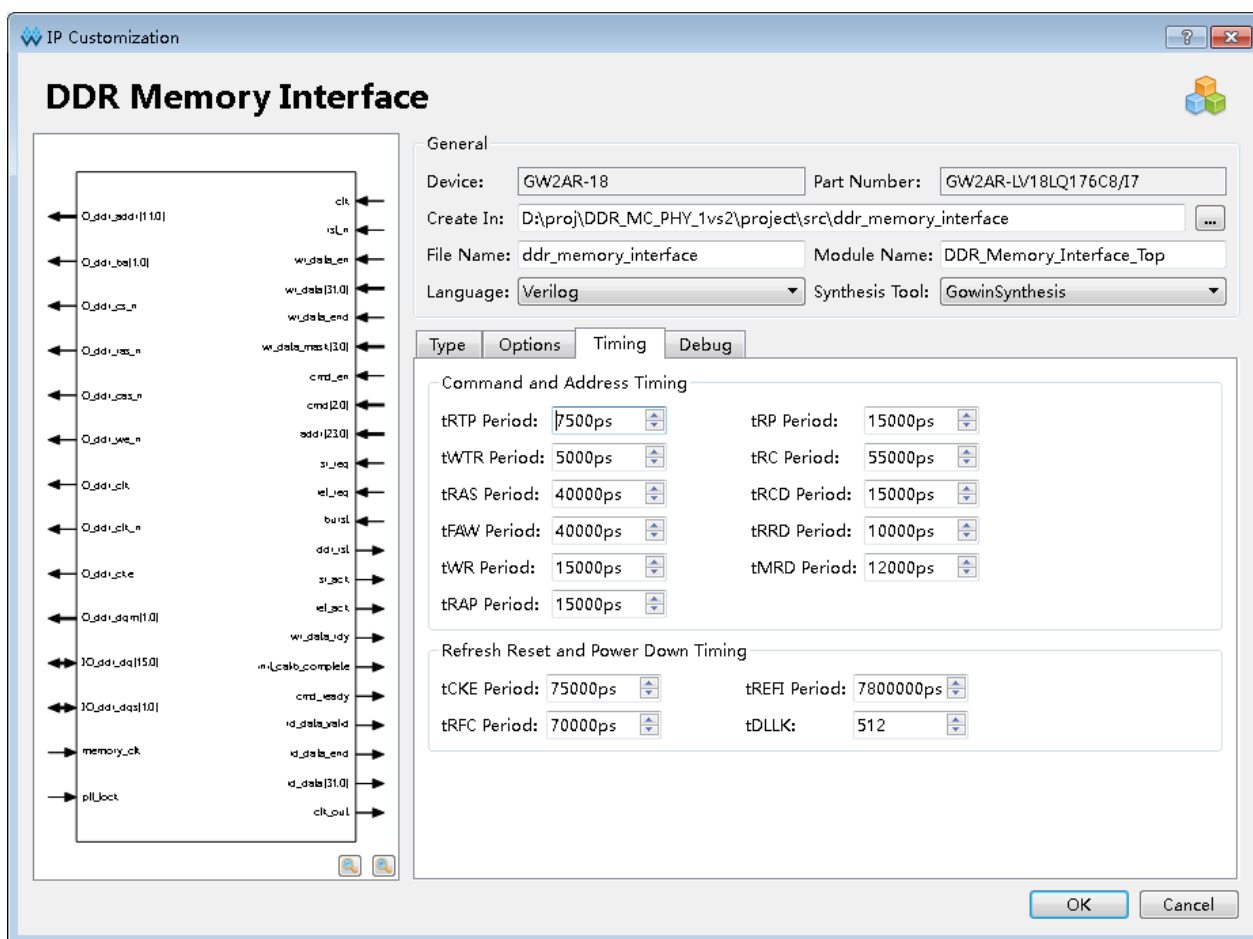
7. Timing オプション

Timing タブを図 6-7 に示します。構成が完了したら、OK をクリックして IP を生成します。

- Command and Address Timing オプション

- **tRTP Period** は、DDR メモリ内の **READ** から **PRECHARGE** までの時間です。デフォルトは **7500ps** であり、変更できます。
- **tRP Period** は、DDR メモリ内の **PRECHARGE** サイクルです。デフォルトは **12500ps** であり、変更できます。
- **tWTR Period** は、DDR メモリ内の **WRITE** から **READ** までの時間です。デフォルトは **75000ps** であり、変更できます。
- **tRC Period** は、DDR メモリ内の **ACTIVE** から **ACTIVE** までの時間です。デフォルトは **55000ps** であり、変更できます。
- **tRAS Period** は、DDR メモリ内の **ACTIVE** から **PRECHARGE** までの時間です。デフォルトは **37500ps** であり、変更できます。
- **tRCD Period** は、DDR メモリ内の **ACTIVE** から **READ/WRITE** までの時間です。デフォルトは **12500ps** であり、変更できます。
- **tFAW Period** は、DDR メモリの同じ **rank** で **4** つ以上の行アクティブコマンドの同時送信を許容する間隔時間。そのため、**tRRD** の **4** 倍以上である必要があります。デフォルトは **40000ps** であり、変更できます。
- **tRRD Period** は、DDR メモリの **ACTIVE** から **ACTIVE** までの時間です。デフォルトは **7500ps** であり、変更できます。
- **tWR Period** は、書き込みリカバリ時間です。
- **tMRD Period** は、モードレジスタ設定サイクル時間です。
- **tRAP Period** は、アクティベーションから自動プリチャージまでの遅延です。
- **Refresh, Reset and Power Timing オプション**
 - **tCKE Period** は、DDR メモリの **CKE** 信号の最小パルス時間(ps)です。デフォルトは **75000ps** であり、変更できます。
 - **tREFI Period** は DDR メモリのリフレッシュ間隔です。デフォルトは **7800000ps** であり、変更できます。
 - **tRFC Period** は、DDR メモリの **REFRESH** から **ACTIVE/REFRESH** までの間隔です。デフォルトは **160000ps** であり、変更できます。
 - **tDLLK Period** は、DLL サイクルの数です。デフォルトは **512** であり、変更できます。

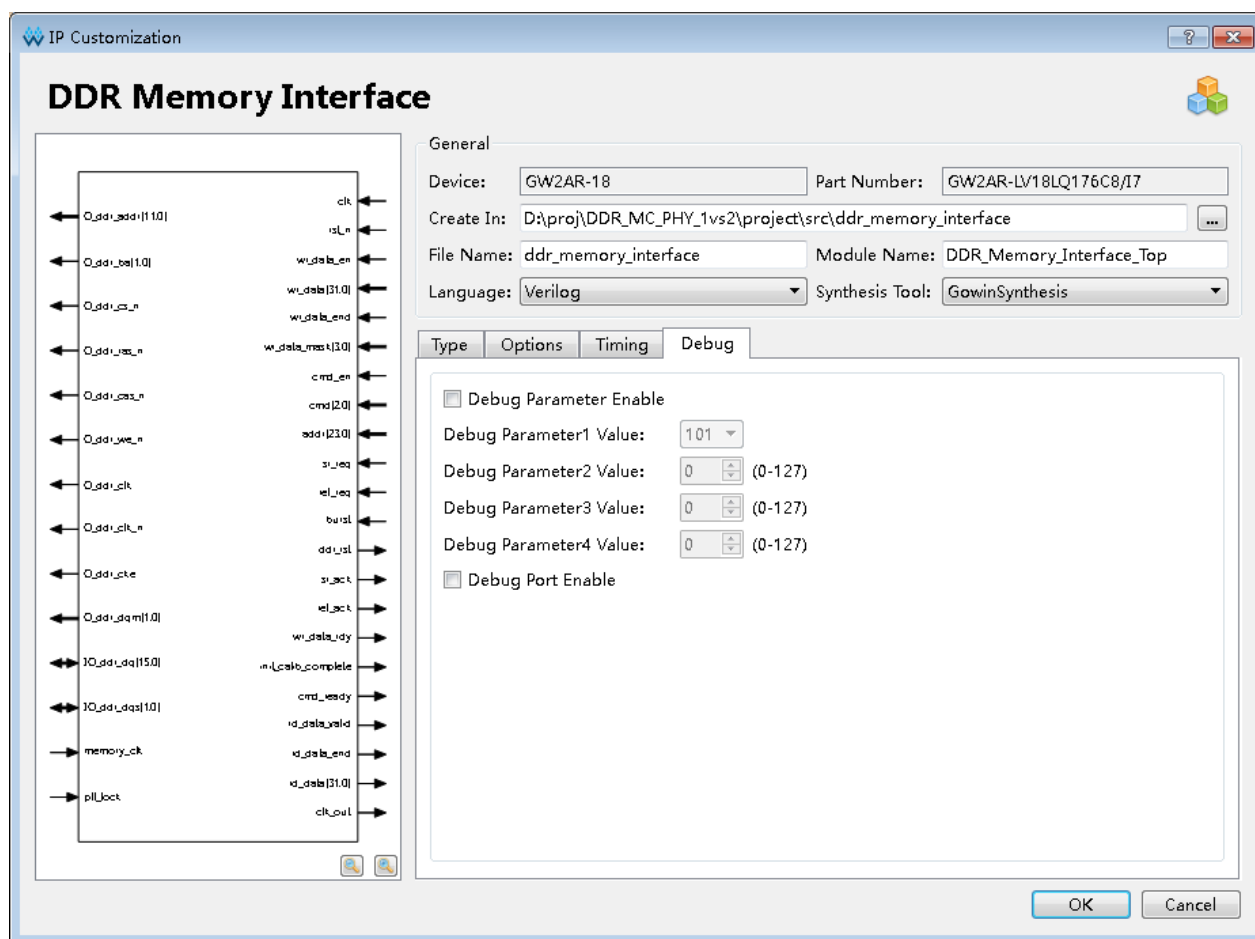
図 6-7 Timing タブ



8. Debug タブ

図 6-8 に **Debug** タブを示します。チェックすると、デバッグパラメータとデバッグポートがイネーブルされます。パラメータとポートの意味については、FAE にお問い合わせください。

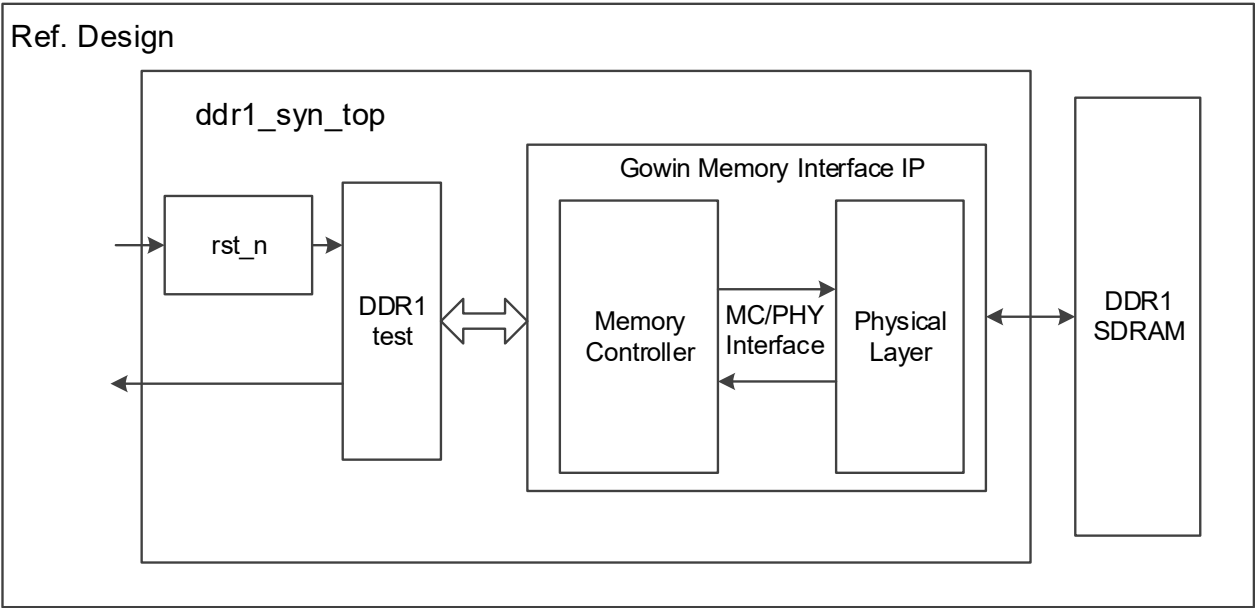
図 6-8 Debug タブ



7 リファレンス・デザイン

ユーザーが Gowin DDR Memory Interface IP を使いこなせるよう簡単な [リファレンス・デザイン](#) が提供されています。リファレンス・デザインの基本構造を [図 7-1](#) に示します。

図 7-1 リファレンス・デザインの基本構造



リファレンス・デザインでは、`ddr1_syn_top` はトップ・モジュールであり、そのポートはリファレンス・クロックや外部リセットなどの入力信号に接続されています。ポートの接続は [表 7-1](#) のとおりです。`DDR1_test` は Gowin Memory Interface IP に必要なアドレス、データ、及び読み出し書き込み等のコマンドを生成するのに使用される、合成可能なモジュールです。

表 7-1 `ddr1_syn_top` モジュールの入力ポート一覧

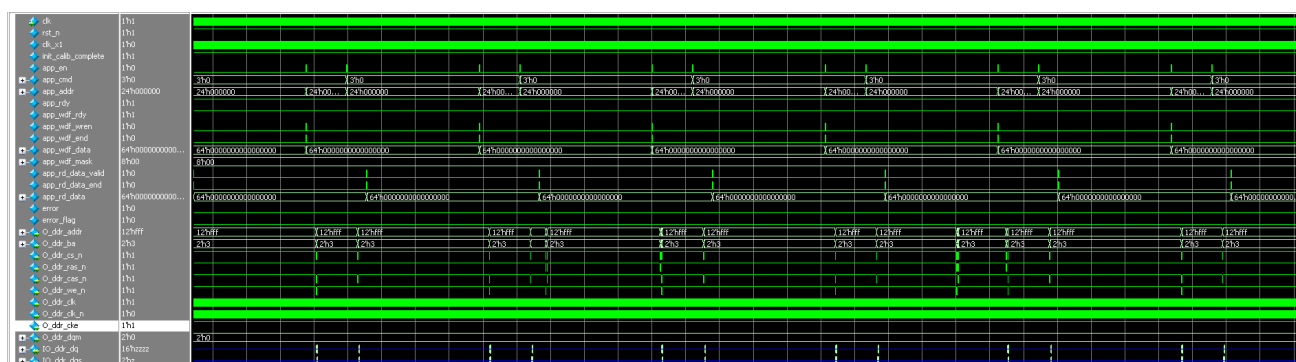
名称	説明
clk	リファレンス・クロック(入力)、デフォルトで 50MHz

名称	説明
rst_n	リセット信号(入力)

DDR1_test は、異なるアドレスに対して書き込み及び読み出しを行います。ユーザーは、書き込まれたアドレスやデータなどを変更し、Gowin Memory Interface IP から返された読み出しデータを分析および検証することができます。このリファレンス・デザインでは、メモリチップのモデルは EM6A9160-4 で、バーストモードは BC4、DQ 幅は 16 ビットです。

DDR1_test と Memory Interface IP ポート間の一部の信号のシミュレーション波形は [図 7-2](#) に示す通りです。

図 7-2 DDR1_test の一部のシミュレーション波形(クロック比 1 : 2)



8 提供されるファイル

提供されるファイルには主に、ドキュメント、デザインのソースコード、およびリファレンス・デザインが含まれています。

8.1 ドキュメント

フォルダにはユーザーガイド(PDF ファイル)があります。

表 8-1 ファイル一覧

名称	説明
Gowin DDR Memory Interface IP ユーザーガイド(IPUG507)	GOWIN セミコンダクター DDR メモリインターフェース IP ユーザーガイド、即ち本マニュアル。

8.2 デザインのソースコード(暗号化)

暗号化コードのフォルダには、GUI で使用される、Gowin DDR Memory Interface IP の RTL 暗号化コードが含まれています。

表 8-2 デザインのソースコード一覧

名称	説明
DDR_TOP.v	暗号化されていない、IP コアのトップレベル・ファイル。ユーザーにインターフェース情報を提供します。
ddr_name.v	暗号化されていない、プロジェクト命名ファイル。プロジェクト命名は、GUI から入力されます。
gwmc_param.v	暗号化されていない、GUI を介して生成された Gowin メモリコントローラパラメータ構成モジュールファイル。
gwmc_local_param.v	暗号化された、GUI から入力されたパラメータを処理する Gowin メモリコントローラパラメータ処理モジュールファイル。
ddr_code.v	暗号化コード

8.3 リファレンス・デザイン

Ref. design フォルダには、主に Gowin DDR Memory Interface IP のネットリスト・ファイル、リファレンス・デザイン、制約ファイル、トップレベル・ファイル、およびプロジェクト・フォルダなどが含まれています。

表 8-3 Ref. design フォルダのコンテンツ一覧

名称	説明
ddr1_syn_top.v	リファレンス・デザインのトップ・モジュール
DDR1_test.v	ステイミュラス生成モジュール
DDR_Memory_Interface.vo	Gowin DDR Memory Interface IP ネットリスト・ファイル
ddr.cst	物理制約ファイル
ddr.sdc	タイミング制約ファイル
DDR_Memory_Interface	IP フォルダ

