

GW1N シリーズ FPGA 製品(オートモーティブ) データシート

DS173-1.7.1J, 2026-07-10

著作権について(2026)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云、Gowin、及びLittleBeeは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、**GOWINSEMI Terms and Conditions of Sale**(GOWINSEMI 取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2021/03/05	1.0J	初版。
2021/11/30	1.01J	PG256 パッケージの情報を削除。
2022/04/08	1.1J	● GW1N-2 デバイスの情報を追加。 ● オンチップオシレータのパラメータを更新。
2022/4/15	1.1.1J	UV バージョンの情報を削除。
2023/03/16	1.2J	● 「表 3-1 絶対最大範囲」を更新。 ● 「表 3-2 推奨動作条件」を更新。 ● 「表 3-3 電源のランプレート」を更新。 ● 「表 3-5 POR 電圧パラメータ」を更新。 ● 「表 3-8 推奨動作条件内の DC 電気特性」を更新。 ● 「図 2-4 CFU 構造の説明図」の注記を更新。 ● 差動入力スレッシュホールド V_{THD} の最大値を更新。 ● DC 電流制限に関する注記を追加。 ● GW1N-2 の読み込み周波数の説明を追加。 ● コンフィギュレーション Flash の説明を追加。 ● バイトイネーブル機能に関する注記を追加。 ● Slew Rate の説明を削除。 ● True LVDS の説明を変更。 ● GPIO のデフォルト状態に関する注記を変更。
2023/06/30	1.3J	● GW1N-9 デバイスの情報を追加。 ● I/O ロジックの出力部の説明図と I/O ロジックの入力部の説明図を組み合わせて「図 2-10 I/O ロジックの入力と出力の説明図」に更新。 ● MIPI 入力/出力の説明を更新。 ● Flash リソースの説明を更新。 ● 「表 2-5 BSRAM の構成モード一覧」の注記を変更。 ● 「2.4.2 BSRAM の構成モード」を更新。 ● 「表 2-9 MIPI IO モードをサポートする GW1N シリーズ FPGA 製品(オートモーティブ)の一覧」を追加。 ● 「図 4-2 デバイスのパッケージのマーク例」を更新。
2023/09/08	1.4J	● GW1N-9 デバイスの情報を更新。 ● 「表 3-8 推奨動作条件内の DC 電気特性」の注記を変更。 ● 「表 3-23 GW1N-2/4/9 の User Flash のタイミングパラメータ」を更新。 ● 「図 4-2 デバイスのパッケージのマーク例」を更新。 ● GPIO のデフォルト状態に関する注記を最適化。 ● セクション「2.4.7 パワーアップ状況」を削除。 ● ドキュメントの構造を調整。
2023/10/30	1.5J	● GW1N-9 デバイス QN88F パッケージを追加。 ● 「表 2-1 GW1N シリーズ FPGA 製品(オートモーティブ)でサポートされる出力 I/O タイプ及び一部のオプション」および「表 3-12 シングルエンド I/O の DC 電気

日付	バージョン	説明
		特性」に注記を追加。 ● 「表 3-17 Gearbox のタイミングパラメータ」を最適化。 ● 「表 3-9 静的電流」に注記を追加。 ● GW1N-9 デバイスの V_{CCIO} 電源供給の制限に関する説明を削除。
2025/04/11	1.6J	● Flash リソースの説明を更新。 ● 「表 2-1 GW1N シリーズ FPGA 製品(オートモーティブ)でサポートされる出力 I/O タイプ及び一部のオプション」を更新：一部の I/O タイプのドライブ強度値を修正。 ● 「表 2-2 GW1N シリーズ FPGA 製品(オートモーティブ)でサポートされる入力 I/O タイプ及び一部のオプション」を更新：一部の I/O タイプの V_{CCIO} 値を変更。 ● 「表 2-5 BSRAM の構成モード一覧」に注記を追加：ROM モードをサポートしないデバイスの情報を追加。 ● 「図 2-6 GW1N-2 の I/O Bank の配置図」の Bank6 の説明を追加。 ● 「表 3-1 絶対最大範囲」と「表 3-2 推奨動作条件」を更新：ハード MIPI D-PHY の電圧情報を追加。 ● 「表 3-2 推奨動作条件」を更新：ジャンクション温度の範囲を変更。 ● 「表 3-2 推奨動作条件」に注記を追加。 ● 「表 3-12 シングルエンド I/O の DC 電気特性」を更新：LVCMOS12 規格の I_{OL} と I_{OH} を変更。 ● 「表 3-17 Gearbox のタイミングパラメータ」を更新。 ● 「表 3-20 オンチップオシレータのパラメータ」を更新。 ● 「図 4-1 デバイス・オーダー・コード - Production」を更新。 ● IODELAY モジュールの説明を更新。 ● デュアル・ポート BSRAM とセミ・デュアル・ポート BSRAM の機能説明の注記を変更。 ● MIPI IO の説明を改善。 ● スwitchング特性のパラメータを更新。
2026/04/03	1.7J	● 「表 1-1 製品情報一覧」を更新：ハード MIPI D-PHY RX のサポート情報を追加。 ● 「表 2-1 GW1N シリーズ FPGA 製品(オートモーティブ)でサポートされる出力 I/O タイプ及び一部のオプション」を更新：LVCMOS12D のドライブ強度値を修正。 ● 「表 2-2 GW1N シリーズ FPGA 製品(オートモーティブ)でサポートされる入力 I/O タイプ及び一部のオプション」を最適化。 ● 「表 2-5 BSRAM の構成モード一覧」に注記を追加。 ● 「表 3-18 シングルエンド IO の F_{max}」を最適化。 ● 「表 3-23 GW1N-2/4/9 の User Flash のタイミングパラメータ^{[1], [4], [5]}」の注記を更新。

日付	バージョン	説明
		● 「図 2-17 GW1N-2 の HCLK の説明図」、「図 2-18 GW1N-4 の HCLK の説明図」、「図 2-19 GW1N-9 の HCLK の説明図」を最適化。 ● 「図 4-2 デバイスのパッケージのマーク例」の注記を更新。 ● 「表 5-1 用語、略語」を更新：項目「CLU」を追加。
2026/07/10	1.7.1J	● AEC-Q100 認証情報を追加。 ● 「表 1-2 各パッケージの最大ユーザーI/O 数(True LVDS ペア数)」を更新：最大ユーザーI/O 数のカウント基準を統一。 ● 「図 2-18 GW1N-4 の HCLK の説明図」、「図 2-19 GW1N-9 の HCLK の説明図」を更新。

目次

目次	i
図一覧.....	iv
表一覧.....	v
1 製品の概要.....	1
1.1 特徴.....	1
1.2 製品情報一覧	3
1.3 パッケージ情報一覧.....	3
2 アーキテクチャ.....	4
2.1 アーキテクチャの概要	4
2.2 コンフィギュラブル機能ユニット	7
2.3 入出力ブロック	8
2.3.1 I/O 規格	9
2.3.2 True LVDS 設計	16
2.3.3 I/O ロジック	16
2.3.4 I/O ロジックの動作モード	19
2.4 BSRAM	19
2.4.1 概要.....	19
2.4.2 BSRAM の構成モード	20
2.4.3 混合データ幅	22
2.4.4 バイトイネーブル機能.....	23
2.4.5 パリティビット機能.....	23
2.4.6 同期操作.....	23
2.4.7 BSRAM の動作モード	23
2.4.8 クロックモード	25
2.5 User Flash(GW1N-2/4/9).....	26
2.5.1 概要.....	26
2.6 DSP リソース	27
2.6.1 マクロセル	27
2.6.2 DSP 動作モードの構成.....	28

2.7 MIPI D-PHY	29
2.7.1 ハード MIPI D-PHY RX (GW1N-2)	29
2.7.2 GPIO によるソフト MIPI D-PHY RX/TX	29
2.8 クロック	30
2.8.1 グローバル・クロック	30
2.8.2 位相同期回路	31
2.8.3 高速クロック	31
2.9 ロングワイヤ	32
2.10 グローバル・セット/リセット	32
2.11 プログラミング・コンフィギュレーション	33
2.11.1 SRAM コンフィギュレーション	33
2.11.2 Flash プログラミング	33
2.12 オンチップオシレータ	34
3 電気特性	36
3.1 動作条件	36
3.1.1 絶対最大範囲	36
3.1.2 推奨動作条件	36
3.1.3 電源のランプレート	37
3.1.4 ホットプラグ特性	38
3.1.5 PoR 特性	38
3.2 ESD	38
3.3 DC 電気特性	39
3.3.1 推奨動作条件内の DC 電気特性	39
3.3.2 静的電流	41
3.3.3 プログラミング電流	41
3.3.4 I/O の推奨動作条件	42
3.3.5 シングルエンド I/O の DC 電気特性	44
3.3.6 差動 I/O の DC 電気特性	45
3.4 スイッチング特性	46
3.4.1 CFU のスイッチング特性	46
3.4.2 BSRAM のスイッチング特性	47
3.4.3 DSP のスイッチング特性	48
3.4.4 Gearbox のスイッチング特性	49
3.4.5 クロックおよび I/O のスイッチング特性	51
3.4.6 オンチップオシレータのスイッチング特性	51
3.4.7 PLL のスイッチング特性	52
3.5 User Flash の電気特性	52

3.5.1 DC 電気特性	52
3.5.2 タイミングパラメータ	54
3.5.3 タイミング図(GW1N-2/4/9).....	55
3.6 コンフィギュレーション・インターフェースのタイミング仕様.....	56
4 デバイス購入情報.....	57
4.1 デバイス・オーダー・コード	57
4.2 デバイスのパッケージマーク	58
5 本マニュアルについて	59
5.1 マニュアルの内容	59
5.2 関連ドキュメント	59
5.3 用語、略語	59
5.4 テクニカル・サポートとフィードバック	61

図一覧

図 2-1 アーキテクチャの説明図(GW1N-9)	4
図 2-2 アーキテクチャの説明図(GW1N-4)	5
図 2-3 アーキテクチャの説明図(GW1N-2)	5
図 2-4 CFU 構造の説明図	7
図 2-5 IOB 構造の説明図	8
図 2-6 GW1N-2 の I/O Bank の配置図	9
図 2-7 GW1N-4 の I/O Bank の配置図	10
図 2-8 GW1N-9 の I/O Bank の配置図	10
図 2-9 True LVDS 設計のブロック図	16
図 2-10 I/O ロジックの入力と出力の説明図	17
図 2-11 IODELAY の説明図	18
図 2-12 I/O レジスタの説明図	18
図 2-13 シングル・ポート・モード、セミ・デュアル・ポート・モード、及びデュアル・ポート・モードにおける Pipeline モード	24
図 2-14 独立クロックモード	25
図 2-15 読み出し書き込みクロックモード	26
図 2-16 シングル・ポート・クロックモード	26
図 2-17 GW1N-2 の HCLK の説明図	31
図 2-18 GW1N-4 の HCLK の説明図	32
図 2-19 GW1N-9 の HCLK の説明図	32
図 3-1 User Flash の読み出しタイミング	55
図 3-2 User Flash のプログラミングタイミング	56
図 3-3 User Flash の消去タイミング	56
図 4-1 デバイス・オーダー・コード—Production	57
図 4-2 デバイスのパッケージのマーク例	58

表一覧

表 1-1 製品情報一覧.....	3
表 1-2 各パッケージの最大ユーザー I/O 数(True LVDS ペア数)	3
表 2-1 GW1N シリーズ FPGA 製品(オートモーティブ)でサポートされる出力 I/O タイプ及び一部のオプション	11
表 2-2 GW1N シリーズ FPGA 製品(オートモーティブ)でサポートされる入力 I/O タイプ及び一部のオプション	13
表 2-3 ポートの説明	17
表 2-4 IODELAY の総遅延時間 (参考)	18
表 2-5 BSRAM の構成モード一覧 ^[3]	20
表 2-6 デュアル・ポートの場合の混合読み出し/書き込みデータ幅	22
表 2-7 セミ・デュアル・ポートの場合の混合読み出し/書き込みデータ幅.....	22
表 2-8 クロックモードと BSRAM モードの組み合わせ	25
表 2-9 MIPI IO モードをサポートする GW1N シリーズ FPGA 製品(オートモーティブ)の一覧.....	30
表 2-10 GW1N-2/9 のオンチップオシレータの一部の出力周波数オプション	34
表 2-11 GW1N-4 のオンチップオシレータの一部の出力周波数オプション	35
表 3-1 絶対最大範囲	36
表 3-2 推奨動作条件	37
表 3-3 電源のランプレート	37
表 3-4 ホットプラグ特性.....	38
表 3-5 POR 電圧パラメータ	38
表 3-6 GW1N ESD - HBM	38
表 3-7 GW1N ESD - CDM	39
表 3-8 推奨動作条件内の DC 電気特性	39
表 3-9 静的電流	41
表 3-10 プログラミング電流	41
表 3-11 I/O の推奨動作条件	42
表 3-12 シングルエンド I/O の DC 電気特性	44
表 3-13 差動 I/O の DC 電気特性.....	45
表 3-14 CFU 内部のタイミングパラメータ ^{[1], [2]}	46
表 3-15 BSRAM のタイミングパラメータ	47

表 3-16 DSP のタイミングパラメータ	48
表 3-17 Gearbox のタイミングパラメータ	49
表 3-18 シングルエンド IO の Fmax	50
表 3-19 外部スイッチング特性	51
表 3-20 オンチップオシレータのパラメータ	51
表 3-21 PLL のパラメータ ^[1]	52
表 3-22 GW1N-2/4/9 の User Flash の DC 電気特性 ^{[1], [4]}	52
表 3-23 GW1N-2/4/9 の User Flash のタイミングパラメータ ^{[1], [4], [5]}	54
表 5-1 用語、略語	59

1 製品の概要

LittleBee ファミリーの 1 シリーズに属する GW1N FPGA(オートモーティブ)は、豊富なロジックリソースを備え、さまざまな I/O 規格をサポートする FPGA です。また、GW1N FPGA(オートモーティブ)は、BSRAM、DSP、PLL、および Flash リソースを内蔵しており、低消費電力、インスタンタートオン、低コスト、高安全性、省スペース、豊富なパッケージタイプ、および使い易さ等の特徴を備えています。

さらに、GOWIN セミコンダクターは、合成、配置配線、ビットストリーム・ファイルの生成およびダウンロードなどのワンストップサービスをサポートする、自社で研究開発した市場志向の新世代 FPGA ハードウェア開発環境を提供します。

1.1 特徴

- User Flash(GW1N-2/4/9)
 - NOR Flash
 - 10,000 回の書き込みサイクル
 - 10 年以上のデータ保持時間(+85°C)
 - データ幅 : 32 ビット
 - ページ消去能力 : 2048 バイト
 - ワードプログラミング時間 : $\leq 16 \mu s$
 - ページ消去時間 : $\leq 120ms$
- コンフィギュレーション Flash (GW1N-2/4/9)
 - NOR Flash
 - 10,000 回の書き込みサイクル
 - 10 年以上のデータ保持時間(+85°C)
- 低消費電力
 - 55nm オンチップ Flash 技術
 - LV バージョン : 1.2V のコア電圧をサポート
 - クロックの動的 ON/OFF をサポート
- MIPI D-PHY RX ハード IP(GW1N-2)
 - MIPI DSI および CSI-2 RX インターフェースをサポート
 - IO Bank6 が MIPI D-PHY RX をサポート。
 - MIPI のレーンあたりの転送レートは最大 2Gbps
 - 最大 4 つのデータ・レーンと 1 つのクロック・レーンをサポート。

- **GPIO によるソフト MIPI D-PHY RX/TX**
 - MIPI CSI-2 および MIPI DSI(RX/TX)インターフェースをサポート。転送レート(レーンあたり)は最大 1.2Gbps
 - TLVDS、ELVDS、MIPI IO の 3 つの IO タイプを利用可能
- **複数の I/O 規格をサポート**
 - LVCMOS33/25/18/15/12 ; LVTTTL33, SSTL33/25/18 I, SSTL33/25/18 II, SSTL15 ; HSTL18 I, HSTL18 II, HSTL15 I ; PCI, LVDS25, RSDS, LVDS25E, BLVDSE, MLVDSE, LVPECLE, RSDSE
 - 入力信号のヒステリシス・オプションを提供
 - 出力信号のドライブ強度オプションを提供
 - 各 I/O に独立した Bus Keeper、プルアップ/プルダウン抵抗、および Open Drain 出力オプションを提供
 - ホットプラグをサポート
- **高性能 DSP ブロック(GW1N-4/9)**
 - 優れたデジタル信号処理能力
 - 9 x 9、18 x 18、36 x 36 ビットの乗算と 54 ビットのアキュムレータをサポート
 - 複数の乗算器のカスケード接続をサポート
 - レジスタのパイプラインとバイパス機能をサポート
- 前置加算によりフィルタ機能を実現
- バレルシフトレジスタをサポート
- **豊富な基本論理ユニット**
 - 4 入力 LUT(LUT4)
 - シフトレジスタ及び分散メモリをサポート
- **複数のモードの SRAM をサポート**
 - デュアル・ポート、シングル・ポート、およびセミ・デュアル・ポート・モードをサポート
 - バイトイネーブルをサポート
- **柔軟な PLL リソース**
 - クロックの周波数逡倍、分周、および位相調整を実現
 - グローバル・クロックをサポート
- **オンチップ Flash プログラミング**
 - インスタントオン
 - セキュリティ・ビットに対する操作をサポート
 - AUTO BOOT 及び DUAL BOOT プログラミングモードをサポート
- **プログラミング・コンフィギュレーション・モード**
 - JTAG コンフィギュレーション・モードをサポート
 - バックグラウンド・アップグレードをサポート
 - 最大 7 つの GowinCONFIG コンフィギュレーション・モードをサポート: AUTOBOOT、SSPI、MSPI、CPU、SERIAL、DUAL BOOT、I²C Slave。

1.2 製品情報一覧

表 1-1 製品情報一覧

デバイス	GW1N-2	GW1N-4	GW1N-9
LUT4	2,304	4,608	8,640
レジスタ	2,016	3,456	6,480
分散 SRAM(SSRAM)の容量(ビット)	18K	0	16K
ブロック SRAM(BSRAM)の容量(ビット)	72K	180K	468K
ブロック SRAM(BSRAM)の数(個)	4	10	26
User Flash(ビット)	96K	256K	608K
乗算器(18 x 18 Multiplier)	0	16	20
ハード MIPI D-PHY RX	1	0	0
位相同期回路(PLL)	1	2	2
I/O Bank 数	6	4	4
最大 GPIO 数	125	218	276
コア電圧(LV バージョン)	1.2V	1.2V	1.2V

1.3 パッケージ情報一覧

表 1-2 各パッケージの最大ユーザーI/O 数(True LVDS ペア数)

パッケージ	ピッチ(mm)	サイズ(mm)	GW1N-2	GW1N-4	GW1N-9	AEC-Q100 Grade
QN60	0.35	6 x 6	-	-	45 (11)	GW1N-LV9QN60A4 : Grade1
QN88	0.4	10 x 10	58 (17)	71 (11)	-	GW1N-LV2QN88A5 : Grade1 GW1N-LV4QN88A4 : Grade2
QN88F	0.4	10 x 10	-	-	70 (24)	GW1N-LV9QN88FA4 : Grade1

注記：

- JTAGSEL_N と JTAG ピン (TCK、TMS、TDI、TDO) を同時に GPIO として多重化する場合、JTAGSEL_N が Low (入力および出力を含む) になると、JTAG ピンが強制的に専用のコンフィギュレーション IO に戻される点に注意してください。ただし、mode[2:0] = 001 の場合 (入力および出力を含む) は、この影響を受けません。
- このマニュアルでは、パッケージタイプを表すために略語が使用されています。詳細については、4.1 デバイス・オーダー・コードを参照してください。

2 アーキテクチャ

2.1 アーキテクチャの概要

図 2-1 アーキテクチャの説明図(GW1N-9)

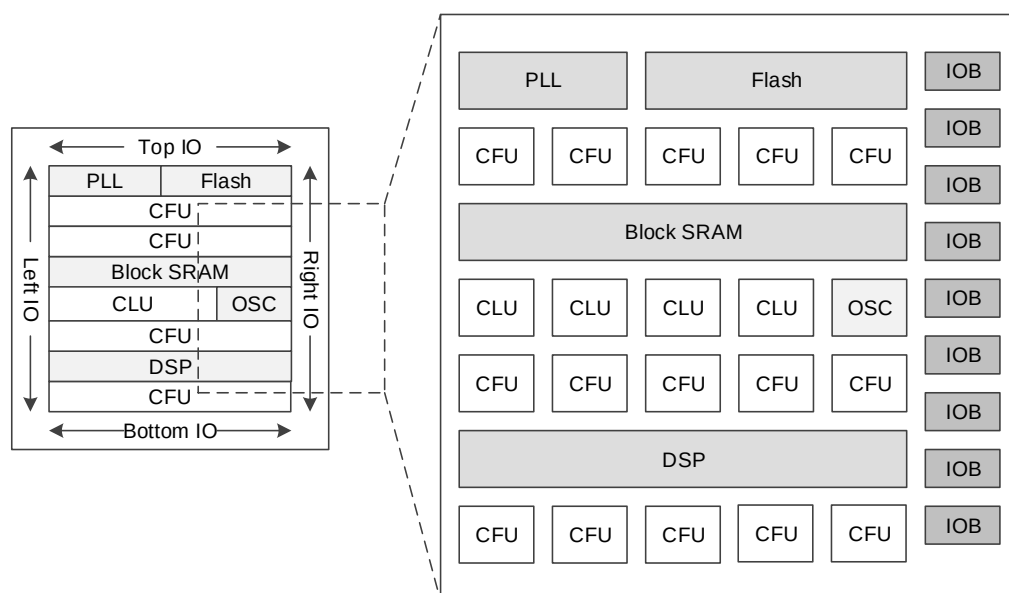


図 2-2 アーキテクチャの説明図(GW1N-4)

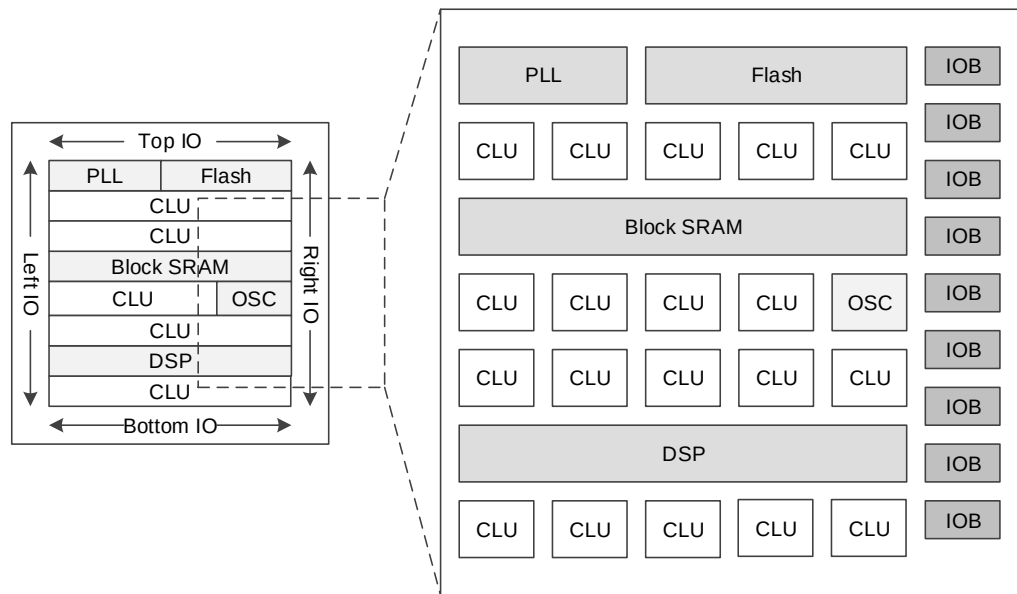


図 2-3 アーキテクチャの説明図(GW1N-2)

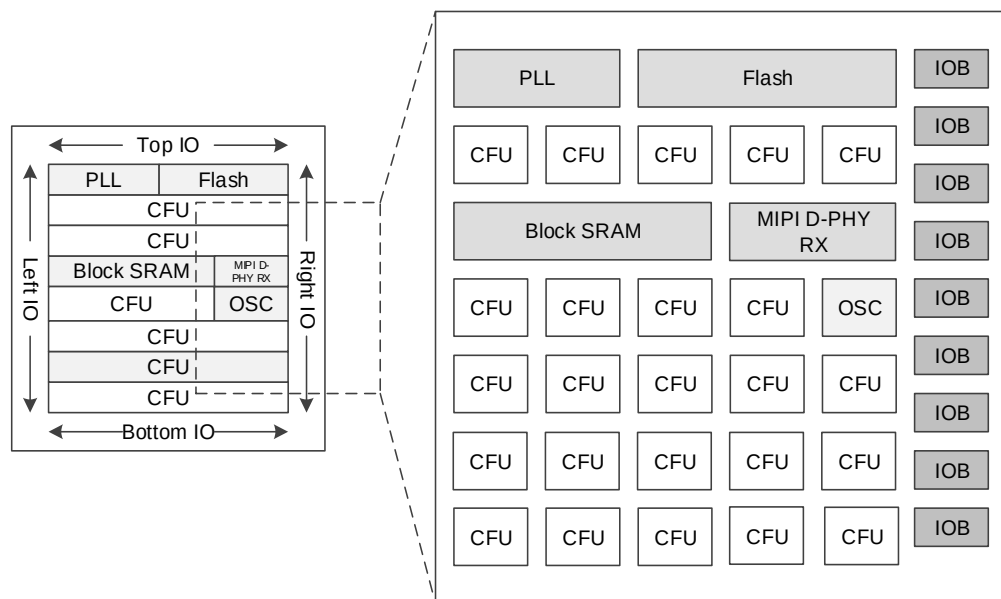


図 2-1~図 2-3 に示すように、GW1N シリーズ FPGA 製品(オートモーティブ)のコアは、IO ブロック(IOB)に囲まれた論理ブロックの配列です。デバイスには、BSRAM、DSP、PLL、オンチップオシレータ、及びインスタントオン機能対応 User Flash が組み込まれています。図 2-3 に示すように、GW1N-2 デバイスには、GW1N-4 デバイスに比べて、MIPI D-PHY RX ハード IP が組み込まれています。内部リソース数の詳細については、表 1-1 を参照してください。

GW1N シリーズ FPGA 製品(オートモーティブ)の基本的な構成要素は、コンフィギュラブル機能ユニット(CFU)およびコンフィギュラブル論理ユニット(CLU)です。デバイス内で行と列のマトリックスに配置されており、その行数と列数はデバイスの容量によって異なります。詳細については、

2.2 コンフィギュラブル機能ユニットを参照してください。

GW1N シリーズ FPGA 製品(オートモーティブ)の I/O リソースは、Bank 単位でデバイスの周辺に配置されています。I/O リソースは複数の規格に対応し、ベーシックモード、SDR モード、および汎用 DDR モードをサポートします。詳細については、[2.3 入出力ブロック](#)を参照してください。

GW1N シリーズ FPGA 製品(オートモーティブ)の BSRAM は、デバイスの内部で行として配列されています。BSRAM は、複数の構成モードと動作モードをサポートし、1 BSRAM の容量は 18K ビットです。詳細については、[2.4 BSRAM](#)を参照してください。

GW1N シリーズ FPGA 製品(オートモーティブ)の GW1N-2、GW1N-4、および GW1N-9 には、それぞれ 1M ビット、2M ビット、および 4M ビットの Flash リソースが組み込まれています。これらの Flash リソースには、コンフィギュレーション Flash リソースと User Flash リソースが含まれます。コンフィギュレーション Flash リソースはオンチップ Flash プログラミングに使用され、詳しくは [2.11 プログラミング・コンフィギュレーション](#)を参照してください。User Flash リソースはユーザーデータのストレージに使用され、詳しくは [2.5 User Flash\(GW1N-2/4/9\)](#)を参照してください。

GW1N-4 と GW1N-9 には、DSP が組み込まれています。各 DSP ブロックには 2 つのマクロセルがあり、各マクロセルには 2 つの前置加算器(pre-adder)、2 つの 18 ビット乗算器(multiplier)、及び 1 つの 3 入力算術論理演算装置(ALU54)があります。詳細については、[2.6 DSP リソース](#)を参照してください。

注記：

- GW1N-2 は現在のところ、デジタル信号処理(DSP)ブロックをサポートしません。

GW1N シリーズ FPGA 製品(オートモーティブ)には、PLL リソースがあります。PLL モジュールは、合成可能なクロック周波数を提供しており、パラメータを設定することで、クロックの周波数の調整(通倍及び分周)、位相の調整、デューティサイクルの調整等の機能を実現できます。さらに、プログラマブルなオンチップオシレータが組み込まれています。詳細については、[2.8 クロック](#)および [2.12 オンチップオシレータ](#)を参照してください。

GW1N-2 デバイスは、MIPI D-PHY RX ハード IP を備えており、詳しくは、[2.7 MIPI D-PHY](#)を参照してください。

また、FPGA デバイスには、FPGA 内部のすべてのリソースを接続する、豊富なコンフィギュラブル配線ユニット(CRU、Configurable Routing Unit)があります。コンフィギュラブル機能ユニット(CFU)と IOB 内部には、CFU 内部リソースと IOB 内部のロジックリソースを接続する配線リソースが分布しています。配線リソースは、GOWIN セミコンダクターの Gowin ソフトウェアによって自動的に生成されます。また、GW1N シリーズ FPGA 製品(オートモーティブ)は、豊富な専用クロックリソース、ロングワイヤ・

リソース、グローバル・セット/リセット、およびプログラミング/コンフィギュレーション・オプション等も提供しています。詳細については、[2.8 クロック](#)、[2.9 ロングワイヤ](#)、[2.10 グローバル・セット/リセット](#)を参照してください。

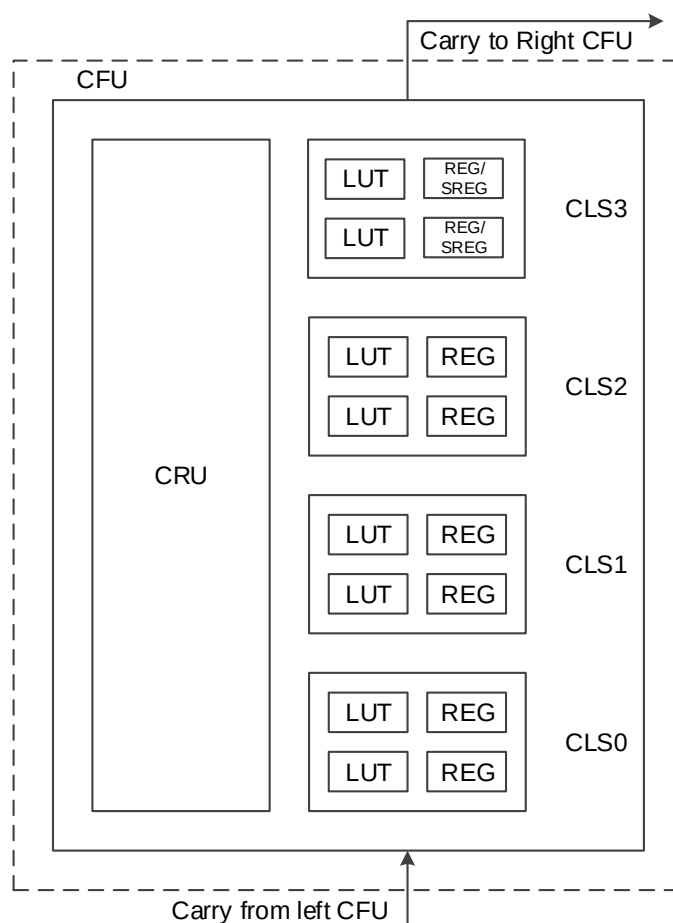
2.2 コンフィギュラブル機能ユニット

コンフィギュラブル機能ユニット(CFU)とコンフィギュラブル論理ユニット(CLU)は、Gowin FPGA 製品のコアを構成する 2 つの基本構成要素です。各基本構成要素は、4 つのコンフィギュラブル論理セッション(CLS)と対応するコンフィギュラブル配線ユニット(CRU)で構成されます。その中で、3 つの CLS にはそれぞれ 2 つの 4 入力ルックアップテーブル(LUT)と 2 つのレジスタ(REG)が含まれ、もう 1 つの CLS には 2 つの 4 入力 LUT のみが含まれます(図 2-4)。

CLU 内の CLS は、LUT、ALU、および ROM として構成することができます、SRAM として構成することはできません。CFU 内の CLS は、アプリケーションシナリオに応じて、LUT、ALU、SRAM、および ROM として構成することができます。

CFU/CLU の詳細については、『Gowin コンフィギュラブル機能ユニット(CFU)ユーザーガイド(UG288)』を参照してください。

図 2-4 CFU 構造の説明図



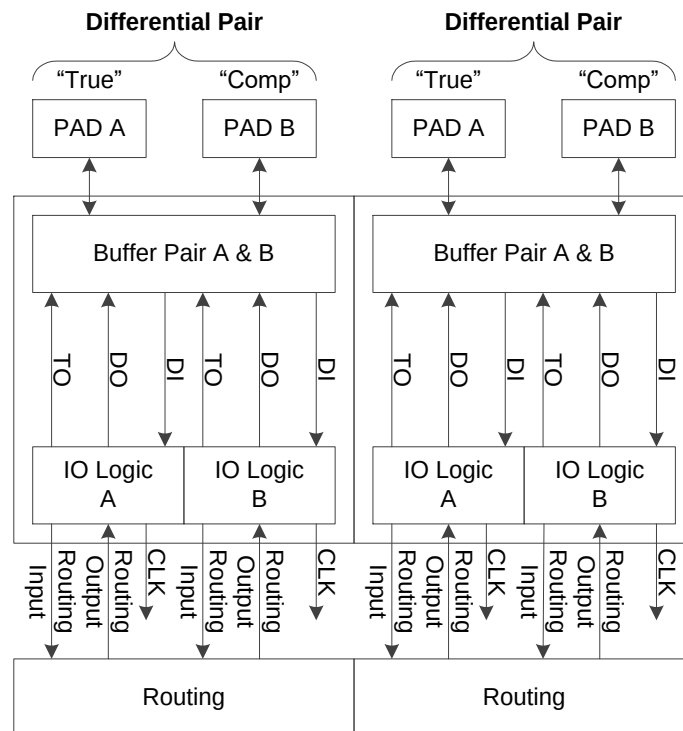
注記：

- SREG を実装するには専用のパッチが必要です。詳細は、Gowin のテクニカル・サポートにお問い合わせください。
- 現在、GW1N-2 デバイスのみが CLS3 の REG をサポートしており、CLS3 と CLS2 の CLK/CE/SR 信号は同じソースを共有します。

2.3 入出力ブロック

GW1N シリーズ FPGA 製品(オートモーティブ)の入出力ブロック (IOB)には、主に I/O Buffer、I/O ロジック、及び対応するコンフィギュラブル配線ユニットが含まれています。下図に示すように、各 IOB には、差動ペアまたは 2 つのシングルエンド入出力として使用できる、2 つのピン(A 及び B)があります。

図 2-5 IOB 構造の説明図



GW1N シリーズ FPGA 製品(オートモーティブ)の IOB の機能：

- Bank 毎に供給される V_{CCIO} 。
- LVCMOS、PCI、LVTTTL、LVDS、SSTL、及び HSTL 等複数の規格をサポート。
- 入力信号のヒステリシス・オプションを提供。
- 出力信号のドライブ強度オプションを提供。
- 各 I/O に独立した Bus Keeper、プルアップ/プルダウン抵抗、および Open Drain 出力オプションを提供。
- ホットプラグをサポート。

- I/O ロジックはベーシックモード、SDR モード、及び DDR モード等のモードをサポート。

注記：

- GW1N シリーズ FPGA 製品(オートモーティブ)の GPIO は MIPI IO タイプによる MIPI 転送をサポートし、詳しくは表 2-9 を参照してください。
- 2.3.1~2.3.4 では、I/O 規格、True LVDS 設計、I/O ロジック、I/O ロジックの動作モードが解説されています。入出力ブロックの詳細については、『Gowin プログラマブル汎用 IO(GPIO)ユーザーガイド(UG289)』を参照してください。

2.3.1 I/O 規格

GW1N シリーズ FPGA 製品(オートモーティブ)の各 Bank には、個別に電源を供給できる独立した I/O 電源 V_{CCIO} があります。

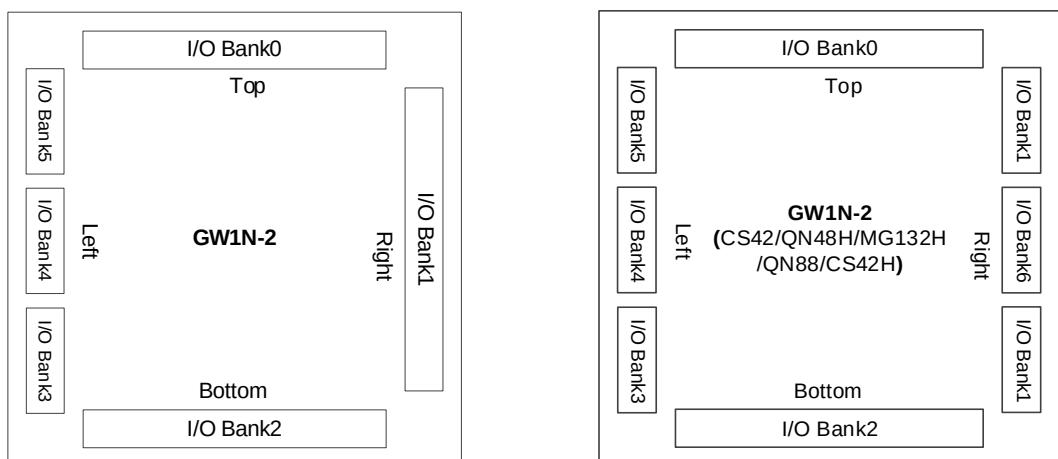
SSTL、HSTL などの入力規格をサポートするために、各 Bank には 1 つの独立したリファレンス電圧(V_{REF})があります。ユーザーは Bank 内部のリファレンス電圧($0.5 \cdot V_{CCIO}$ に相当)を使用するか、外部のリファレンス電圧(Bank 内の何れか 1 つの I/O ピンを外部 V_{REF} 入力として使用)を使用できます。

GW1N-2 には、6 つの IO Bank があります。ただし、CS42、QN48H、MG132H、QN88、および CS42H パッケージ（存在する場合）の場合は 7 つの Bank があり、そのうち Bank6^[1]は MIPI D-PHY RX 用の MIPI 専用 Bank です(図 2-6)。

注記：

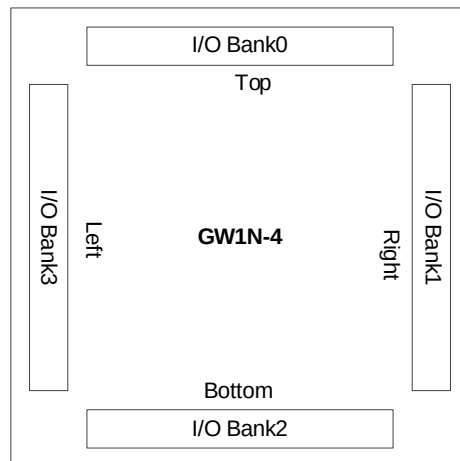
- ^[1]また、Bank6 は、MIPI ロジックをバイパスすることにより、差動入力(コモンモード電圧 $\leq 0.5V$)として使用することもできます。

図 2-6 GW1N-2 の I/O Bank の配置図



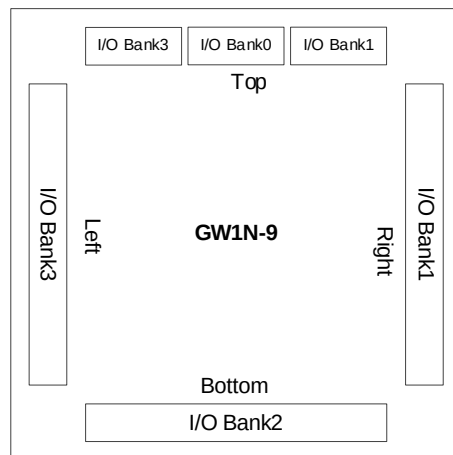
GW1N-4 には、4 つの I/O Bank があります(図 2-7)。

図 2-7 GW1N-4 の I/O Bank の配置図



GW1N-9 には、4 つの I/O Bank があります(図 2-8)。

図 2-8 GW1N-9 の I/O Bank の配置図



GW1N シリーズ FPGA 製品(オートモーティブ)の LV バージョンは、1.2V の V_{CC} をサポートします。 V_{CCIO} は、必要に応じて 1.2V、1.5V、1.8V、2.5V、または 3.3V に設定できます。 V_{CCX} は 2.5V または 3.3V の供給電源電圧をサポートします。

注記：

- コンフィギュレーション中、デバイスのすべての GPIO は内部の弱いプルアップでハイインピーダンスの状態であり、コンフィギュレーション後、I/O の状態はユーザーデザインおよび制約によって決定されます。コンフィギュレーション関連 I/O の状態はコンフィギュレーション・モードにより異なります。
- 各バージョンのデバイスの推奨動作電圧については、3.1 動作条件を参照してください。
- GW1N-2 デバイスの Bank0/Bank3/Bank4/Bank5 I/O が MIPI 出力として使用される場合、1.2V の $V_{CCIO0}/V_{CCIO3}/V_{CCIO4}/V_{CCIO5}$ が必要です。
- GW1N-2 デバイスの Bank2 I/O が MIPI 入力として使用される場合、1.2V の V_{CCIO2} が必要です。
- GW1N-9 デバイスの Bank0 I/O が MIPI 入力として使用される場合、1.2V の V_{CCIO0} が必要です。

- GW1N-9 デバイスの Bank2 I/O が MIPI 出力として使用される場合、1.2V の V_{CCIO2} が必要です。

各 I/O 入出力規格の V_{CCIO} 要件は、表 2-1 および表 2-2 に示す通りです。

表 2-1 GW1N シリーズ FPGA 製品(オートモーティブ)でサポートされる出力 I/O タイプ及び一部のオプション

I/O タイプ(出力)	シングルエンド/差動	Bank V _{CCIO} (V)	ドライブ強度(mA)	アプリケーション
MIPI ^[1]	差動(TLVDS)	1.2	3.5	モバイル産業用プロセッサインターフェース
LVDS25	差動(TLVDS)	2.5/3.3	2.5/3.5/4.5/6(GW1N-2)、 1.25/2/2.5/3.5(GW1N-4/9)	ポイントツーポイントの高速データ転送
RSDS	差動(TLVDS)	2.5/3.3	2.5(GW1N-2)、 1.25/2/2.5/3.5(GW1N-4)、 2(GW1N-9)	ポイントツーポイントの高速データ転送
MINILVDS	差動(TLVDS)	2.5/3.3	2.5(GW1N-2)、 1.25/2/2.5/3.5(GW1N-4)、 2(GW1N-9)	LCD タイミングドライバと列ドライバのインターフェース
PPLVDS	差動(TLVDS)	2.5/3.3	3.5(GW1N-2/9)、 1.25/2/2.5/3.5(GW1N-4)	LCD 行/列ドライバ
LVDS25E	差動	2.5	8	ポイントツーポイントの高速データ転送
BLVDS25E	差動	2.5	16	マルチポイント高速データ転送
MLVDS25E	差動	2.5	16	LCD タイミングドライバと列ドライバのインターフェース
RSDS25E	差動	2.5	8	ポイントツーポイントの高速データ転送
LVPECL33E	差動	3.3	16	汎用インターフェース
HSTL18D_I	差動	1.8	8	メモリアンターフェース
HSTL18D_II	差動	1.8	8	メモリアンターフェース
HSTL15D_I	差動	1.5	8	メモリアンターフェース

I/O タイプ(出力)	シングルエンド /差動	Bank V _{CCIO} (V)	ドライブ強度(mA)	アプリケーション
SSTL15D	差動	1.5	8	メモリアンターフェース
SSTL18D_I	差動	1.8	8	メモリアンターフェース
SSTL18D_II	差動	1.8	8	メモリアンターフェース
SSTL25D_I	差動	2.5	8	メモリアンターフェース
SSTL25D_II	差動	2.5	8	メモリアンターフェース
SSTL33D_I	差動	3.3	8	メモリアンターフェース
SSTL33D_II	差動	3.3	8	メモリアンターフェース
LVC MOS12D	差動	1.2	2/6(GW1N-2)、 4/8(GW1N-4/9)	汎用インターフェース
LVC MOS15D	差動	1.5	4/8	汎用インターフェース
LVC MOS18D	差動	1.8	4/8/12	汎用インターフェース
LVC MOS25D	差動	2.5	4/8/12/16	汎用インターフェース
LVC MOS33D	差動	3.3	4/8/12/16(GW1N-2)、 4/8/12/16/24(GW1N-4/9)	汎用インターフェース
HSTL15_I	シングルエンド	1.5	8	メモリアンターフェース
HSTL18_I	シングルエンド	1.8	8	メモリアンターフェース
HSTL18_II	シングルエンド	1.8	8	メモリアンターフェース
SSTL15	シングルエンド	1.5	8	メモリアンターフェース
SSTL18_I	シングルエンド	1.8	8	メモリアンターフェース
SSTL18_II	シングルエンド	1.8	8	メモリアンターフェース

I/O タイプ(出力)	シングルエンド/差動	Bank V _{CCIO} (V)	ドライブ強度(mA)	アプリケーション
SSTL25_I	シングルエンド	2.5	8	メモリアンターフェース
SSTL25_II	シングルエンド	2.5	8	メモリアンターフェース
SSTL33_I	シングルエンド	3.3	8	メモリアンターフェース
SSTL33_II	シングルエンド	3.3	8	メモリアンターフェース
LVC MOS12	シングルエンド	1.2	2/6(GW1N-2)、 4/8(GW1N-4/9)	汎用インターフェース
LVC MOS15	シングルエンド	1.5	4/8	汎用インターフェース
LVC MOS18	シングルエンド	1.8	4/8/12	汎用インターフェース
LVC MOS25	シングルエンド	2.5	4/8/12/16	汎用インターフェース
LVC MOS33/ LV TTL33	シングルエンド	3.3	4/8/12/16(GW1N-2)、 4/8/12/16/24(GW1N-4/9)	汎用インターフェース
PCI33	シングルエンド	3.3	4/8	PC と組み込みシステム

注記：

- [1] GW1N-2 デバイスの Bank0/Bank3/Bank4/Bank5 および GW1N-9 デバイスの Bank2 が MIPI I/O 出力をサポートします。

表 2-2 GW1N シリーズ FPGA 製品(オートモーティブ)でサポートされる入力 I/O タイプ及び一部のオプション

I/O タイプ(入力)	シングルエンド/差動	Bank V _{CCIO} (V)	HYSTERESIS(ヒステリシス・オプションをサポートするか)	V _{REF} が必要か
MIPI ^[1]	差動(TLVDS)	1.2	No	No
LVDS25	差動(TLVDS)	2.5/3.3	No	No
RSDS	差動(TLVDS)	2.5/3.3	No	No
MINILVDS	差動(TLVDS)	2.5/3.3	No	No
PPLVDS	差動(TLVDS)	2.5/3.3	No	No
LVDS25E	差動	2.5/3.3	No	No
BLVDS25E	差動	2.5/3.3	No	No

I/O タイプ(入力)	シングルエンド/差動	Bank V _{CCIO} (V)	HYSTERESIS(ヒステリシス・オプションをサポートするか)	V _{REF} が必要か
MLVDS25E	差動	2.5/3.3	No	No
RSDS25E	差動	2.5/3.3	No	No
LVPECL33E	差動	3.3	No	No
HSTL18D_I	差動	1.8	No	No
HSTL18D_II	差動	1.8	No	No
HSTL15D_I	差動	1.5	No	No
SSTL15D	差動	1.5	No	No
SSTL18D_I	差動	1.8	No	No
SSTL18D_II	差動	1.8	No	No
SSTL25D_I	差動	2.5	No	No
SSTL25D_II	差動	2.5	No	No
SSTL33D_I	差動	3.3	No	No
SSTL33D_II	差動	3.3	No	No
LVC MOS12D	差動	1.2	No	No
LVC MOS15D	差動	1.5	No	No
LVC MOS18D	差動	1.8	No	No
LVC MOS25D	差動	2.5	No	No
LVC MOS33D	差動	3.3	No	No
HSTL15_I	シングルエンド	1.5	No	Yes
HSTL18_I	シングルエンド	1.8	No	Yes
HSTL18_II	シングルエンド	1.8	No	Yes
SSTL15	シングルエンド	1.5	No	Yes
SSTL18_I	シングルエンド	1.8	No	Yes
SSTL18_II	シングルエンド	1.8	No	Yes
SSTL25_I	シングルエンド	2.5	No	Yes
SSTL25_II	シングルエンド	2.5	No	Yes
SSTL33_I	シングルエンド	3.3	No	Yes
SSTL33_II	シングルエンド	3.3	No	Yes
LVC MOS12 ^[2]	シングルエンド	1.2	Yes	No

I/O タイプ(入力)	シングルエンド/差動	Bank V _{CCIO} (V)	HYSTERESIS(ヒステリシス・オプションをサポートするか)	V _{REF} が必要か
LVC MOS12UD15 ^{[2],[3]}	シングルエンド	1.5	No	No
LVC MOS12UD18 ^{[2],[3]}	シングルエンド	1.8	No	No
LVC MOS12UD25 ^{[2],[3]}	シングルエンド	2.5	No	No
LVC MOS12UD33 ^{[2],[3]}	シングルエンド	3.3	No	No
LVC MOS15OD12 ^{[2],[3]}	シングルエンド	1.2	No	No
LVC MOS15 ^[2]	シングルエンド	1.5	Yes	No
LVC MOS15UD18 ^{[2],[3]}	シングルエンド	1.8	No	No
LVC MOS15UD25 ^{[2],[3]}	シングルエンド	2.5	No	No
LVC MOS15UD33 ^{[2],[3]}	シングルエンド	3.3	No	No
LVC MOS18OD15 ^{[2],[3]}	シングルエンド	1.5	No	No
LVC MOS18 ^[2]	シングルエンド	1.8	Yes	No
LVC MOS18UD25 ^{[2],[3]}	シングルエンド	2.5	No	No
LVC MOS18UD33 ^{[2],[3]}	シングルエンド	3.3	No	No
LVC MOS25OD15 ^{[2],[3]}	シングルエンド	1.5	No	No
LVC MOS25OD18 ^{[2],[3]}	シングルエンド	1.8	No	No
LVC MOS25 ^[2]	シングルエンド	2.5	Yes	No
LVC MOS25UD33 ^{[2],[3]}	シングルエンド	3.3	No	No
LVC MOS33OD15 ^{[2],[3]}	シングルエンド	1.5	No	No
LVC MOS33OD18 ^{[2],[3]}	シングルエンド	1.8	No	No
LVC MOS33OD25 ^{[2],[3]}	シングルエンド	2.5	No	No
LVC MOS33 ^[2]	シングルエンド	3.3	Yes	No
LVTTL33	シングルエンド	3.3	Yes	No
PCI33	シングルエンド	3.3	Yes	No

注記：

- ^[1] GW1N-2 デバイスの Bank2、GW1N-2 デバイスの Bank6(ハード IP)、および GW1N-9 デバイスの Bank0 が MIPI I/O 入力をサポートします。
- ^[2] LVC MOS12 規格は、LVC MOS12、LVC MOS12UD15、LVC MOS12UD18、LVC MOS12UD25、LVC MOS12UD33 などの異なる V_{CCIO} 対応 I/O タイプで実装できます。LVC MOS15/LVC MOS18/LVC MOS25/LVC MOS33 規格についても同様です。
- ^[3] OD=over drive, UD=under drive。OD/UD タイプを使用する場合は、対応する IO の Pull Mode を NONE に、PCI Clamp を OFF に設定する必要があります。

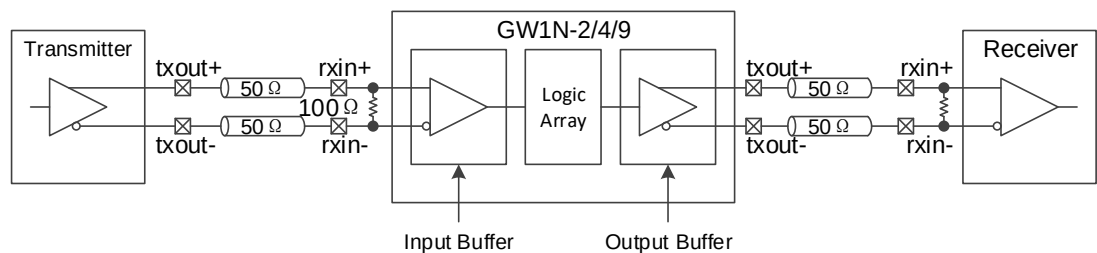
2.3.2 True LVDS 設計

GW1N シリーズ FPGA 製品(オートモーティブ)は True LVDS 出力をサポートします。さらに、LVDS25E、MLVDS25E、BLVDS25E などのさまざまな IO 規格をサポートしています。詳細については、『Gowin プログラマブル汎用 IO(GPIO)ユーザーガイド(UG289)』を参照してください。

True LVDS の分布の詳細については、『GW1N-2 デバイス Pinout(UG171)』、『GW1N-4 デバイス Pinout(UG105)』、『GW1N-9 デバイス Pinout(UG114)』を参照してください。

LVDS の入力 I/O には、 $100\ \Omega$ の終端抵抗が必要です。そのリファレンス・デザインは、図 2-9 に示す通りです。GW1N シリーズ FPGA 製品の特定の Bank は、プログラマブルなオンチップ $100\ \Omega$ 入力差動終端抵抗をサポートし、詳しくは『Gowin プログラマブル汎用 IO(GPIO)ユーザーガイド(UG289)』を参照してください。

図 2-9 True LVDS 設計のブロック図



LVDS25E、MLVDS25E、BLVDS25E 等の差動 I/O 終端抵抗については、『Gowin プログラマブル汎用 IO(GPIO)ユーザーガイド(UG289)』を参照してください。

2.3.3 I/O ロジック

図 2-10 は、GW1N シリーズ FPGA 製品(オートモーティブ)の I/O ロジックの入力と出力です。

図 2-10 I/O ロジックの入力と出力の説明図

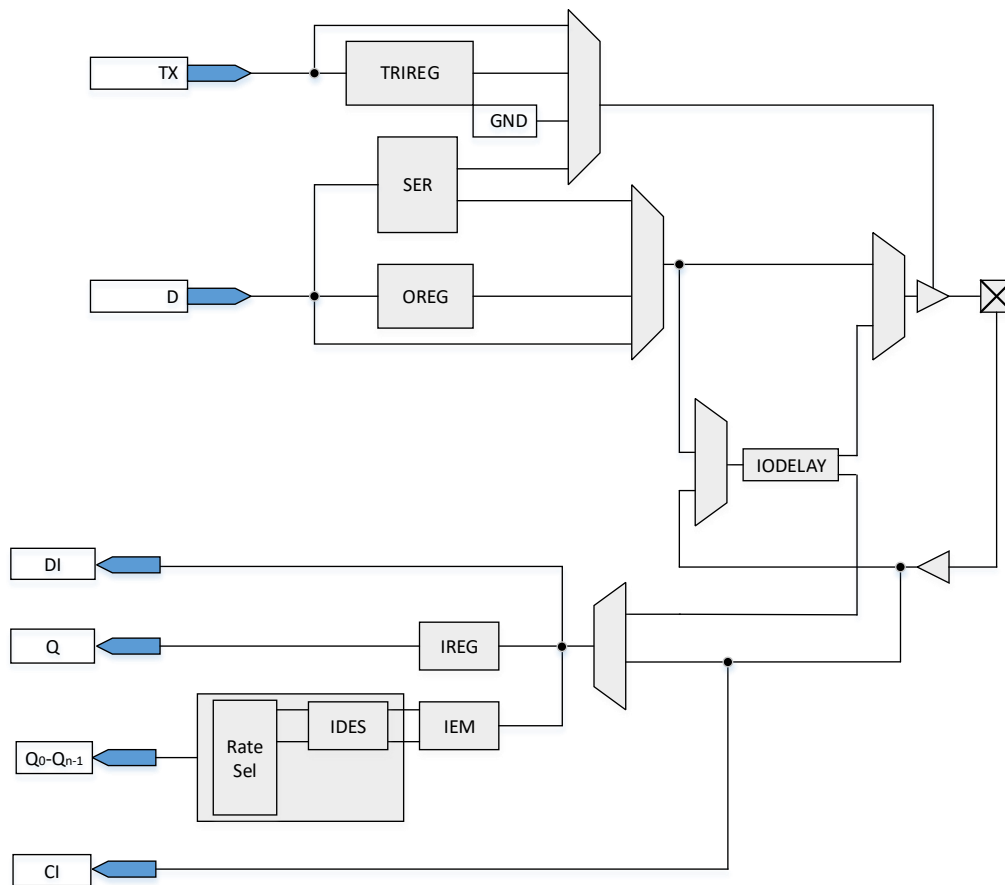


表 2-3 ポートの説明

ポート名	I/O	説明
CI ^[1]	入力	GCLK 入力信号。 各パッケージの GCLK 入力信号の数については、『GW1N-2 デバイス Pinout(UG171)』、『GW1N-4 デバイス Pinout(UG105)』、『GW1N-9 デバイス Pinout(UG114)』を参照してください。
DI	入力	IO ポートの低速入力信号。Fabric に直接入力されます。
Q	出力	SDR モジュールの IREG の出力信号。
Q0-Qn-1	出力	DDR モジュールの IDES の出力信号。

注記：

^[1] CI を GCLK 信号の入力として使用する場合、DI、Q、および Q0-Qn-1 を I/O の入出力に使用することはできません。

GW1N シリーズ FPGA 製品(オートモーティブ)の I/O ロジックの各コンポーネントの説明は以下の通りです：

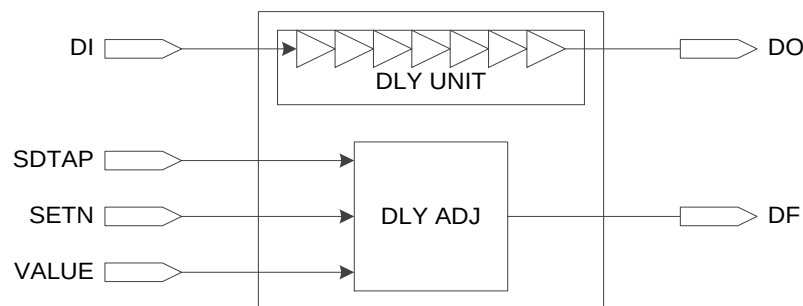
遅延モジュール

図 2-11 は遅延モジュール(ODELAY)です。GW1N シリーズ FPGA 製品(オートモーティブ)の各 I/O には ODELAY モジュールが含まれており、ユーザーはこのモジュールを使用して I/O の入出力信号の遅延を調整することができます。ステップあたりの遅延時間は $T_{dlyunit}$ 、提供できるステップ数は DLYSTEP です。ODELAY の総遅延時間は、 $T_{totdly} = T_{dlyoffset} + T_{dlyunit} * DLYSTEP$ であり、表 2-4 を参照してください。

表 2-4 ODELAY の総遅延時間（参考）

	最小値	標準値	最大値
$T_{dlyoffset}$	450ps	500ps	550ps
$T_{dlyunit}$	-	30ps	-
DLYSTEP	0	-	127

図 2-11 ODELAY の説明図



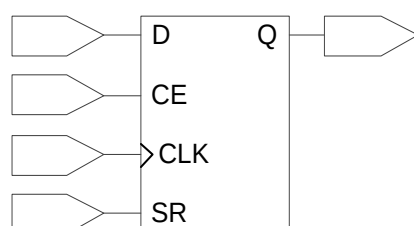
遅延を制御する 2 つの方法：

- 静的制御。
- 動的制御。ただし、ODELAY を入力と出力に同時に使用することはできません。

I/O レジスタ

GW1N シリーズ FPGA 製品(オートモーティブ)の I/O レジスタを図 2-12 に示します。GW1N シリーズ FPGA 製品(オートモーティブ)の各 I/O には、プログラマブルな入力レジスタ(IREG)、出力レジスタ(OREG)、およびトライステートレジスタ(TRIREG)があります。

図 2-12 I/O レジスタの説明図



注記：

- CE は、アクティブ Low またはアクティブ High にプログラムできます。
- CLK は立ち上がりエッジトリガまたは立ち下がりエッジトリガにプログラムできます。
- SR は同期/非同期の SET/RESET または無効(disable)にプログラムできます。
- レジスタは、レジスタ(register)またはラッチ(latch)にプログラムできます。

デシリアライザ(DES)モジュール

各入力 I/O ロジックには、I/O リソースのアプリケーションシナリオを豊かにするシンプルなデシリアライザ(DES)モジュールが備わっています。

シリアライザ(SER)モジュール

各出力 I/O ロジックには、I/O リソースのアプリケーションシナリオを豊かにするシンプルなシリアライザ(SER)モジュールが備わっています。

2.3.4 I/O ロジックの動作モード

GW1N シリーズ FPGA 製品(オートモーティブ)の I/O ロジックは、複数の動作モードをサポートします。各動作モードでは、I/O(または I/O 差動信号ペア)は出力信号、入力信号、INOUT 信号、及びトライステート出力信号(トライステート制御付きの出力信号)に設定できます。

GW1N-4 の場合、ピン IOL10(A,B,C…J)及び IOR10(A,B,C…J)は IO ロジックをサポートしません。

詳細については、『Gowin プログラマブル汎用 IO(GPIO)ユーザーガイド(UG289)』を参照してください。

2.4 BSRAM

2.4.1 概要

GW1N シリーズ FPGA 製品(オートモーティブ)は、豊富な BSRAM リソースを提供しています。これらのメモリリソースは、FPGA アレイで行として配置されているため、ブロック・スタティック RAM(BSRAM)と呼ばれています。各 BSRAM の最大容量は 18,432 ビット(18K ビット)です。4 つの構成モード(シングル・ポート、デュアル・ポート、セミ・デュアル・ポート、ROM)がサポートされています。

豊富な BSRAM リソースにより、ユーザーの高性能設計が可能になります。BSRAM の機能は下記のとおりです：

- 各モジュールの最大容量は 18,432 ビット
- クロック周波数は最大 190MHz
- シングル・ポート・モード(Single Port)
- デュアル・ポート・モード(Dual Port)

- セミ・デュアル・ポート・モード(Semi Dual Port)
- パリティビット(Parity Bits)を提供
- ROM モードを提供
- データ幅は 1～36 ビット
- 混合クロック(Mixed Clock Mode)
- 混合データ幅(Mixed Data Width Mode)
- データ幅が 2 バイト以上の場合におけるバイトイネーブル機能(Byte Enable)をサポート
- 通常の読み出し/書き込み(Normal Read and Write)
- リードビフォーライト(Read-before-Write)
- ライトスルー(Write-Through)

2.4.2 BSRAM の構成モード

GW1N シリーズ FPGA 製品(オートモーティブ)の BSRAM は、表 2-5 に示す通り、複数のデータ幅をサポートします。

表 2-5 BSRAM の構成モード一覧^[1]

シングル・ポート・モード	デュアル・ポート・モード ^[1]	セミ・デュアル・ポート・モード	ROM モード ^[2]
16K x 1	16K x 1	16K x 1	16K x 1
8K x 2	8K x 2	8K x 2	8K x 2
4K x 4	4K x 4	4K x 4	4K x 4
2K x 8	2K x 8	2K x 8	2K x 8
1K x 16	1K x 16	1K x 16	1K x 16
512 x 32	-	512 x 32	512 x 32
2K x 9	2K x 9	2K x 9	2K x 9
1K x 18	1K x 18	1K x 18	1K x 18
512 x 36	-	512 x 36	512 x 36

注記：

- ^[1] GW1N-9 デバイスのうち、デュアル・ポート・モードをサポートしているのは C バージョンの GW1N-9 のみです。
- ^[2] GW1N-4 デバイスのうち、ROM モードをサポートしているのは D バージョンの GW1N-4 のみです。
- ^[3] C バージョンの GW1N-9 は、データ幅 1 ビットおよび 2 ビットをサポートしていません。

シングル・ポート・モード

デュアル・ポート BSRAM は、2 つの読み出しモード (Bypass モード、Pipeline モード) と 3 つの書き込みモード (Normal モード、Write-Through

モード、Read-before-Write モード)をサポートします。シングル・ポート・モードでは、クロックエッジで **BSRAM** に対して読み出しまたは書き込みを行うことができます。書き込みの場合、書き込まれたデータは **BSRAM** の出力に転送されます。出力レジスタがバイパスされている場合、新しいデータは、同じクロック立ち上がりエッジで現れます。

シングル・ポート・モードの詳細については、『**Gowin BSRAM & SSRAM ユーザーガイド(UG285)**』を参照してください。

デュアル・ポート・モード

デュアル・ポート **BSRAM** は、2 つの読み出しモード (**Bypass** モードと **Pipeline** モード) と 2 つの書き込みモード (**Normal** モードと **Write-Through** モード) をサポートします。2 つのポートに対して以下の操作を行うことができます：

- 2 つのポートに対する同時読み出し
- 2 つのポートに対する同時書き込み
- 任意の 1 つのポートに対する読み出しおよび書き込み

注記：

同じアドレスに対する同時の読み出しと書き込みは禁止されています。

デュアル・ポート・モードの詳細については、『**Gowin BSRAM & SSRAM ユーザーガイド(UG285)**』を参照してください。

セミ・デュアル・ポート・モード

セミ・デュアル・ポート **BSRAM** は、2 つの読み出しモード (**Bypass** モードと **Pipeline** モード) と 1 つの書き込みモード (**Normal** モード) をサポートします。セミ・デュアル・ポート **BSRAM** は、同時読み出しと書き込みをサポートします。ただし、同じポートによる読み出しと書き込みはサポートされておらず、つまり、ポート **A** は書き込み専用で、ポート **B** は読み出し専用です。

注記：

同じアドレスに対する同時の読み出しと書き込みは禁止されています。

セミ・デュアル・ポート・モードの詳細については、『**Gowin BSRAM & SSRAM ユーザーガイド(UG285)**』を参照してください。

ROM モード

BSRAM は、**ROM** モードに構成可能です。ユーザーは、メモリの初期化ファイルを使用することで、プログラミングポートを介して **ROM** を初期化することができます。ユーザーは、初期化ファイルに書き込まれる、**ROM** のコンテンツを提供する必要があります。初期化は、**FPGA** のコンフィギュレーション際に実行されます。

各 **BSRAM** は 16K ビットの **ROM** として構成できます。**ROM** モード

の詳細については、『Gowin BSRAM & SSRAM ユーザーガイド(UG285)』を参照してください。

2.4.3 混合データ幅

GW1N シリーズ FPGA 製品(オートモーティブ)の BSRAM は、混合データ幅の読み出しと書き込みをサポートします。デュアル・ポート・モードとセミ・デュアル・ポート・モードでは、表 2-6 および表 2-7 に示すように、異なるデータ幅の読み出しと書き込みがサポートされています。

表 2-6 デュアル・ポートの場合の混合読み出し/書き込みデータ幅

読み出しポート	書き込みポート						
	16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	2K x 9	1K x 18
16K x 1	*	*	*	*	*		
8K x 2	*	*	*	*	*		
4K x 4	*	*	*	*	*		
2K x 8	*	*	*	*	*		
1K x 16	*	*	*	*	*		
2K x 9						*	*
1K x 18						*	*

注記：

- GW1N-9 デバイスのうち、デュアル・ポート・モードをサポートしているのは C バージョンの GW1N-9 のみです。
- 「*」はサポートされる組み合わせを示します。

表 2-7 セミ・デュアル・ポートの場合の混合読み出し/書き込みデータ幅

読み出しポート	書き込みポート								
	16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	512 x 32	2K x 9	1K x 18	512 x 36
16K x 1	*	*	*	*	*	*			
8K x 2	*	*	*	*	*	*			
4K x 4	*	*	*	*	*	*			
2K x 8	*	*	*	*	*	*			
1K x 16	*	*	*	*	*	*			
512x32	*	*	*	*	*	*			
2K x 9							*	*	*
1K x 18							*	*	*

注記：

- 「*」はサポートされる組み合わせを示します。

2.4.4 バイトイネーブル機能

BSRAM はバイトイネーブル(byte-enable)機能をサポートします。この機能により、入力データをマスクし、選択されたバイトのみを書き込むことができます。マスクされたビットは保持されます。読み出し/書き込みイネーブル信号(WREA,WREB)及び byte-enable パラメータは、BSRAM の書き込みの制御に使用されます。

注記：

バイトイネーブル機能は、GW1N シリーズ(オートモーティブ)のうち GW1N-2C および GW1N-4D でのみサポートされます。

2.4.5 パリティビット機能

BSRAM はパリティビット機能をサポートします。各バイトの 9 番目のビットは、パリティビットとして使用するか、データを格納するために使用できます。

2.4.6 同期操作

- すべての BSRAM モジュールの入力レジスタは、同期書き込みをサポートします。
- 出力レジスタをパイプラインレジスタとして使用することで、ユーザーデザインのパフォーマンスを向上させることができます。
- 出力レジスタはバイパス可能です。

2.4.7 BSRAM の動作モード

BSRAM は、2 つの読み出しモード(バイパス(Bypass)モード、パイプライン(Pipeline)モード)及び 3 つの書き込みモード(ノーマル(Normal)モード、ライトスルー(Write-Through)モード、リードビフォーライト((Read-before-Write)モード)を含む 5 つの動作モードをサポートします。

読み出しモード

BSRAM からデータを読み出すには次の 2 つのモードがあります。

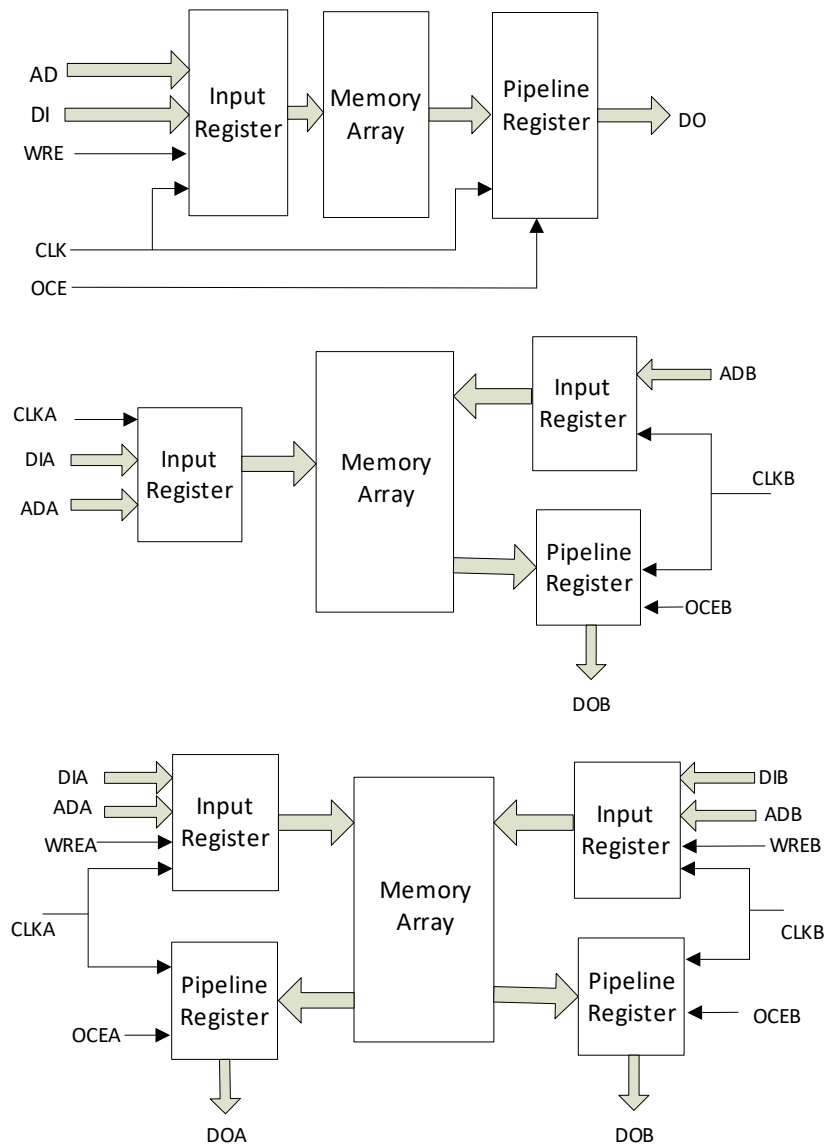
PIPELINE モード

このモードでは、メモリへの同期書き込み時に出力レジスタが使用されます。このモードは、最大 36 ビットのデータ幅をサポートします。

BYPASS モード

このモードでは、出力レジスタは使用されず、データはメモリ (Memory Array)の出力に保持されます。

図 2-13 シングル・ポート・モード、セミ・デュアル・ポート・モード、及びデュアル・ポート・モードにおける Pipeline モード



書き込みモード

NORMAL モード

このモードでは、ポートに対して通常書き込みが行われ、このポートの出力データは変更しません。書き込まれたデータは読み出しポートに現れません。

WRITE-THROUGH モード

このモードでは、ポートに書き込むと、書き込まれたデータはこのポートの出力に現れます。

READ-BEFORE-WRITE モード

このモードでは、ポートに書き込むと、元のデータはこのポートの出力に現れ、書き込まれたデータは対応するメモリセルに格納されます。

2.4.8 クロックモード

各 BSRAM モードで使えるクロックモードを表 2-8 に示します。

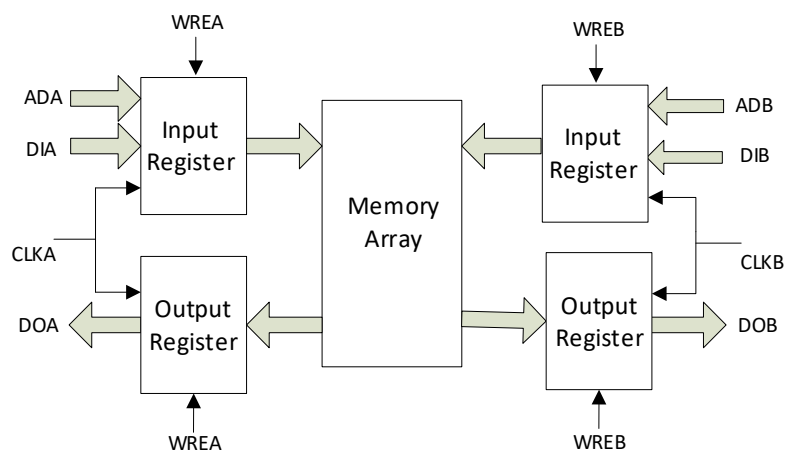
表 2-8 クロックモードと BSRAM モードの組み合わせ

クロックモード	デュアル・ポート・モード	セミ・デュアル・ポート・モード	シングル・ポート・モード
独立クロックモード	Yes	No	No
読み出し/書き込みクロックモード	Yes	Yes	No
シングル・ポート・クロックモード	No	No	Yes

独立クロックモード

デュアル・ポート・モードにおける独立クロックモードは図 2-14 に示すとおりです。各ポートにはそれぞれ 1 つの独立クロックがあります。CLKA 信号は、ポート A のすべてのレジスタを制御し、CLKB 信号は、ポート B のすべてのレジスタを制御しています。

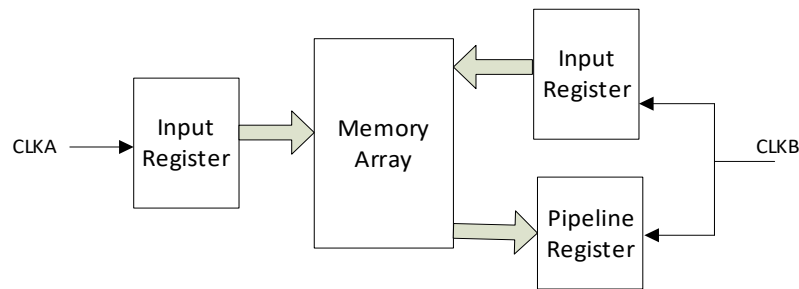
図 2-14 独立クロックモード



読み出し書き込みクロックモード

セミ・デュアル・ポート・モードにおける読み出し書き込みクロックモードは図 2-15 に示すとおりです。各ポートにはそれぞれ 1 つのクロックがあります。書き込みクロック (CLKA) 信号はポート A の書き込みデータ、書き込みアドレス、及び読み出し/書き込みイネーブル信号を制御しています。読み出しクロック (CLKB) 信号は、ポート B の読み出しデータ、読み出しアドレス、及び読み出しイネーブル信号を制御しています。

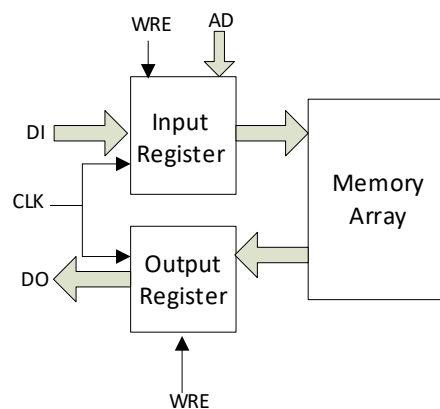
図 2-15 読み出し書き込みクロックモード



シングル・ポート・クロックモード

シングル・ポート・クロックモードは図 2-16 に示すとおりです。

図 2-16 シングル・ポート・クロックモード



2.5 User Flash(GW1N-2/4/9)

2.5.1 概要

GW1N-2/4/9 デバイスは User Flash を提供します。GW1N-2 の User Flash の容量は 96K ビットで、GW1N-4 の User Flash の容量は 256K ビットで、GW1N-9 の User Flash の容量は 608K ビットです。User Flash は、行メモリユニットと列メモリユニットで構成されています。1 行メモリユニットは 64 列メモリユニットで構成されています。1 列メモリユニットの容量は 32 ビットで、1 行メモリユニットの容量は $64 \times 32 = 2048$ ビットです。ページ消去がサポートされており、1 ページの容量は 2048 バイトです。すなわち、1 ページには 8 行があります。その特性は以下に示す通りです：

- NOR Flash
- 10,000 回の書き込みサイクル
- 10 年以上のデータ保持時間(+85℃)
- データ幅：32 ビット
- GW1N-2 の User Flash の容量：48 行 $\times$ 64 列 $\times$ 32 = 96K ビット
- GW1N-4 の User Flash の容量：128 行 $\times$ 64 列 $\times$ 32 = 256K ビット
- GW1N-9 の User Flash の容量：304 行 $\times$ 64 列 $\times$ 32 = 608K ビット

- ページ消去能力 : 2048 バイト
- 高速なページ消去/ワードプログラミング
- クロック周波数 : 40MHz
- ワードプログラミング時間 : $\leq 16 \mu s$
- ページ消去時間 : $\leq 120ms$
- 電流
 - 読み出し電流/継続時間 : 2.19mA/25ns (V_{CC}) & 0.5mA/25ns (V_{CCX})(MAX)
 - プログラミング/消去操作 : 12/12mA(MAX)

詳しくは、『Gowin User Flash ユーザーガイド(UG295)』を参照してください。User Flash プリミティブとサポートされるデバイスの対応関係については、『Gowin User Flash ユーザーガイド (UG295)』の表 3-1 を参照してください。

2.6 DSP リソース

GW1N-4/9 デバイスには豊富な DSP リソースがあります。GOWIN セミコンダクターの DSP ソリューションは、FIR、FFT 設計などの高性能デジタル信号処理を可能にしています。DSP リソースは、安定したタイミングパフォーマンス、高いリソース使用量、低消費電力等の特長を備えています。

DSP は以下の機能をサポートします :

- 3 つの幅の乗算器(9 ビット、18 ビット、36 ビット)
- 54 ビットの ALU
- 複数の乗算器のカスケード接続によるデータ幅の拡大をサポート
- バレルシフタ(Barrel Shifter)
- フィードバック信号による適応フィルタリング(Adaptive filtering through signal feedback)
- 正数または素数への丸めオプション付きの計算(Computing with options of rounding to positive number or prime number)
- レジスタ出力及びバイパス出力をサポート

2.6.1 マクロセル

GW1N シリーズ FPGA 製品の DSP ブロックは、FPGA アレイで行に配置されています。各 DSP ブロックには 2 つのマクロセルがあり、各マクロセルには 2 つの前置加算器(pre-adder)、2 つの 18 ビット乗算器(multiplier)、及び 1 つの 3 入力算術論理演算装置(ALU54)があります。

前置加算器

DSP マクロセルには、前置加算、前置減算、およびシフト機能を実装するための 2 つの前置加算器があります。

前置加算器はマクロセルの最先端に位置し、2 つの入力ポートを備えています：

- パラレル 18 ビット入力 B または SBI
- パラレル 18 ビット入力 A または SIA

注記：

すべての入力ポートは、レジスタモードとバイパスモードをサポートします。

GOWIN セミコンダクターFPGA 製品の前置加算器は、独立したモジュールとして機能でき、9 ビット及び 18 ビットをサポートします。

乗算器

乗算器(multipliers)は前置加算器の後ろに位置し、乗算に使用されます。乗算器は 9 x 9、18 x 18、36 x 18、または 36 x 36 に設定でき、入力ポートと出力ポートはいずれもレジスタモード及びバイパスモードをサポートします。1 つのマクロセルは次の乗算器を形成できます：

- 1 つの 18 x 36 乗算器
- 2 つの 18 x 18 乗算器
- 4 つの 9 x 9 乗算器

注記：

2 つのマクロセルは、1 つの 36 x 36 乗算器を形成できます。

算術論理演算装置

各 DSP マクロセルには、乗算器機能をさらに拡張した 1 つの 54 ビットの ALU54 があります。その入力ポートと出力ポートはレジスタモード及びバイパスモードをサポートします。サポートされる機能は以下のとおりです：

- 乗算器出力データ I0、データ A、およびデータ B の加算/減算
- 乗算器出力データ I0、データ B、およびキャリー C の加算/減算
- データ A、データ B、およびキャリー C の加算/減算

2.6.2 DSP 動作モードの構成

- 乗算器モード
- 乗算アキュムレータモード
- 乗算加算アキュムレータモード

DSP の詳細については、『Gowin DSP ユーザーガイド(UG287)』を参

照してください。

2.7 MIPI D-PHY

2.7.1 ハード MIPI D-PHY RX (GW1N-2)

GW1N-2 デバイスは、『MIPI Alliance Standard for D-PHY Specification』バージョン 2.1 をサポートするハード MIPI D-PHY RX を備えています。このハード MIPI D-PHY は、DSI インターフェースおよび CSI-2 インターフェースに適しています。

MIPI D-PHY RX の主な特徴は以下に示す通りです：

- 単方向の高速(HS、High-speed)モードをサポート。転送レートは最大 8Gbps(4 データ・レーン)。
- 最大 4 つのデータ・レーンと 1 つのクロック・レーンをサポート。
- 双方向の低消費電力(LP、Low-power)モードをサポート。データレートは 10Mbps。
- 高速同期、ビットおよびレーンアライメントをサポート。
- MIPI D-PHY RX 1:8 モードおよび 1:16 モードをサポート。
- MIPI DSI および MIPI CSI-2 リンク層をサポート。
- IO Bank6 が MIPI D-PHY RX をサポート。

詳細については、『Gowin GW1N-2 Hardened MIPI D-PHY RX ユーザーガイド(IPUG778)』を参照してください。

2.7.2 GPIO によるソフト MIPI D-PHY RX/TX

GPIO でソフト MIPI D-PHY RX/TX を実装する場合、TLVDS、ELVDS、MIPI IO の 3 つの IO タイプが利用可能です。

すべての GW1N FPGA は TLVDS/ELVDS タイプをサポートしています。TLVDS/ELVDS タイプで MIPI D-PHY を実装する場合、LVDS25(E)+LVCMOS12 を通じて MIPI HS および MIPI LP をエミュレートする必要があり、また、外部抵抗ネットワークも必要です。

一部の GW1N FPGA は MIPI IO タイプをサポートしています。MIPI IO は内部に抵抗ネットワークを統合しており、MIPI HS と MIPI LP 間の自動切り替えをサポートします。MIPI IO タイプのサポートを表 2-9 に示します。

IO タイプの選択とオフチップ終端方法については、Gowin MIPI D-PHY RX TX Advance IP ユーザーガイド(IPUG948)の「機能の説明」を参照してください。

表 2-9 MIPI IO モードをサポートする GW1N シリーズ FPGA 製品(オートモーティブ)の一覧

MIPI 入力/出力	GW1N-2	GW1N-9
MIPI 入力	Bank2(ダイナミック ODT 対応)	Bank0(ダイナミック ODT 対応)
MIPI 出力	Bank0/3/4/5(ダイナミック ODT 対応)	Bank2

主な特徴は以下に示す通りです：

- 『MIPI Alliance Standard for D-PHY Specification』バージョン 1.2 をサポート。
- 高速RX/TXインターフェースをサポート(転送レートは最大4.8Gbps)。
- 最大 4 つのデータ・レーンと 1 つのクロック・レーンをサポート。
- 複数の PHY をサポート(IO が十分な場合)。
- 双方向低消費電力(LP、Low-power)モードをサポート。
- MIPI DSI および MIPI CSI-2 リンク層をサポート。
- 高速同期、ビットおよびレーンアライメントをサポート。
- MIPI D-PHY RX 1:8 モード及び 1:16 モードをサポート。
- ELVDS、TLVDS、SLVS200、LVDS、および MIPI D-PHY IO などの IO タイプをサポート。
- GW1N-9 デバイスの Bank 0/2 は I3C をサポート

詳細については、『Gowin MIPI D-PHY RX TX Advance IP ユーザーガイド(IPUG948)』を参照してください。

2.8 クロック

クロックリソースと配線は、FPGA の高性能アプリケーションにとって重要です。GW1N シリーズ FPGA 製品(オートモーティブ)は、直接にデバイスのあらゆるリソースに接続する専用のグローバル・クロック(GCLK)ネットワークを提供しています。さらに、高速クロック(HCLK)、位相同期回路(PLL)等のクロックリソースも提供されています。

GCLK、HCLK、および PLL の詳細については、『Gowin Clock ユーザーガイド(UG286)』を参照してください。

2.8.1 グローバル・クロック

GCLK は、GW1N シリーズ FPGA 製品(オートモーティブ)内で複数の象限に分布しています。各象限は 8 つの GCLK ネットワークを提供します。GCLK は、クロックソースとして専用のクロック入力ピンまたは汎用配線リソースを使用できます。専用のクロック入力ピンは、より良好なクロック・パフォーマンスを提供します。

2.8.2 位相同期回路

位相同期回路(Phase-Locked Loop、PLL)はフィードバック制御回路です。PLL は、外部からのリファレンス・クロック信号に基づいてループ内部の発振信号の周波数と位相を制御します。

GW1N シリーズ FPGA 製品(オートモーティブ)の PLL モジュールは、合成可能なクロック周波数を提供しており、パラメータを設定することで、クロックの周波数の調整(逡倍及び分周)、位相の調整、デューティサイクルの調整等の機能を実現できます。

2.8.3 高速クロック

GW1N シリーズ FPGA 製品(オートモーティブ)の高速クロック(HCLK)は、I/O の高性能データ転送を可能にし、ソース同期データ転送インターフェースのために設計されたものです(図 2-17、図 2-18、図 2-19)。

図 2-17 GW1N-2 の HCLK の説明図

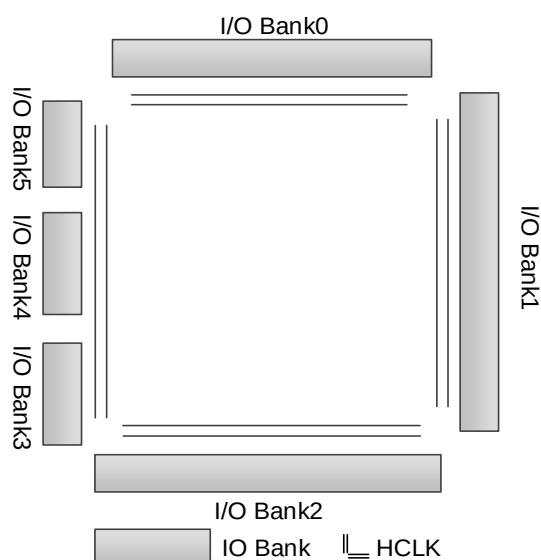


図 2-18 GW1N-4 の HCLK の説明図

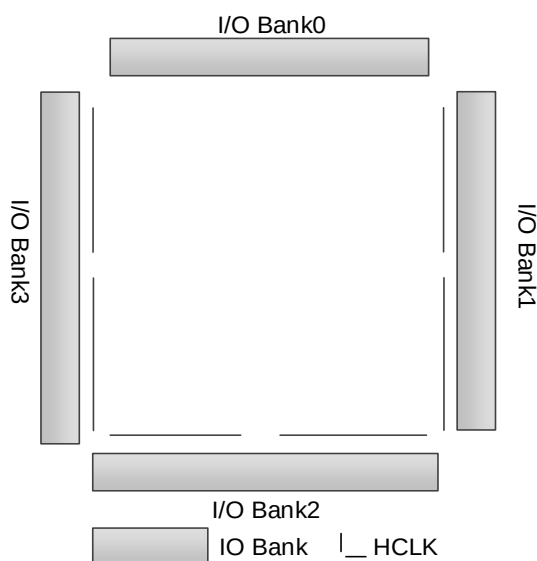
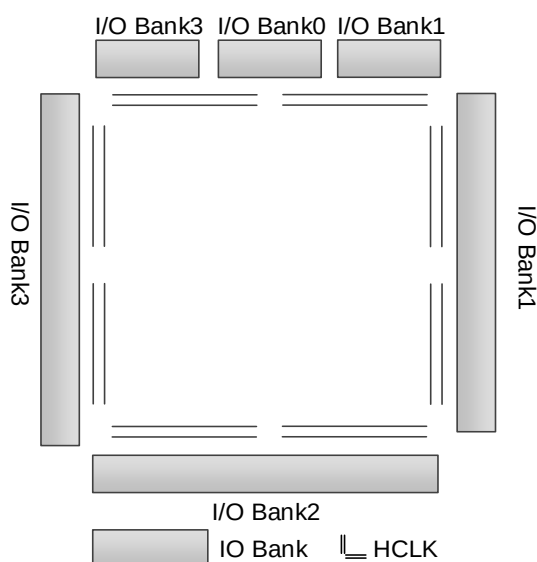


図 2-19 GW1N-9 の HCLK の説明図



2.9 ロングワイヤ

CRUに加えて、GW1NシリーズFPGA製品(オートモーティブ)は、クロック、クロックイネーブル、セット/リセット、またはその他高ファンアウト信号に適用される柔軟で豊富なロングワイヤ・リソースも提供しています。

2.10 グローバル・セット/リセット

GW1NシリーズFPGA製品(オートモーティブ)には、コアロジックに直接接続されるグローバル・セット/リセット(GSR)ネットワークが構築されています。グローバル・セット/リセット(GSR)ネットワークは非同期/同期リセットまたは非同期/同期セットに使用できます。CFUとI/Oのレジスタは、いずれも個別に構成できます。

2.11 プログラミング・コンフィギュレーション

注記：

GW1N-2 デバイスの場合、MODE[2]の値が 1 に固定されている場合、そのロード周波数は 2.5MHz のみになります。

GW1N シリーズの FPGA 製品(オートモーティブ)は SRAM コンフィギュレーション及び Flash プログラミングをサポートします。Flash プログラミングモードでは、オンチップ Flash プログラミングとオフチップ Flash プログラミングがサポートされます。GW1N シリーズ FPGA 製品は DUAL BOOT をサポートしており、ユーザーは必要に応じてオフチップ Flash にデータをバックアップすることができます。

JTAG に加えて、GW1N シリーズ FPGA 製品(オートモーティブ)では GOWIN 独自の 7 つの GowinCONFIG モード(AUTO BOOT、SSPI、MSPI、DUAL BOOT、SERIAL、CPU、および I²C Slave)もサポートされています。すべての GW1N デバイスは JTAG と AUTO BOOT モードをサポートしています。

詳細については、『Gowin FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド(UG290)』を参照してください。

2.11.1 SRAM コンフィギュレーション

直接 SRAM をコンフィギュレーションする場合、パワーアップするたびに、コンフィギュレーションデータをダウンロードする必要があります。

2.11.2 Flash プログラミング

この方法では、まずコンフィギュレーションデータはオンチップ Flash に格納されます。パワーアップすると、コンフィギュレーションデータはオンチップ Flash から SRAM にロードされます。コンフィギュレーションがパワーオン後の数ミリ秒内に完了するので、このようなコンフィギュレーション方法は「クイックスタート/インスタントオン」とも呼ばれます。

GW1N シリーズの FPGA 製品(オートモーティブ)(GW1N-4A を除く)は、JTAG^[1]バックグラウンド・アップグレードという機能をサポートします。つまり、デバイスは、現在の動作状態に影響を与えることなく、JTAG インターフェースを介してオンチップ Flash またはオフチップ Flash をプログラムすることをサポートします。プログラミング中、デバイスは元のコンフィギュレーションに従って動作可能です。プログラミング後、RECONFIG_N^[2]を Low レベルでトリガして、アップグレードを完了します。この機能は、オンライン時間が長く、時々アップグレードが必要なアプリケーションに適しています。この機能は、オンライン時間が長く、時々アップグレードが必要なアプリケーションに適しています。

注記：

- ^[1] GW1N-2 は goConfig I2C IP を使用することで I2C バックグラウンド・アップグレードをサポートできますが、JTAG 方式によるバックグラウンド・アップグレードが推奨されます。
- ^[2] RECONFIG_N は、コンフィギュレーション・ピンとして使用される場合、内部の弱いプルアップを持つ入力ピンであり、GPIO として使用される場合、出力ピンとしてのみ使用できます。詳細については、『Gowin FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド(UG290)』を参照してください。

さらに、GW1N シリーズの FPGA 製品(オートモーティブ)は、オフチップ Flash によるコンフィギュレーションおよび DUAL BOOT モードをサポートしています。詳細については、『Gowin FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド(UG290)』を参照してください。

2.12 オンチップオシレータ

GW1N シリーズ FPGA 製品(オートモーティブ)には、2.5MHz から 125MHz のクロック周波数をサポートするオンチップオシレータが組み込まれています。当該オンチップオシレータは、精度±5%のプログラマブルなユーザークロックを提供し、MSPI コンフィギュレーション・モードにクロックソースを提供します。

さらに、オンチップオシレータは、ユーザーデザインにクロックソースを提供することもできます。動作パラメータを設定することにより、最大 64 のクロック周波数を取得できます。

GW1N-2/9 デバイスのオンチップオシレータの出力クロック周波数は、次のように計算されます。

$$f_{\text{out}}=250\text{MHz}/\text{Param.}$$

GW1N-4 デバイスのオンチップオシレータの出力クロック周波数は、次のように計算されます。

$$f_{\text{out}}=210\text{MHz}/\text{Param.}$$

注記：

「Param」は 2~128 の偶数のパラメータです。

表 2-10 と表 2-11 に、デフォルトの周波数、最大周波数など、オンチップオシレータの一部の周波数を示します。

表 2-10 GW1N-2/9 のオンチップオシレータの一部の出力周波数オプション

モード	周波数	モード	周波数	モード	周波数
0	2.5MHz ^[1]	8	7.8MHz	16	15.6MHz
1	5.4MHz	9	8.3MHz	17	17.9MHz
2	5.7MHz	10	8.9MHz	18	21MHz
3	6.0MHz	11	9.6MHz	19	25MHz
4	6.3MHz	12	10.4MHz	20	31.3MHz
5	6.6MHz	13	11.4MHz	21	41.7MHz

モード	周波数	モード	周波数	モード	周波数
6	6.9MHz	14	12.5MHz	22	62.5MHz
7	7.4MHz	15	13.9MHz	23	125MHz ^[2]

表 2-11 GW1N-4 のオンチップオシレータの一部の出力周波数オプション

モード	周波数	モード	周波数	モード	周波数
0	2.1MHz ^[1]	8	6.6MHz	16	13.1MHz
1	4.6MHz	9	7MHz	17	15MHz
2	4.8MHz	10	7.5MHz	18	17.5MHz
3	5MHz	11	8.1MHz	19	21MHz
4	5.3MHz	12	8.8MHz	20	26.3MHz
5	5.5MHz	13	9.5MHz	21	35MHz
6	5.8MHz	14	10.5MHz	22	52.5MHz
7	6.2MHz	15	11.7MHz	23	105MHz ^[2]

注記：

- ^[1]デフォルトの周波数。
- ^[2]MSPI コンフィギュレーション・モードには適用しません。

3 電気特性

注記：

推奨される動作条件及び動作範囲内で GOWIN セミコンダクターデバイスを使用することをお勧めします。動作条件及び動作範囲を超えるデータはあくまで参考であり、GOWIN セミコンダクターは、動作条件及び動作範囲を超えた状況における、すべてのデバイスの正常な動作を保証しません。

3.1 動作条件

3.1.1 絶対最大範囲

表 3-1 絶対最大範囲

名称	説明	最小値	最大値
V _{CC}	LV バージョンのコア電圧	-0.5V	1.32V
V _{CCIO}	I/O Bank 電圧	-0.5V	3.75V
V _{CCX}	補助電圧	-0.5V	3.75V
V _{CCD}	ハード MIPI D-PHY のコア電圧 (GW1N-2)	-0.5V	1.32V
V _{CCIOD}	ハード MIPI D-PHY の I/O 電圧 (GW1N-2)	-0.5V	1.32V
-	加えられる I/O 電圧 ^[1]	-0.5V	3.75V
Storage Temperature	保存温度	-65℃	+150℃
Junction Temperature	ジャンクション温度	-40℃	+125℃

注記：

^[1] -2V～(V_{IHMAX} + 2)V の 20ns 未満のオーバーシュートおよびアンダーシュートは許容されます。

3.1.2 推奨動作条件

表 3-2 推奨動作条件

名称	説明	最小値	最大値
V _{CC}	LV バージョンのコア電圧	1.14V	1.26V
V _{CCIO}	I/O Bank 電圧	1.14V	3.6V
V _{CCX}	補助電圧(GW1N-4/9)	2.375V	3.6V
	補助電圧(GW1N-2)	1.71V	3.6V
V _{CCD} ^[1]	ハード MIPI D-PHY のコア電圧(GW1N-2)	1.14V	1.26V
V _{CCIOD} ^[1]	ハード MIPI D-PHY の I/O 電圧(GW1N-2)	1.14V	1.26V
T _{JAUT}	ジャンクション温度(オートモーティブ)	-40℃	+125℃

注記：

- ^[1]ハード MIPI D-PHY を使用しない場合は、V_{CCD} ピンと V_{CCIOD} ピンをフローティングのままにするか、1.2V 電源に接続できます。
- 一部のパッケージでは、V_{CCIO} と V_{CCX} が 1 本のピンを共有することがあります。この場合、V_{CCX} の要件を満たすことが優先されます。
- V_{CC}、V_{CCIO}、V_{CCX} の許容リップルはそれぞれ 3%、5%、5%です。1)、PLL に V_{CC} から直接電源が供給されているデバイスの場合、V_{CC} のリップルが PLL 出力クロックのジッタ特性に影響を与える可能性があります。2)、V_{CCIO} のリップルは、最終的に IO バッファの出力波形に伝わる可能性があります。
- 供給電源電圧の詳細については、『GW1N-2 デバイス Pinout(UG171)』、『GW1N-4 デバイス Pinout(UG105)』および『GW1N-9 デバイス Pinout(GW1N-9)』を参照してください。

3.1.3 電源のランプレート

表 3-3 電源のランプレート

名称	説明	デバイス	最小値	標準値	最大値
V _{CC} Ramp	V _{CC} のランプレート	GW1N-2/4/9	0.6mV/ μ s	-	6mV/ μ s
V _{CCX} Ramp	V _{CCX} のランプレート	GW1N-2/4/9	0.6mV/ μ s	-	10mV/ μ s
V _{CCIO} Ramp	V _{CCIO} のランプレート	GW1N-2/4/9	0.1mV/ μ s	-	10mV/ μ s

注記：

- すべての電源のランプは、単調である必要があります。
- コンフィグレーション前に、すべての電源は、表 3-2 で定義された動作範囲にある必要があります。電源が動作範囲にない場合は、より速いランプレートに調整するか、コンフィギュレーションを遅らせる必要があります。

3.1.4 ホットプラグ特性

表 3-4 ホットプラグ特性

名称	説明	条件	I/O タイプ	最大値
I_{HS}	入力または I/O のリーク電流(Input or I/O leakage current)	$0 < V_{IN} < V_{IH}(MAX)$	I/O	150uA
I_{HS}	入力または I/O のリーク電流(Input or I/O leakage current)	$0 < V_{IN} < V_{IH}(MAX)$	TDI,TDO, TMS,TCK	120uA

3.1.5 PoR 特性

表 3-5 POR 電圧パラメータ

名称	説明	デバイス	名称	値
V_{POR_UP}	Power on reset ramp up trip point	GW1N-2	V_{CC}	0.8V
			V_{CCX}	1.5V
			V_{CCIO}	0.95V
		GW1N-4	V_{CC}	0.95V
			V_{CCX}	1.95V
			V_{CCIO}	0.95V
		GW1N-9	V_{CC}	0.95V
			V_{CCX}	1.95V
			V_{CCIO}	0.95V
V_{POR_DOWN}	Power on reset ramp down trip point	GW1N-2	V_{CC}	0.65V
			V_{CCX}	1.3V
			V_{CCIO}	0.75V
		GW1N-4	V_{CC}	0.75V
			V_{CCX}	1.8V
			V_{CCIO}	0.6V
		GW1N-9	V_{CC}	0.75V
			V_{CCX}	1.8V
			V_{CCIO}	0.6V

3.2 ESD

表 3-6 GW1N ESD - HBM

デバイス	GW1N-2	GW1N-4	GW1N-9
QN60	-	-	HBM>1,000V

デバイス	GW1N-2	GW1N-4	GW1N-9
QN88	HBM>1,000V	HBM>1,000V	-
QN88F	-	-	HBM>1,000V

表 3-7 GW1N ESD - CDM

デバイス	GW1N-2	GW1N-4	GW1N-9
QN60	-	-	CDM>500V
QN88	CDM>500V	CDM>500V	-
QN88F	-	-	CDM>500V

3.3 DC 電気特性

3.3.1 推奨動作条件内の DC 電気特性

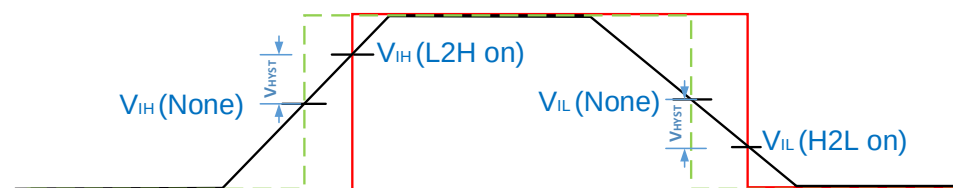
表 3-8 推奨動作条件内の DC 電気特性

名称	説明	条件	最小値	標準値	最大値
I_{IL}, I_{IH}	入力または I/O のリーク電流 (Input or I/O leakage)	$V_{CCIO} < V_{IN} < V_{IH}(\text{MAX})$	-	-	210 μ A
		$0 < V_{IN} < V_{CCIO}$	-	-	10 μ A
I_{PU}	I/O のプルアップ電流 (I/O Active Pull-up Current)	$0 < V_{IN} < 0.7V_{CCIO}$	-30 μ A	-	-150 μ A
I_{PD}	I/O のプルダウン電流 (I/O Active Pull-down Current)	$V_{IL}(\text{MAX}) < V_{IN} < V_{CCIO}$	30 μ A	-	150 μ A
I_{BHLS}	バスホールド Low 時の持続電流 (Bus Hold Low Sustaining Current)	$V_{IN} = V_{IL}(\text{MAX})$	30 μ A	-	-
I_{BHHS}	バスホールド High 時の持続電流 (Bus Hold High Sustaining Current)	$V_{IN} = 0.7V_{CCIO}$	-30 μ A	-	-
I_{BHLO}	バスホールド Low 時のオーバードライブ電流 (Bus Hold Low Overdrive Current)	$0 \leq V_{IN} \leq V_{CCIO}$	-	-	150 μ A

名称	説明	条件	最小値	標準値	最大値
$I_{BH\overline{H}O}$	バスホールド High 時のオーバードライブ電流 (Bus Hold High Overdrive Current)	$0 \leq V_{IN} \leq V_{CCIO}$	-	-	-150 μ A
V_{BHT}	バスホールドのトリップポイント (Bus hold trip points)		$V_{IL}(\text{MAX})$	-	$V_{IH}(\text{MIN})$
C1	I/O 電気容量 (I/O Capacitance)			5pF	8pF
V_{HYST}	入力ヒステリシス (Hysteresis for Schmitt Trigger inputs)	$V_{CCIO}=3.3\text{V}$, Hysteresis=L2H ^{[1],[2]}	-	200mV	-
		$V_{CCIO}=2.5\text{V}$, Hysteresis= L2H	-	125mV	-
		$V_{CCIO}=1.8\text{V}$, Hysteresis= L2H	-	60mV	-
		$V_{CCIO}=1.5\text{V}$, Hysteresis= L2H	-	40mV	-
		$V_{CCIO}=1.2\text{V}$, Hysteresis= L2H	-	20mV	-
		$V_{CCIO}=3.3\text{V}$, Hysteresis= H2L ^{[1],[2]}	-	200mV	-
		$V_{CCIO}=2.5\text{V}$, Hysteresis= H2L	-	125mV	-
		$V_{CCIO}=1.8\text{V}$, Hysteresis= H2L	-	60mV	-
		$V_{CCIO}=1.5\text{V}$, Hysteresis= H2L	-	40mV	-
		$V_{CCIO}=1.2\text{V}$, Hysteresis= H2L	-	20mV	-
		$V_{CCIO}=3.3\text{V}$, Hysteresis= HIGH ^{[1],[2]}	-	400mV	-
		$V_{CCIO}=2.5\text{V}$, Hysteresis= HIGH	-	250mV	-
		$V_{CCIO}=1.8\text{V}$, Hysteresis= HIGH	-	120mV	-
		$V_{CCIO}=1.5\text{V}$, Hysteresis= HIGH	-	80mV	-
		$V_{CCIO}=1.2\text{V}$, Hysteresis= HIGH	-	40mV	-

注記：

- ^[1] Hysteresis=「NONE」, 「L2H」, 「H2L」, 「HIGH」は、Gowin EDA の FloorPlanner ツールで I/O 制約を設定する際の Hysteresis オプションです。その設定方法については、『Gowin 物理制約ユーザーガイド(SUG935)』を参照してください。
- ^[2] L2H (low to high)オプションを有効にすると、 V_{IH} が V_{HYST} の分上がり、H2L(high to low)オプションを有効にすると、 V_{IL} が V_{HYST} の分下がります。HIGH オプションを有効にすると、L2H と H2L オプションの両方を有効にすることになり、すなわち $V_{HYST}(\text{HIGH})= V_{HYST}(\text{L2H}) + V_{HYST}(\text{H2L})$ です。その説明図は次のとおりです：



3.3.2 静的電流

表 3-9 静的電流

デバイス	名称	説明	デバイスタイプ	標準値(mA)
GW1N-2	I _{CC}	V _{CC} 電流(V _{CC} =1.2V)	LV	1.5
	I _{CCX}	V _{CCX} 電流(V _{CCX} =3.3V)	LV	0.6
	I _{CCIO}	V _{CCIO} 電流(V _{CCIO} =2.5V)	LV	1
GW1N-4	I _{CC}	V _{CC} 電流(V _{CC} =1.2V)	LV	2.8
	I _{CCX}	V _{CCX} 電流(V _{CCX} =3.3V)	LV	1.15
	I _{CCIO}	V _{CCIO} 電流(V _{CCIO} =2.5V)	LV	0.55
GW1N-9	I _{CC}	V _{CC} 電流(V _{CC} =1.2V)	LV	2.4
	I _{CCX}	V _{CCX} 電流(V _{CCX} =3.3V)	LV	1.3
	I _{CCIO}	V _{CCIO} 電流(V _{CCIO} =2.5V)	LV	0.7

注記：

表 3-9 の静的電流の値は、25℃での標準値です。

3.3.3 プログラミング電流

表 3-10 プログラミング電流

デバイス	説明	デバイスタイプ	標準値(mA)	最大値(mA)
GW1N-2	Flash をプログラム時の V _{CC} 電流(V _{CC} =1.2V)	LV バージョン	-	2.19
	Flash をプログラム時の V _{CCX} 電流(V _{CCX} =3.3V)	LV バージョン	-	12
	Flash をプログラム時の V _{CCIO} 電流(V _{CCIO} =2.5V)	LV バージョン	-	2
GW1N-4	Flash をプログラム時の V _{CC} 電流(V _{CC} =1.2V)	LV バージョン	-	2.19
	Flash をプログラム時の V _{CCX} 電流(V _{CCX} =3.3V)	LV バージョン	-	12
	Flash をプログラム時の V _{CCIO} 電流(V _{CCIO} =2.5V)	LV バージョン	-	2
GW1N-9	Flash をプログラム時の V _{CC} 電流(V _{CC} =1.2V)	LV バージョン	-	2.19
	Flash をプログラム時の V _{CCX} 電流(V _{CCX} =3.3V)	LV バージョン	-	12
	Flash をプログラム時の V _{CCIO} 電流(V _{CCIO} =2.5V)	LV バージョン	-	2

デバイス	説明	デバイスタイプ	標準値(mA)	最大値(mA)
		ヨン		

3.3.4 I/O の推奨動作条件

表 3-11 I/O の推奨動作条件

名称	出力用の $V_{CCIO}(V)$			入力用の $V_{REF}(V)$		
	最小値	標準値	最大値	最小値	標準値	最大値
LVTTL33	3.135	3.3	3.6	-	-	-
LVC MOS33	3.135	3.3	3.6	-	-	-
LVC MOS25	2.375	2.5	2.625	-	-	-
LVC MOS18	1.71	1.8	1.89	-	-	-
LVC MOS15	1.425	1.5	1.575	-	-	-
LVC MOS12	1.14	1.2	1.26	-	-	-
SSTL15	1.425	1.5	1.575	0.68	0.75	0.9
SSTL18_I	1.71	1.8	1.89	0.833	0.9	0.969
SSTL18_II	1.71	1.8	1.89	0.833	0.9	0.969
SSTL25_I	2.375	2.5	2.645	1.15	1.25	1.35
SSTL25_II	2.375	2.5	2.645	1.15	1.25	1.35
SSTL33_I	3.135	3.3	3.6	1.3	1.5	1.7
SSTL33_II	3.135	3.3	3.6	1.3	1.5	1.7
HSTL18_I	1.71	1.8	1.89	0.816	0.9	1.08
HSTL18_II	1.71	1.8	1.89	0.816	0.9	1.08
HSTL15	1.425	1.5	1.575	0.68	0.75	0.9
PCI33	3.135	3.3	3.6	-	-	-
LVPECL33E	3.135	3.3	3.6	-	-	-
MLVDS25E	2.375	2.5	2.625	-	-	-
BLVDS25E	2.375	2.5	2.625	-	-	-
RSDS25E	2.375	2.5	2.625	-	-	-
LVDS25E	2.375	2.5	2.625	-	-	-
SSTL15D	1.425	1.5	1.575	-	-	-
SSTL18D_I	1.71	1.8	1.89	-	-	-
SSTL18D_II	1.71	1.8	1.89	-	-	-

名称	出力用の $V_{CCIO}(V)$			入力用の $V_{REF}(V)$		
	最小値	標準値	最大値	最小値	標準値	最大値
SSTL25D_I	2.375	2.5	2.625	-	-	-
SSTL25D_II	2.375	2.5	2.625	-	-	-
SSTL33D_I	3.135	3.3	3.6	-	-	-
SSTL33D_II	3.135	3.3	3.6	-	-	-
HSTL15D	1.425	1.5	1.575	-	-	-
HSTL18D_I	1.71	1.8	1.89	-	-	-
HSTL18D_II	1.71	1.8	1.89	-	-	-

3.3.5 シングルエンド I/O の DC 電気特性

表 3-12 シングルエンド I/O の DC 電気特性

名称	V _{IL}		V _{IH}		V _{OL} (最大値)	V _{OH} (最小値)	I _{OL} ^[1] (mA)	I _{OH} ^[1] (mA)
	最 小 値	最大値	最小値	最 大 値				
LVCMOS33 LVTTTL33	-0.3V	0.8V	2.0V	3.6V	0.4V	V _{CCIO} -0.4V	4	-4
							8	-8
							12	-12
							16	-16
					0.2V	V _{CCIO} -0.2V	24 ^[2]	-24 ^[2]
LVCMOS25	-0.3V	0.7V	1.7V	3.6V	0.4V	V _{CCIO} -0.4V	4	-4
							8	-8
							12	-12
							16	-16
					0.2V	V _{CCIO} -0.2V	0.1	-0.1
LVCMOS18	-0.3V	0.35*V _{CCIO}	0.65*V _{CCIO}	3.6V	0.4V	V _{CCIO} -0.4V	4	-4
							8	-8
							12	-12
					0.2V	V _{CCIO} -0.2V	0.1	-0.1
LVCMOS15	-0.3V	0.35*V _{CCIO}	0.65*V _{CCIO}	3.6V	0.4V	V _{CCIO} -0.4V	4	-4
							8	-8
					0.2V	V _{CCIO} -0.2V	0.1	-0.1
LVCMOS12	-0.3V	0.35*V _{CCIO}	0.65*V _{CCIO}	3.6V	0.4V	V _{CCIO} -0.4V	4 または 2 ^[3]	-4 または -2 ^[3]
							8 または 6 ^[3]	-8 または -6 ^[3]
					0.2V	V _{CCIO} -0.2V	0.1	-0.1
PCI33	-0.3V	0.3*V _{CCIO}	0.5*V _{CCIO}	3.6V	0.1*V _{CCIO}	0.9*V _{CCIO}	1.5	-0.5
SSTL33_I	-0.3V	V _{REF} -0.2V	V _{REF} +0.2V	3.6V	0.7	V _{CCIO} -1.1V	8	-8
SSTL25_I	-0.3V	V _{REF} -0.18V	V _{REF} +0.18V	3.6V	0.54V	V _{CCIO} -0.62V	8	-8
SSTL25_II	-0.3V	V _{REF} -0.18V	V _{REF} +0.18V	3.6V	NA	NA	NA	NA

名称	V _{IL}		V _{IH}		V _{OL} (最大値)	V _{OH} (最小値)	I _{OL} ^[1] (mA)	I _{OH} ^[1] (mA)
	最 小 値	最大値	最小値	最 大 値				
SSTL18_II	-0.3V	V _{REF} -0.125V	V _{REF} +0.125V	3.6V	NA	NA	NA	NA
SSTL18_I	-0.3V	V _{REF} -0.125V	V _{REF} +0.125V	3.6V	0.40V	V _{CCIO} -0.40V	8	-8
SSTL15	-0.3V	V _{REF} -0.1V	V _{REF} + 0.1V	3.6V	0.40V	V _{CCIO} -0.40V	8	-8
HSTL18_I	-0.3V	V _{REF} -0.1V	V _{REF} + 0.1V	3.6V	0.40V	V _{CCIO} -0.40V	8	-8
HSTL18_II	-0.3V	V _{REF} -0.1V	V _{REF} + 0.1V	3.6V	NA	NA	NA	NA
HSTL15_I	-0.3V	V _{REF} -0.1V	V _{REF} + 0.1V	3.6V	0.40V	V _{CCIO} -0.40V	8	-8
HSTL15_II	-0.3V	V _{REF} -0.1V	V _{REF} + 0.1V	3.6V	NA	NA	NA	NA

注記：

- ^[1]同じ Bank 内のすべての IO の合計 DC 電流制限(ソース電流とシンク電流を含む)：同じ Bank 内のすべての IO の合計電流は、n*8mA を超えてはなりません。ここで、n は Bank からボンディングされる IO の数です。
- ^[2] GW1N-2 デバイスは 24mA をサポートしていません。
- ^[3] GW1N-2 は 2mA/6mA をサポートし、GW1N-4/9 は 4mA/8mA をサポートします。

3.3.6 差動 I/O の DC 電気特性

表 3-13 差動 I/O の DC 電気特性

名称	説明	テスト条件	最小値	標準値	最大値	単位
V _{INA} , V _{INB}	入力電圧(Input Voltage)		0	-	2.4	V
V _{CM}	コモンモード入力電圧 (Input Common Mode Voltage)	Half the Sum of the Two Inputs	0.05	-	2.35	V
V _{THD}	差動入力スレッショルド (Differential Input Threshold)	Difference Between the Two Inputs	±100		±600	mV
I _{IN}	入力電流(Input Current)	Power On or Power Off	-	-	±10	μA
V _{OH}	出力 High 電圧 (Output High Voltage for V _{OP} or V _{OM})	R _T = 100Ω	-	-	1.60	V
V _{OL}	出力 Low 電圧 (Output Low Voltage for V _{OP} or V _{OM})	R _T = 100Ω	0.9	-	-	V
V _{OD}	差動モード出力電圧 (Output Voltage Differential)	(V _{OP} - V _{OM}), R _T =100Ω	250	350	450	mV
ΔV _{OD}	差動モード出力電圧の変化 (Change in V _{OD} Between High and Low)		-	-	50	mV
V _{OS}	コモンモード出力電圧 (Output	(V _{OP} + V _{OM})/2,	1.125	1.20	1.375	V

名称	説明	テスト条件	最小値	標準値	最大値	単位
	Voltage Offset)	$R_T=100\Omega$				
ΔV_{OS}	コモンモード出力電圧の変化 (Change in V_{OS} Between High and Low)		-	-	50	mV
I_S	短絡電流	$V_{OD} = 0V$ 、出力短絡	-	-	15	mA

3.4 スイッチング特性

3.4.1 CFU のスイッチング特性

表 3-14 CFU 内部のタイミングパラメータ^{[1], [2]}

デバイス	名称	説明	A5		A4		単位
			最 小 値	最 大 値	最 小 値	最 大 値	
GW1N-2	t_{LUT4_CFU}	LUT4 遅 延 (LUT4 delay)	0.412	0.594	-	-	ns
	t_{SR_CFU}	セット/リセットからレジスタ出力までの時間 (Set/Reset to Register output)	0.648	1.268	-	-	ns
	t_{CO_CFU}	クロックからレジスタ出力までの時間 (Clock to Register output)	0.247	0.340	-	-	ns
GW1N-4	t_{LUT4_CFU}	LUT4 遅 延 (LUT4 delay)	-	-	0.556	0.802	ns
	t_{SR_CFU}	セット/リセットからレジスタ出力までの時間 (Set/Reset to Register output)	-	-	0.875	1.712	ns
	t_{CO_CFU}	クロックからレジスタ出力までの時間 (Clock to Register output)	-	-	0.333	0.458	ns
GW1N-9	t_{LUT4_CFU}	LUT4 遅 延 (LUT4 delay)	-	-	0.556	0.802	ns
	t_{SR_CFU}	セット/リセットからレジスタ出力までの時間 (Set/Reset to Register output)	-	-	0.875	1.712	ns
	t_{CO_CFU}	クロックからレジスタ出力までの時間	-	-	0.333	0.458	ns

デバイス	名称	説明	A5		A4		単位
			最 小 値	最 大 値	最 小 値	最 大 値	
		(Clock to Register output)					

注記：

- ^[1] min/max 値は、立ち上がりエッジの遅延に基づいています。
- ^[2] LUT4 の遅延値は、入力ポート I3->F の遅延に基づいています。

3.4.2 BSRAM のスイッチング特性

表 3-15 BSRAM のタイミングパラメータ

デバイス	名称	説明	A5		A4		単位
			最 小 値	最 大 値	最 小 値	最 大 値	
GW1N-2	t _{COAD_BSRAM}	BSRAM 読み出しアドレス/データのクロックから出力までの時間(Clock to output time of read address/data)	2.564	2.564	-	-	ns
	t _{COOR_BSRAM}	BSRAM 出力レジスタのクロックから出力までの時間 (Clock to output time of output register)	0.613	0.613	-	-	ns
GW1N-4	t _{COAD_BSRAM}	BSRAM 読み出しアドレス/データのクロックから出力までの時間(Clock to output time of read address/data)	-	-	3.460	3.460	ns
	t _{COOR_BSRAM}	BSRAM 出力レジスタのクロックから出力までの時間 (Clock to output time of output register)	-	-	0.827	0.827	ns

デバイス	名称	説明	A5		A4		単位
			最 小 値	最 大 値	最 小 値	最 大 値	
GW1N-9	t _{COAD_BSRAM}	BSRAM 読み出しアドレス/データのクロックから出力までの時間(Clock to output time of read address/data)	-	-	3.460	3.460	ns
	t _{COOR_BSRAM}	BSRAM 出力レジスタのクロックから出力までの時間 (Clock to output time of output register)	-	-	0.827	0.827	ns

3.4.3 DSP のスイッチング特性

表 3-16 DSP のタイミングパラメータ

デバイス	名称	説明	A4		単位
			最 小 値	最 大 値	
GW1N-4	t _{COIR_DSP}	入力レジスタのクロックから出力までの時間 (Clock to output time of input register)	0.29 5	0.31 8	ns
	t _{COPR_DSP}	パイプラインレジスタのクロックから出力までの時間 (Clock to output time of pipeline register)	0.08 5	0.10 1	ns
	t _{COOR_DSP}	出力レジスタのクロックから出力までの時間 (Clock to output time of output register)	0.04 6	0.05 2	ns
GW1N-9	t _{COIR_DSP}	入力レジスタのクロックから出力までの時間 (Clock to output time of input register)	0.29 5	0.31 8	ns
	t _{COPR_DSP}	パイプラインレジスタのクロックから出力ま	0.08 5	0.10 1	ns

デバイス	名称	説明	A4		単位
			最 小 値	最 大 値	
		での時間 (Clock to output time of pipeline register)			
	t _{COOR_DSP}	出力レジスタのクロックから出力までの時間 (Clock to output time of output register)	0.04 6	0.05 2	ns

3.4.4 Gearbox のスイッチング特性

表 3-17 Gearbox のタイミングパラメータ

デバイス	名称	説明	最大値	単位
GW1N-4/9	FMAX _{IDDR}	1:2 Gearbox 入力の場合における IO の最大シリアルレート	400	Mbps
	FMAX _{IDES4}	1:4 Gearbox 入力の場合における IO の最大シリアルレート	800	Mbps
	FMAX _{IDES7}	1:7 Gearbox 入力の場合における IO の最大シリアルレート	1000	Mbps
	FMAX _{IDESx}	1:8/1:10 Gearbox 入力の場合における IO の最大シリアルレート	1100	Mbps
	FMAX _{ODDR}	2:1 Gearbox 出力の場合における IO の最大シリアルレート	400	Mbps
	FMAX _{OSER4}	4:1 Gearbox 出力の場合における IO の最大シリアルレート	800	Mbps
	FMAX _{OSER7}	7:1 Gearbox 出力の場合における IO の最大シリアルレート	1000	Mbps
	FMAX _{OSERx}	8:1/10:1 Gearbox 出力の場合における IO の最大シリアルレート	1100	Mbps
GW1N-2	FMAX _{IDDR}	1:2 Gearbox 入力の場合における IO の最大シリアルレート	400	Mbps
	FMAX _{IDES4}	1:4 Gearbox 入力の場合における IO の最大シリアルレート	800	Mbps

デバイス	名称	説明	最大値	単位
		場合における IO の最大シリアルレート		
	FMAX _{IDES7}	1:7 Gearbox 入力の場合における IO の最大シリアルレート	1000	Mbps
	FMAX _{IDESx}	1:8/1:10/1:16 Gearbox 入力の場合における IO の最大シリアルレート	1200	Mbps
	FMAX _{ODDR}	2:1 Gearbox 出力の場合における IO の最大シリアルレート	400	Mbps
	FMAX _{OSER4}	4:1 Gearbox 出力の場合における IO の最大シリアルレート	800	Mbps
	FMAX _{OSER7}	7:1 Gearbox 出力の場合における IO の最大シリアルレート	1000	Mbps
	FMAX _{OSERx}	8:1/10:1/16:1 Gearbox 出力の場合における IO の最大シリアルレート	1200	Mbps

注記：

- LVDS IO の速度は最大 1Gbps ですが、1:4 と 1:2 の場合、コア速度が対応する速度に到達できない場合があります。
- Drive Strength=3.5 mA。

表 3-18 シングルエンド IO の Fmax

名称	Fmax の最小値(MHz)	
	Drive Strength = 4mA	Drive Strength > 4mA
LVTTL33	150	300
LVC MOS33	150	300
LVC MOS25	150	300
LVC MOS18	150	300
LVC MOS15	150	200
LVC MOS12	150	150

注記：

テスト負荷値は 30pF 電気容量です。

3.4.5 クロックおよび I/O のスイッチング特性

表 3-19 外部スイッチング特性

デバイス	名称	A5	A4	単位
		標準値	標準値	
GW1N-2	HCLK Tree delay	0.6	-	ns
	PCLK Tree delay(GCLK0~5)	1.8	-	ns
	PCLK Tree delay(GCLK6~7)	2.1	-	ns
	Pin-LUT-Pin Delay	2.5	-	ns
GW1N-4	HCLK Tree delay	-	1	ns
	PCLK Tree delay(GCLK0~5)	-	2.2	ns
	PCLK Tree delay(GCLK6~7)	-	2.5	ns
	Pin-LUT-Pin Delay	-	4.2	ns
GW1N-9	HCLK Tree delay	-	1	ns
	PCLK Tree delay(GCLK0~5)	-	2.2	ns
	PCLK Tree delay(GCLK6~7)	-	2.5	ns
	Pin-LUT-Pin Delay	-	4.2	ns

3.4.6 オンチップオシレータのスイッチング特性

表 3-20 オンチップオシレータのパラメータ

名称	説明		最小値	標準値	最大値
f _{MAX}	オシレータの出力 周波数 (-40 ~ +125°C)	GW1N-2/9	112.5MHz	125MHz	137.5MHz
		GW1N-4	91.85MHz	105MHz	118.25MHz
t _{DT}	出力クロックのデューティサイクル		43%	50%	57%
t _{OPJIT}	出力クロックのジッタ		0.01UIPP	0.012UIPP	0.02UIPP

3.4.7 PLL のスイッチング特性

表 3-21 PLL のパラメータ^[1]

デバイス	スピードグレード	名称	最小値	最大値
GW1N-2	A5	CLKIN	3MHz	400MHz
		PFD	3MHz	400MHz
		VCO	400MHz	800MHz
		CLKOUT	3.125MHz	750MHz
GW1N-4	A4	CLKIN	3MHz	320MHz
		PFD	3MHz	320MHz
		VCO	320MHz	800MHz
		CLKOUT	2.5MHz	400MHz
GW1N-9	A4	CLKIN	3MHz	400MHz
		PFD	3 MHz	400MHz
		VCO	400MHz	1000MHz
		CLKOUT	3.125MHz	500MHz

注記：

^[1]各チャネルの最小出力周波数は異なる場合があります。チャネル A の場合は最小 VCO 出力周波数/128、つまり 3.125MHz または 2.5MHz です。チャネル B/C/D の場合、カスケードされているかどうか(パラメータ)に従って判断する必要があります。カスケードされていない場合、その最小出力周波数はチャネル A と同じです。カスケードされている場合、その最小出力周波数はさらに 128 で割る必要があります。

3.5 User Flash の電気特性

3.5.1 DC 電気特性

($T_J = -40 \sim +105^{\circ}\text{C}$, $V_{CC} = 0.95 \sim 1.05\text{V}$, $V_{CCX} = 1.7 \sim 3.45\text{V}$, $V_{SS} = 0\text{V}$)

表 3-22 GW1N-2/4/9 の User Flash の DC 電気特性^{[1], [4]}

名称	パラメータ	最大値		単位	Wake-up 時間	条件
		$V_{CC}^{[3]}$	V_{CCX}			
読み出しモード (w/l 25ns)	$I_{CC1}^{[2]}$	2.19	0.5	mA	NA	最小クロックサイクル、デューティサイクル 100%、VIN = 「1/0」
書き込みモード		0.1	12	mA	NA	-
消去モード		0.1	12	mA	NA	-

名称	パラメータ	最大値		単位	Wake-up 時間	条件
		V _{CC} ^[3]	V _{CCX}			
ページ消去モード		0.1	12	mA	NA	–
読み出しモードの静的電流(25~50ns)	I _{CC2}	980	25	μA	NA	XE=YE=SE=「1」、T=T _{acc} から T=50ns まで、I/O の電流は 0mA。T=50ns の後、内部タイマーは読み出しモードをオフにし、I/O の電流は待機モード電流
待機モード	I _{SB}	5.2	20	μA	0	V _{SS} 、V _{CCX} および V _{CC}

注記：

- ^[1] これらの数値は直流平均電流値であり、ピーク値は当該平均電流値よりも高くなります。
- ^[2] I_{CC1} は T_{new} により異なります。
 - T_{new} < T_{acc} は許容されません
 - T_{new} = T_{acc} : 上表参照
 - T_{acc} < T_{new} - 50ns : I_{CC1} (new) = (I_{CC1} - I_{CC2})(T_{acc}/T_{new}) + I_{CC2}
 - T_{new} > 50ns : I_{CC1} (new) = (I_{CC1} - I_{CC2})(T_{acc}/T_{new}) + 50ns*I_{CC2}/T_{new} + I_{SB}
 - t > 50ns : I_{CC2} = I_{SB}
- ^[3] V_{CC} は、wake-up time のゼロ時間から 1.08V 以上である必要があります。
- ^[4] Flash のリーク電流は、FPGA デバイスのリーク電流に含まれています。詳しくは表 3-4 を参照してください。

3.5.2 タイミングパラメータ

($T_J = -40 \sim +105^{\circ}\text{C}$, $V_{CC} = 0.95 \sim 1.05\text{V}$, $V_{CCX} = 1.7 \sim 3.45\text{V}$, $V_{SS} = 0\text{V}$)

表 3-23 GW1N-2/4/9 の User Flash のタイミングパラメータ^{[1], [4], [5]}

ユーザーモード	パラメータ	記号	最小値	最大値	単位
アクセス時間	WC1	$T_{acc}^{[2]}$	-	25	ns
	TC		-	22	ns
	BC		-	21	ns
	LT		-	21	ns
	WC		-	25	ns
プログラミング/消去からデータ保存までのセットアップ時間		T_{nvs}	5	-	μs
データ保存のホールド時間		T_{nvh}	5	-	μs
データ保存のホールド時間(マス消去)		T_{nvhl}	100	-	μs
データ保存からプログラミングまでのセットアップ時間		T_{pgs}	10	-	μs
プログラミングのホールド時間		T_{pgh}	20	-	ns
プログラミング時間		T_{prog}	8	16	μs
書き込みの準備時間		T_{wpr}	>0	-	ns
書き込みのホールド時間		T_{whd}	>0	-	ns
制御信号から書き込み/消去までのセットアップ時間		T_{cps}	-10	-	ns
SE から読み出しまでのセットアップ時間		T_{as}	0.1	-	ns
SE パルスの High レベル時間		T_{pws}	5	-	ns
アドレス/データのセットアップ時間		T_{ads}	20	-	ns
アドレス/データのホールド時間		T_{adh}	20	-	ns
データのホールド時間		T_{dh}	0.5	-	ns
読み出しモードのアドレスのホールド時間	WC1	T_{ah}	25	-	ns
	TC	-	22	-	ns
	BC	-	21	-	ns
	LT	-	21	-	ns
	WC	-	25	-	ns
SE パルスの Low レベル時間		T_{nws}	2	-	ns

ユーザーモード	パラメータ	記号	最小値	最大値	単位
リカバリ時間		T_{rcv}	10	-	μs
データ保持時間		$T_{hv}^{[3]}$	-	6	ms
消去時間		T_{erase}	100	120	ms
マス消去時間		T_{me}	100	120	ms
パワーダウンから待機モードまでの Wake-up 時間		T_{wk_pd}	7	-	μs
待機のホールド時間		T_{sbh}	100	-	ns
V_{CC} のセットアップ時間		T_{ps}	0	-	ns
V_{CCX} のホールド時間		T_{ph}	0	-	ns

注記：

- ^[1]これらの数値はシミュレーションデータに過ぎません。
- ^[2]信号 XADR、YADR、XE、及び YE が有効になった後、 T_{acc} の開始時間は SE 信号の立ち上がりエッジになります。読み出されたデータ DOUT は、次の有効な読み出しまで保存されます。
- ^[3] T_{hv} (Cumulative program high voltage period)は書き込みの開始から次のデータ消去までの累積時間です。次の消去前に同じアドレスに 3 回以上 0 または 1 を書き込んではいけません。次の消去前に同じビットセルに 3 回以上 0 を書き込んではいけません。このような制限は安全のためです。
- ^[4]すべての波形には、1ns の立ち上がりエッジ時間と 1ns の立ち下がりエッジ時間があります。
- ^[5]制御信号 X、YADR、XE、及び YE は少なくとも T_{acc} ホールドする必要がある、 T_{acc} は SE の立ち上がりエッジから開始します。

3.5.3 タイミング図(GW1N-2/4/9)

図 3-1 User Flash の読み出しタイミング

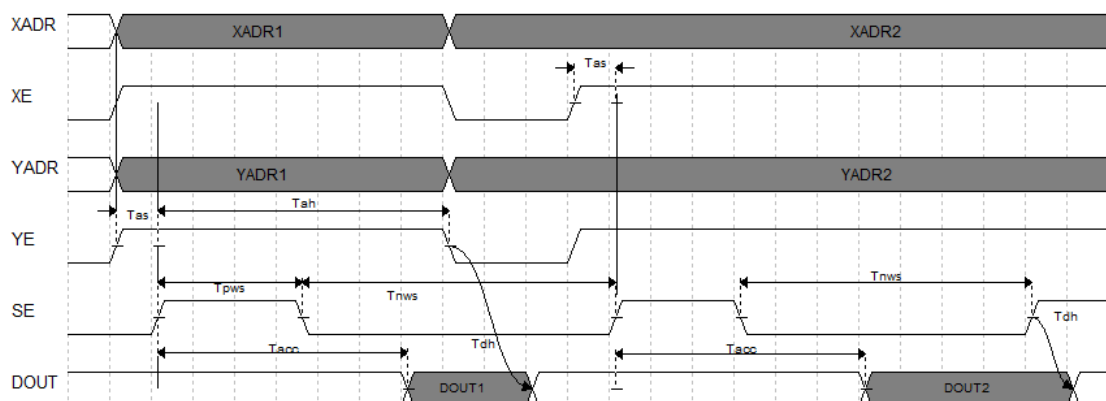


図 3-2 User Flash のプログラミングタイミング

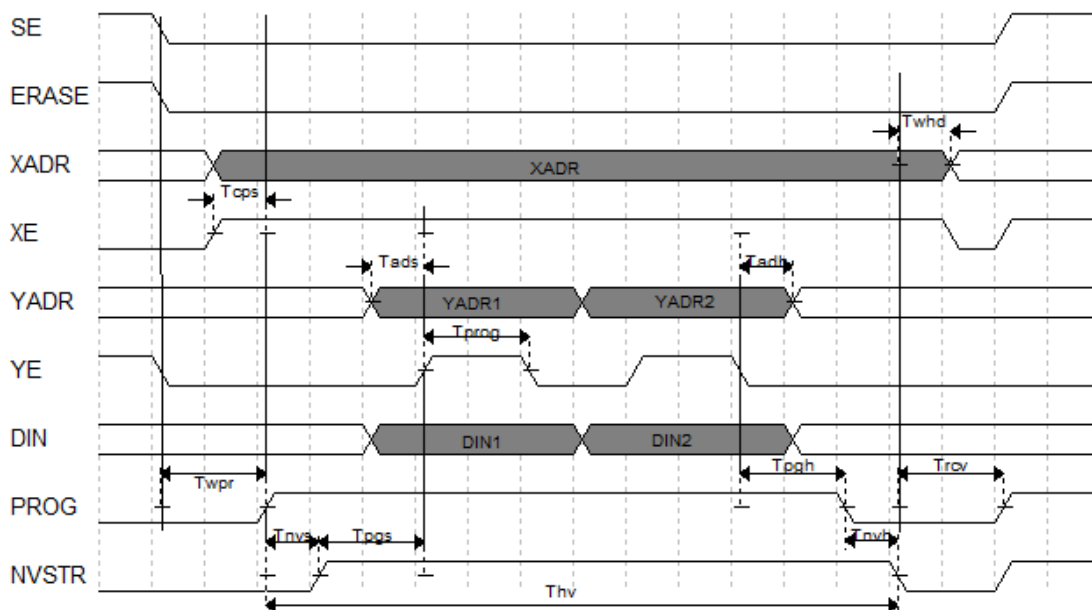
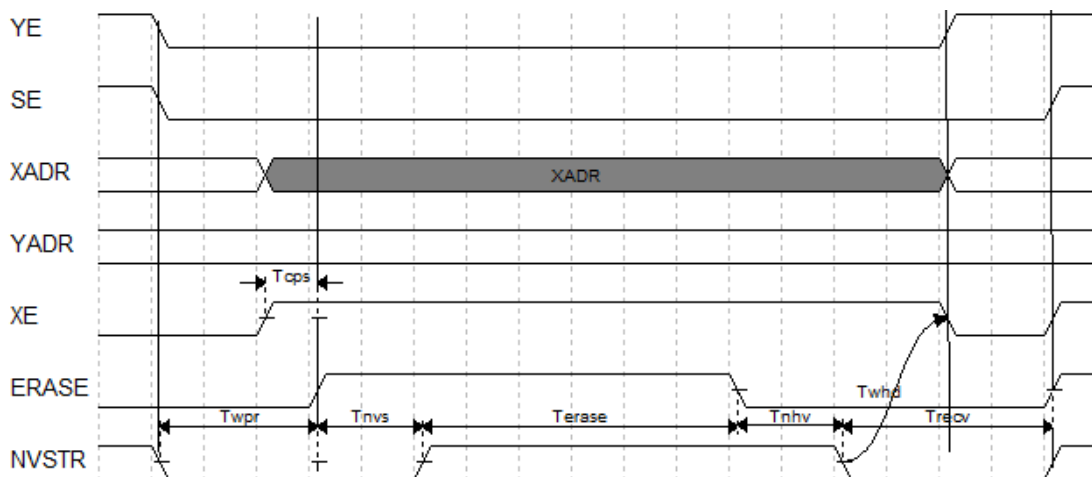


図 3-3 User Flash の消去タイミング



3.6 コンフィギュレーション・インターフェースのタイミ ング仕様

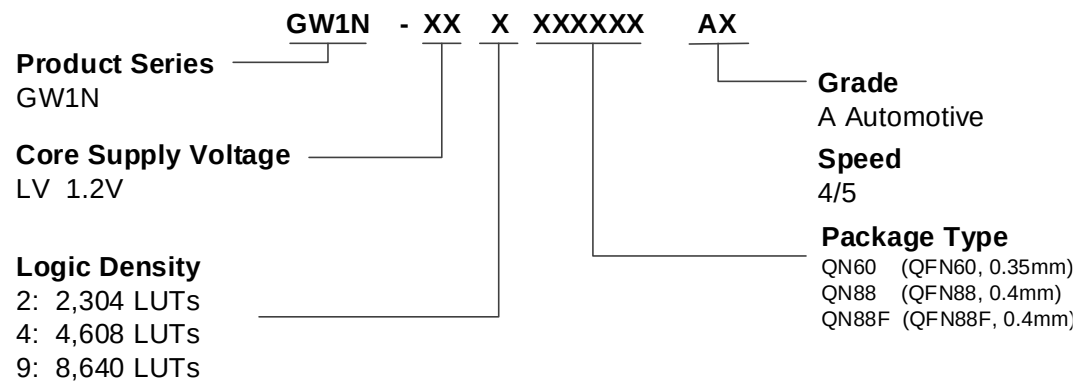
GW1N シリーズ FPGA 製品(オートモーティブ)は、AUTO BOOT モード、DUAL BOOT モード、MSPI モード、SSPI モード、CPU モード、SERIAL モード、および I²C モードの 7 つ GowinCONFIG コンフィギュレーション・モードをサポートします。詳細については、『Gowin FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド(UG290)』を参照してください。

4 デバイス購入情報

4.1 デバイス・オーダー・コード

注記：
デバイスのパッケージの詳細については 1.2 製品情報一覧および 1.3 パッケージ情報一覧を参照してください。

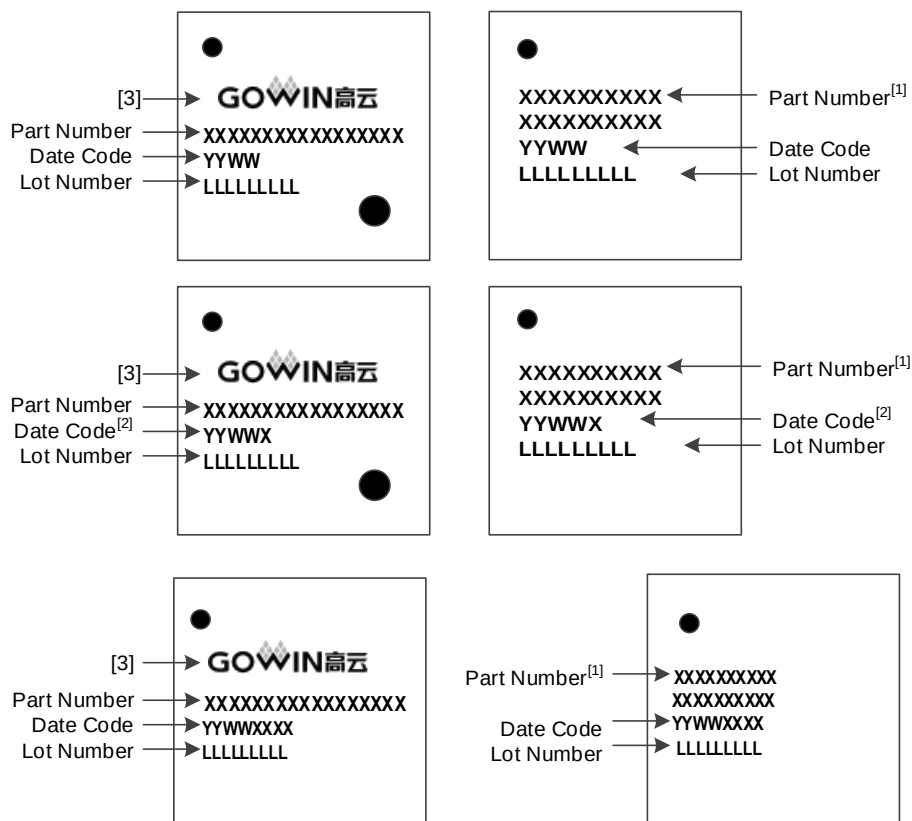
図 4-1 デバイス・オーダー・コード - Production



4.2 デバイスのパッケージマーク

GOWIN セミコンダクターのチップの表面にデバイス情報が印刷されています(図 4-2)。

図 4-2 デバイスのパッケージのマーク例



注記：

- ^[1]上の右図の一行目と二行目は両方とも「Part Number」(部品番号)です。
- ^[2] Date Code の 5 番目の文字は、デバイスのバージョンを示します。
- ^[3]パッケージのマークに Gowin ロゴが付いているかどうかは、パッケージタイプ、パッケージサイズ、部品番号の長さによって決まります(上記の図はパッケージマークの一例にすぎません)。

5 本マニュアルについて

5.1 マニュアルの内容

本マニュアルは、ユーザーが **GOWIN** セミコンダクターFPGA 製品(オートモーティブ)を使いこなせるよう、その特徴、リソース情報、内部構造、電気特性、及びデバイス購入情報について説明しています。ユーザーが **GOWIN** セミコンダクターGW1N シリーズ FPGA 製品を使いこなせるよう作成されています。

5.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- Gowin FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド([UG290](#))
- GW1N シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG103](#))
- GW1N-2 デバイス Pinout([UG171](#))
- GW1N-4 デバイス Pinout([UG105](#))
- GW1N-9 デバイス Pinout([UG114](#))

5.3 用語、略語

表 5-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 5-1 用語、略語

用語、略語	正式名称	意味
ALU	Arithmetic Logic Unit	算術論理演算装置
BSRAM	Block Static Random Access Memory	ブロック SRAM
CFU	Configurable Function Unit	コンフィギャラブル機能ユ

用語、略語	正式名称	意味
		ニット
CLS	Configurable Logic Section	コンフィギュラブル論理セクション
CLU	Configurable Logic Unit	コンフィギュラブル論理ユニット
CRU	Configurable Routing Unit	コンフィギュラブル配線ユニット
CSI	Camera Serial Interface	カメラ・シリアル・インターフェース
DCS	Dynamic Clock Selector	ダイナミック・クロック・セクタ
DP	True Dual Port 16K BSRAM	16K のデュアル・ポート BSRAM
DQCE	Dynamic Quadrant Clock Enable	ダイナミック・クオドラント・クロック・イネーブル
DSI	Display Serial Interface	ディスプレイ・シリアル・インターフェース
DSP	Digital Signal Processing	デジタル信号処理
FF	Flip-Flop	フリップフロップ
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
GPIO	Gowin Programmable I/O	Gowin プログラマブル汎用 IO
IOB	Input/Output Block	入出力ブロック
LUT4	4-input Look-up Table	4 入力ルックアップテーブル
MIPI	Mobile Industry Processor Interface	モバイル産業用プロセッサ・インターフェース
PLL	Phase-locked Loop	位相同期回路
QN88	QFN88	QFN88 パッケージ
REG	Register	レジスタ
SDP	Semi Dual Port 16K BSRAM	16K のセミ・デュアル・ポート BSRAM
SP	Single Port 16K BSRAM	16K のシングル・ポート BSRAM
SSRAM	Shadow Static Random Access	分散 SRAM

用語、略語	正式名称	意味
	Memory	
TBD	To Be Determined	TBD

5.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

