

# GW1NSER シリーズ安全 FPGA 製品 データシート

## 著作権について(2025)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

**GOWIN** **高云**、Gowin、及びLittleBeeは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

## 免責事項

当社は、GOWINSEMI Terms and Conditions of Sale(GOWINSEMI 取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

## バージョン履歴

| 日付         | バージョン  | 説明                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |
|------------|--------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 2019/11/18 | 1.0J   | 初版。                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |
| 2020/08/13 | 1.0.1J | <ul style="list-style-type: none"> <li>● PLL のスイッチング特性を更新。</li> <li>● デバイス・オーダー・コードの図面を更新。</li> </ul>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |
| 2020/11/27 | 1.0.2J | ARM Cortex-M3 がサポートする最大動作周波数を更新。                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |
| 2021/11/17 | 1.0.3J | I/O 規格などの情報を更新。                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |
| 2023/03/30 | 1.1J   | <ul style="list-style-type: none"> <li>● I/O の推奨動作条件を更新。</li> <li>● 差動入力スレッシュホールド <math>V_{THD}</math> の最大値を更新。</li> <li>● DC 電流制限に関する注記を追加。</li> <li>● 「図 2-1 アーキテクチャの説明図 (GW1NSER-4C)」を更新。</li> <li>● 「表 2-1 GW1NSER シリーズ FPGA 製品でサポートされる出力 I/O タイプ及び一部のオプション」を更新。</li> <li>● 「表 3-1 絶対最大範囲」を更新。</li> <li>● 「表 3-3 電源のランプレート」を更新。</li> <li>● 「表 3-8 推奨動作条件内の DC 電気特性」を更新。</li> <li>● 「表 3-24 User Flash のタイミングパラメータ User Flash のタイミングパラメータ」を更新。</li> <li>● セクション「3.7.4 バイトイネーブル機能」を削除。</li> <li>● コンフィギュレーション Flash の情報を追加。</li> <li>● Slew Rate の説明を削除。</li> <li>● True LVDS の説明を変更。</li> <li>● GPIO のデフォルト状態に関する注記を変更。</li> <li>● 「表 3-13 CLU のタイミングパラメータ」を更新。</li> <li>● I/O ロジックの出力部の説明図と I/O ロジックの入力部の説明図を組み合わせ「図 2-6 I/O ロジックの入力と出力の説明図」に更新。</li> </ul>           |
| 2023/05/25 | 1.1.1J | <ul style="list-style-type: none"> <li>● 「2.7.2BSRAM の構成モード」を更新。</li> <li>● GW1NSER-4C の User Flash に関する情報を削除。</li> </ul>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |
| 2025/05/30 | 1.2J   | <ul style="list-style-type: none"> <li>● ドキュメントの構造を調整。</li> <li>● NOR Flash の説明を更新。</li> <li>● Cortex-M の説明を更新。</li> <li>● 「表 1-1 製品情報一覧」に最大 GPIO 数の注記を追加。</li> <li>● 「表 2-1 GW1NSER シリーズ FPGA 製品でサポートされる出力 I/O タイプ及び一部のオプション」を更新：一部の I/O タイプのドライブ強度値を修正。</li> <li>● 「表 2-2 GW1NSER シリーズ FPGA 製品でサポートされる入力 I/O タイプ及び一部のオプション」を更新：一部の I/O タイプの VCCIO 値を変更。</li> <li>● セクション「3.7.6 パワーアップ状況」を削除。</li> <li>● 「表 3-2 推奨動作条件」に注記を追加。</li> <li>● 「表 3-8 推奨動作条件内の DC 電気特性」の注記を変更。</li> <li>● 「表 3-11 シングルエンド I/O の DC 電気特性」を更新：LVCMOS 規格の <math>I_{OL}</math> と <math>I_{OH}</math> を変更。</li> <li>● 「表 3-15 Gearbox のタイミングパラメータ」を最適化。</li> <li>● 「表 3-16 シングルエンド IO の <math>F_{max}</math>」を追加。</li> <li>● 「表 3-24 User Flash のタイミングパラメータ User Flash のタイミングパラメータ」を更新。</li> </ul> |

| 日付 | バージョン | 説明                                                                                                                                                                                                                                                                                                                                                        |
|----|-------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|    |       | <ul style="list-style-type: none"> <li>● 「図 4-3 パッケージのマーク例」を更新。</li> <li>● GPIO のデフォルト状態に関する注記を最適化。</li> <li>● MIPI 入力/出力の説明を更新。</li> <li>● IODELAY モジュールの説明を更新。</li> <li>● バックグラウンドアップグレードの説明を追加。</li> <li>● HCLK の説明を最適化。</li> <li>● デュアル・ポート BSRAM とセミ・デュアル・ポート BSRAM の機能説明の注記を追加。</li> <li>● MIPI IO の説明を更新。</li> <li>● オンチップオシレータの周波数を修正。</li> </ul> |

# 目次

|                            |          |
|----------------------------|----------|
| 目次 .....                   | i        |
| 図一覧 .....                  | iv       |
| 表一覧 .....                  | v        |
| <b>1 製品の概要 .....</b>       | <b>1</b> |
| 1.1 特徴 .....               | 1        |
| 1.2 製品情報一覧 .....           | 2        |
| 1.3 パッケージ情報一覧 .....        | 3        |
| <b>2 アーキテクチャ .....</b>     | <b>4</b> |
| 2.1 アーキテクチャの概要 .....       | 4        |
| 2.2 OTP 認証コード .....        | 6        |
| 2.3 HyperRAM .....         | 7        |
| 2.4 NOR Flash .....        | 7        |
| 2.5 コンフィギャラブル論理ユニット .....  | 8        |
| 2.6 入出力ブロック .....          | 9        |
| 2.6.1 I/O 規格 .....         | 11       |
| 2.6.2 True LVDS 設計 .....   | 16       |
| 2.6.3 I/O ロジック .....       | 16       |
| 2.6.4 I/O ロジックの動作モード ..... | 19       |
| 2.7 BSRAM .....            | 20       |
| 2.7.1 概要 .....             | 20       |
| 2.7.2 BSRAM の構成モード .....   | 20       |
| 2.7.3 混合データ幅 .....         | 22       |
| 2.7.4 パリティビット機能 .....      | 23       |
| 2.7.5 同期操作 .....           | 23       |
| 2.7.6 BSRAM の動作モード .....   | 23       |
| 2.7.7 クロックモード .....        | 25       |
| 2.8 DSP リソース .....         | 26       |
| 2.8.1 概要 .....             | 26       |
| 2.8.2 マクロセル .....          | 27       |

|                                           |           |
|-------------------------------------------|-----------|
| 2.8.3 DSP 動作モードの構成.....                   | 27        |
| 2.9 GPIO による MIPI D-PHY RX/TX をサポート ..... | 28        |
| 2.10 Cortex-M3 .....                      | 29        |
| 2.10.1 概要.....                            | 29        |
| 2.10.2 Cortex-M3 .....                    | 30        |
| 2.10.3 バスマトリクス .....                      | 31        |
| 2.10.4 NVIC .....                         | 32        |
| 2.10.5 起動モード .....                        | 35        |
| 2.10.6 タイムスタンプ .....                      | 35        |
| 2.10.7 タイマー .....                         | 35        |
| 2.10.8 UART .....                         | 37        |
| 2.10.9 ウォッチドッグ .....                      | 40        |
| 2.10.10 GPIO .....                        | 43        |
| 2.10.11 デバッグポート .....                     | 46        |
| 2.10.12 メモリマッピング .....                    | 46        |
| 2.10.13 アプリケーション .....                    | 46        |
| 2.11 クロック .....                           | 47        |
| 2.11.1 グローバル・クロック .....                   | 47        |
| 2.11.2 位相同期回路.....                        | 47        |
| 2.11.3 高速クロック .....                       | 47        |
| 2.12 ロングワイヤ .....                         | 48        |
| 2.13 グローバル・セット/リセット .....                 | 48        |
| 2.14 プログラミング・コンフィギュレーション .....            | 49        |
| 2.14.1 SRAM コンフィギュレーション.....              | 49        |
| 2.14.2 Flash プログラミング .....                | 49        |
| 2.15 オンチップオシレータ .....                     | 50        |
| <b>3 電気特性 .....</b>                       | <b>51</b> |
| 3.1 動作条件.....                             | 51        |
| 3.1.1 絶対最大範囲 .....                        | 51        |
| 3.1.2 推奨動作条件 .....                        | 52        |
| 3.1.3 電源のランプレート.....                      | 52        |
| 3.1.4 ホットプラグ特性 .....                      | 52        |
| 3.1.5 PoR 特性.....                         | 52        |
| 3.2 ESD .....                             | 53        |
| 3.3 DC 電気特性 .....                         | 53        |
| 3.3.1 推奨動作条件内の DC 電気特性.....               | 53        |
| 3.3.2 静的電流.....                           | 55        |

|                                       |           |
|---------------------------------------|-----------|
| 3.3.3 I/O の推奨動作条件.....                | 55        |
| 3.3.4 シングルエンド I/O の DC 電気特性.....      | 56        |
| 3.3.5 差動 I/O の DC 電気特性.....           | 57        |
| 3.4 スイッチング特性.....                     | 58        |
| 3.4.1 CLU のスイッチング特性.....              | 58        |
| 3.4.2 クロックおよび I/O のスイッチング特性.....      | 58        |
| 3.4.3 Gearbox のスイッチング特性.....          | 58        |
| 3.4.4 BSRAM のスイッチング特性.....            | 60        |
| 3.4.5 DSP のスイッチング特性.....              | 60        |
| 3.4.6 オンチップオシレータのスイッチング特性.....        | 60        |
| 3.4.7 PLL のスイッチング特性.....              | 60        |
| 3.5 Cortex-M3 の電気特性.....              | 61        |
| 3.5.1 DC 電気特性.....                    | 61        |
| 3.5.2 AC 電気特性.....                    | 61        |
| 3.6 User Flash の電気特性.....             | 62        |
| 3.6.1 DC 電気特性.....                    | 62        |
| 3.6.2 AC 電気特性.....                    | 62        |
| 3.6.3 タイミング図.....                     | 64        |
| 3.7 コンフィギュレーション・インターフェースのタイミング仕様..... | 65        |
| <b>4 デバイス購入情報.....</b>                | <b>66</b> |
| 4.1 デバイス・オーダー・コード.....                | 66        |
| 4.2 デバイスのパッケージマーク.....                | 68        |
| <b>5 本マニュアルについて.....</b>              | <b>69</b> |
| 5.1 マニュアルの内容.....                     | 69        |
| 5.2 関連ドキュメント.....                     | 69        |
| 5.3 用語、略語.....                        | 69        |
| 5.4 テクニカル・サポートとフィードバック.....           | 71        |

# 図一覧

|                                                                          |    |
|--------------------------------------------------------------------------|----|
| 図 2-1 アーキテクチャの説明図 (GW1NSER-4C) .....                                     | 4  |
| 図 2-2 CLU 構造の説明図.....                                                    | 9  |
| 図 2-3 IOB 構造の説明図.....                                                    | 10 |
| 図 2-4 GW1NSER-4C デバイスの I/O Bank の配置図.....                                | 11 |
| 図 2-5 True LVDS 設計のブロック図 .....                                           | 16 |
| 図 2-6 I/O ロジックの入力と出力の説明図 .....                                           | 17 |
| 図 2-7 IODELAY の説明図.....                                                  | 18 |
| 図 2-8 I/O レジスタの説明図.....                                                  | 18 |
| 図 2-9 IEM の説明図.....                                                      | 19 |
| 図 2-10 シングル・ポート・モード、セミ・デュアル・ポート・モード、及びデュアル・ポート・モードにおける Pipeline モード..... | 24 |
| 図 2-11 独立クロックモード .....                                                   | 25 |
| 図 2-12 読み出し書き込みクロックモード .....                                             | 26 |
| 図 2-13 シングル・ポート・クロックモード.....                                             | 26 |
| 図 2-14 Cortex-M3 のアーキテクチャ .....                                          | 30 |
| 図 2-15 DEMCR レジスタ .....                                                  | 35 |
| 図 2-16 Timer0/Timer1 のアーキテクチャ .....                                      | 36 |
| 図 2-17 APB UART Buffering .....                                          | 38 |
| 図 2-18 Watchdog の操作方法 .....                                              | 41 |
| 図 2-19 メモリマッピング.....                                                     | 46 |
| 図 2-20 GW1NSER-4C の HCLK の説明図.....                                       | 48 |
| 図 3-1 読み出しタイミング .....                                                    | 64 |
| 図 3-2 プログラミングタイミング .....                                                 | 64 |
| 図 3-3 消去タイミング .....                                                      | 64 |
| 図 4-1 GW1NSER-4C のデバイス・オーダー・コード - ES .....                               | 66 |
| 図 4-2 GW1NSER-4C のデバイス・オーダー・コード - Production.....                        | 67 |
| 図 4-3 パッケージのマーク例 .....                                                   | 68 |

# 表一覧

|                                                          |    |
|----------------------------------------------------------|----|
| 表 1-1 製品情報一覧.....                                        | 2  |
| 表 1-2 各パッケージのメモリ情報.....                                  | 3  |
| 表 1-3 各パッケージの最大ユーザー I/O 数(True LVDS ペア数).....            | 3  |
| 表 2-1 GW1NSER シリーズ FPGA 製品でサポートされる出力 I/O タイプ及び一部のオプション.. | 12 |
| 表 2-2 GW1NSER シリーズ FPGA 製品でサポートされる入力 I/O タイプ及び一部のオプション.. | 14 |
| 表 2-3 ポートの説明.....                                        | 17 |
| 表 2-4 IODELAY の総遅延時間（参考）.....                            | 18 |
| 表 2-5 BSRAM のモード一覧.....                                  | 21 |
| 表 2-6 デュアル・ポートの場合の混合読み出し書き込みデータ幅.....                    | 22 |
| 表 2-7 セミ・デュアル・ポートの場合の混合読み出し書き込みデータ幅.....                 | 22 |
| 表 2-8 クロックモードと BSRAM モードの組み合わせ.....                      | 25 |
| 表 2-9 MIPI IO タイプをサポートする GW1NSER シリーズ FPGA 製品の一覧.....    | 28 |
| 表 2-10 NVIC の割り込みベクターテーブル.....                           | 32 |
| 表 2-11 Timer0/Timer1 レジスタ.....                           | 36 |
| 表 2-12 UART0/UART1 レジスタ.....                             | 38 |
| 表 2-13 Watchdog レジスタ.....                                | 41 |
| 表 2-14 0x40010000 レジスタ.....                              | 43 |
| 表 2-15 GW1NSER-4C のオンチップオシレータの一部の出力周波数.....              | 50 |
| 表 3-1 絶対最大範囲.....                                        | 51 |
| 表 3-2 推奨動作条件.....                                        | 52 |
| 表 3-3 電源のランプレート.....                                     | 52 |
| 表 3-4 ホットプラグ特性.....                                      | 52 |
| 表 3-5 PoR 電圧パラメータ.....                                   | 52 |
| 表 3-6 GW1NSER ESD - HBM.....                             | 53 |
| 表 3-7 GW1NSER ESD – CDM.....                             | 53 |
| 表 3-8 推奨動作条件内の DC 電気特性.....                              | 53 |
| 表 3-9 静的電流 <sup>[1]</sup> .....                          | 55 |
| 表 3-10 I/O の推奨動作条件.....                                  | 55 |
| 表 3-11 シングルエンド I/O の DC 電気特性.....                        | 56 |

|                                                                                     |    |
|-------------------------------------------------------------------------------------|----|
| 表 3-12 差動 I/O の DC 電気特性(LVDS).....                                                  | 57 |
| 表 3-13 CLU のタイミングパラメータ .....                                                        | 58 |
| 表 3-14 外部スイッチング特性 .....                                                             | 58 |
| 表 3-15 Gearbox のタイミングパラメータ .....                                                    | 58 |
| 表 3-16 シングルエンド IO の Fmax.....                                                       | 59 |
| 表 3-17 BSRAM のタイミングパラメータ .....                                                      | 60 |
| 表 3-18 DSP のタイミングパラメータ .....                                                        | 60 |
| 表 3-19 オンチップオシレータのパラメータ .....                                                       | 60 |
| 表 3-20 PLL のパラメータ .....                                                             | 60 |
| 表 3-21 電流特性 .....                                                                   | 61 |
| 表 3-22 クロックパラメータ .....                                                              | 61 |
| 表 3-23 User Flash の DC 電気特性 <sup>[1]</sup> .....                                    | 62 |
| 表 3-24 User Flash のタイミングパラメータ User Flash のタイミングパラメータ <sup>[1], [4], [5]</sup> ..... | 62 |
| 表 5-1 用語、略語 .....                                                                   | 69 |

# 1 製品の概要

GOWIN セミコンダクターの GW1NSER シリーズ安全 FPGA 製品は、SRAM PUF 技術ベースのセキュアルートをサポートします。各デバイスには、デバイスの外部またはデバイスの開発・製造中に絶対に公開されない一意のキーペアがベンダーから提供されます。GW1NSER シリーズの安全 FPGA 製品には、Intrinsic ID BroadKey-Pro セキュリティライブラリが組み込まれているため、一般的なセキュリティ機能をユーザーアプリケーションに簡単に統合できます。GOWIN の安全 FPGA は、コンシューマ、産業用 IoT、エッジ、およびサーバー管理などの幅広いアプリケーションに適用できます。

GW1NSER シリーズ安全 FPGA 製品は、GW1NSR シリーズ FPGA 製品と同じハードウェア・コンポーネントを備えています。両者の唯一の違いは、製造中に GW1NSER シリーズ安全 FPGA 製品の不揮発性 Flash にワンタイム・プログラマブル(OTP)認証コードが事前に保存されることです。この認証コードを備えたデバイスは、暗号化、復号化、キー/公開キーの生成、安全な通信などのアプリケーションに使用できます。

GOWIN セミコンダクターは、合成、配置配線、ビットストリームファイルの生成およびダウンロードなどのワンストップサービスをサポートする、自社で研究開発した市場志向の新世代 FPGA ハードウェア開発環境を提供します。

## 1.1 特徴

- 低消費電力
  - 55nm オンチップ Flash 技術
  - コア電圧 : 1.2V
  - LV バージョンをサポート
  - クロックの動的 ON/OFF をサポート
- HyperRAM を統合
- NOR Flash を統合
- ハードコア・マイクロプロセッサ
  - Cortex-M3 32 ビット RISC コア
  - 小型パッケージ組み込みアプリケーション向けに最適化された ARM3v7M アーキテクチャ
  - 柔軟性のある制御メカニズムを備えた、シンプルな 24 ビットクリアオンライト、デクリメント、ラップオンゼロのカウンタを提供するシステムタイマ
  - より高いコード密度を実現する、Thumb 互換の Thumb-2 命令セット

- トプロセッサ
  - 最大 80 MHz の動作周波数
  - ハードウェア除算とシングルサイクル乗算
  - 割り込み処理を提供する統合型 NVIC
  - 8 つの優先度を持つ 26 の割り込み
  - オペレーティングシステムの機能を保護するための特権モードを提供するメモリ保護ユニット(MPU)
  - データを効率的にメモリにパックすることを可能にするアンアラインド・データアクセス
  - 最大限のメモリ使用率と改善された周辺機器制御を実現したアトミックビット操作(Bit-banding)
  - Timer0 と Timer1
  - UART0 と UART1
  - watchdog
  - デバッグポート : JTAG と TPIU
- OTP 認証コードを提供
- コンフィギュレーション Flash
  - NOR Flash
  - 10,000 回の書き込みサイクル
  - 10 年以上のデータ保持時間 (+85°C)
- 複数の I/O 規格をサポート
  - LVCMOS33/25/18/15/12 ; LVTTL33, SSTL33/25/18 I, SSTL33/25/18 II, SSTL15 ; HSTL18 I, HSTL18 II, HSTL15 I ; PCI, LVDS25, RSDS, LVDS25E, BLVDSE, MLVDSE, LVPECLE, RSDSE
  - 入力信号のヒステリシス・オプションを提供
  - 出力信号のドライブ強度オプションを提供
  - 各 I/O に独立した Bus Keeper、プルアップ/プルダウン抵抗、および Open Drain 出力オプションを提供
- ホットプラグをサポート
- GPIO による MIPI D-PHY RX/TX をサポート
  - MIPI CSI-2 および MIPI DSI(RX/TX)インターフェースをサポート。転送レート(レーンあたり)は最大 1.2Gbps
  - TLVDS、ELVDS、MIPI IO の 3 つの IO タイプを利用可能。詳しくは、2.9 GPIO による MIPI D-PHY RX/TX をサポートを参照してください。
- 豊富な基本論理ユニット
  - 4 入力 LUT(LUT4)
  - シフトレジスタをサポート
- 複数のモードの SRAM をサポート
  - デュアル・ポート、シングル・ポート、およびセミ・デュアル・ポート・モードをサポート
- 柔軟な PLL リソース
  - クロックの周波数通倍、分周、および位相調整を実現
  - グローバル・クロックをサポート
- オンチップ Flash プログラミング
  - インスタントオン
  - セキュリティ・ビットに対する操作をサポート
  - AUTO BOOT 及び DUAL BOOT プログラミングモードをサポート
- プログラミング・コンフィギュレーション・モード
  - JTAG コンフィギュレーション・モードをサポート
  - 複数の GowinCONFIG コンフィギュレーション・モードをサポート : AUTOBOOT、SSPI、MSPI、CPU、SERIAL

## 1.2 製品情報一覧

表 1-1 製品情報一覧

| デバイス                    | GW1NSER-4C |
|-------------------------|------------|
| LUT4                    | 4,608      |
| フリップフロップ(FF)            | 3,456      |
| ブロックSRAM(BSRAM)の容量(ビット) | 180K       |
| ブロックSRAM(BSRAM)の数(個)    | 10         |
| 乗算器(18 x 18 Multiplier) | 16         |
| HyperRAM(ビット)           | 64M        |
| NOR FLASH(ビット)          | 32M        |
| 位相同期回路(PLL)             | 2          |
| OSC                     | 1、精度±5%    |
| ハードコア・プロセッサ             | Cortex-M3  |
| I/O Bank数               | 4          |
| 最大GPIO数 <sup>[1]</sup>  | 106        |
| コア電圧                    | 1.2V       |

注記：

<sup>[1]</sup>最大 GPIO 数は、パッケージの制限なしでデバイスが提供できる GPIO の最大数です。特定のパッケージで利用できる最大ユーザーI/O 数については、表 1-3 を参照してください。

## 1.3 パッケージ情報一覧

表 1-2 各パッケージのメモリ情報

| デバイス       | パッケージ | Memoryタイプ | 容量   | 幅(ビット) |
|------------|-------|-----------|------|--------|
| GW1NSER-4C | QN48P | HyperRAM  | 64Mb | 8 bits |
|            | QN48G | NOR Flash | 32Mb | 1 bit  |

表 1-3 各パッケージの最大ユーザーI/O 数(True LVDS ペア数)

| パッケージ | ピッチ(mm) | サイズ(mm) | GW1NSER-4C |
|-------|---------|---------|------------|
| QN48G | 0.4     | 6 x 6   | 38(4)      |
| QN48P | 0.4     | 6 x 6   | 38(4)      |

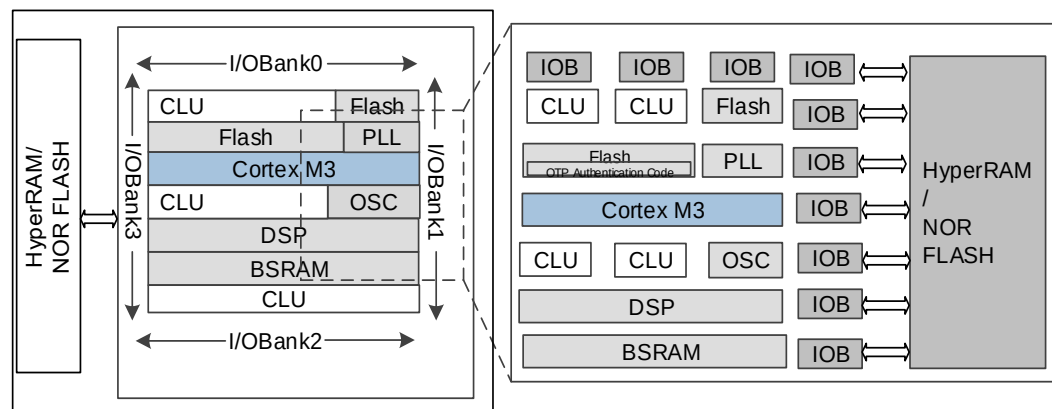
注記：

- JTAGSEL\_N と JTAG ピンは、相互に排他的なピンで、JTAGSEL\_N ピンと JTAG 機能の 4 ピン(TCK、TDI、TDO、TMS)を同時に GPIO として使用することはできません。ただし、mode[2:0]=001 の場合、JTAGSEL\_N ピンが常に GPIO であり、JTAGSEL\_N ピンと JTAG の 4 ピン(TCK、TMS、TDI、TDO)を同時に GPIO として使用できます。詳細については、『GW1NSER シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG884](#))』を参照してください。
- このマニュアルでは、パッケージタイプを表すために略語が使用されています。詳細については、[4.1 デバイス・オーダー・コード](#)を参照してください。
- 詳細については、『GW1NSER-4C デバイス Pinout([UG883](#))』を参照してください。

# 2 アーキテクチャ

## 2.1 アーキテクチャの概要

図 2-1 アーキテクチャの説明図 (GW1NSER-4C)



GW1NSER はシステムインパッケージの安全チップで GW1NSE シリーズ FPGA 製品をもとにメモリチップをさらに統合しています。  
HyperRAM の詳細については、[2.3HyperRAM](#) を参照してください。NOR FLASH の詳細については、[2.4 NOR Flash](#) を参照してください。

GW1NSER デバイスのコアは、IO ブロック (IOB) に囲まれた論理ブロックの配列です。デバイスには、BSRAM、DSP、PLL、オンチップオシレータ、及びインスタントオン機能対応 User Flash が組み込まれています。さらに、GW1NSER-4C には Cortex-M3 が組み込まれています。詳細については、表 1-1 を参照してください。

GW1NSER シリーズ安全 FPGA 製品は、SRAM PUF 技術ベースのセキュアルートをサポートしています。製造中に GW1NSER シリーズ安全 FPGA 製品の不揮発性 Flash には、ワンタイム・プログラマブル (OTP) 認証コードが事前に保存されています。詳細については、[2.2 OTP 認証コード](#) を参照してください。

GW1NSER シリーズ FPGA 製品の基本的な構成要素は、CLU です。デバイス内で行と列のマトリックスに配置されており、その行数と列数は

デバイスの容量によって異なります。詳細については、[2.5 コンフィギュラブル論理ユニット](#)を参照してください。

GW1NSER シリーズ FPGA 製品の I/O リソースは、Bank 単位でデバイスの周辺に配置されています。I/O リソースは複数の規格に対応し、ベータシクモード、SDR モード、および汎用 DDR モードをサポートします。詳細については、[2.6 入出力ブロック](#)を参照してください。

GW1NSER シリーズ FPGA 製品の BSRAM は、デバイスの内部で行として配列されており、1 つの BSRAM は 3 つの CLU の位置を占有します。BSRAM は下記の 2 つの使用方法を提供しますが、同時に使用することはできません。1 つは、Cortex-M3 プロセッサシステムのデータ格納用 SRAM リソースとして使用されることです。この場合、1 BSRAM の容量は 16K ビットで、合計容量は 128K ビットです。もう 1 つは、ユーザーのメモリリソースとして使用されることです。この場合、1 BSRAM の容量は 18K ビットで、合計容量は 180K ビットです。複数の構成モードおよび動作モードがサポートされます。詳細については、[2.7 BSRAM](#)を参照してください。

GW1NSER シリーズ FPGA には、デジタル信号処理(DSP)モジュールが組み込まれています。DSP ブロックは、デバイス内部で行に配列され、各 DSP リソースは 9 つの CLU 位置を占有します。各 DSP ブロックには 2 つのマクロセルがあり、各マクロセルには 2 つの前置加算器(pre-adder)、2 つの 18 ビット乗算器(multiplier)、及び 1 つの 3 入力算術論理演算装置(ALU54)があります。詳細については、[2.8 DSP リソース](#)を参照してください。

GW1NSER シリーズ FPGA 製品には、PLL リソースがあります。PLL モジュールは、合成可能なクロック周波数を提供しており、パラメータを設定することで、クロックの周波数の調整(通倍及び分周)、位相の調整、デューティサイクルの調整等の機能を実現できます。さらに、製品には、2.5MHz から 120MHz のクロック周波数をサポートし、MSPI コンフィギュレーション・モードにクロックを提供する構成可能なオンチップオシレータが実装されています。また、オンチップオシレータはクロック精度が±5%のユーザーデザイン用のクロックリソースを提供します。詳細については、[2.11 クロック](#)を参照してください。

GW1NSER シリーズ FPGA 製品の組み込まれたコンフィギュレーション Flash リソースは、オンチップ Flash のプログラミングに使用され、インスタントオン及びセキュリティ・ビットの操作をサポートします。また、コンフィギュレーション Flash は、AUTO BOOT 及び DUAL BOOT コンフィギュレーション・モードをサポートします。詳細については、[2.14 プログラミング・コンフィギュレーション](#)を参照してください。

Cortex-M3 ハードコア・プロセッサは、システム起動時の 30MHz のプログラム読み込みをサポートし、「メモリ」とのより高速なデータ/命令送信をサポートします。AHB 拡張バスは外部記憶装置との通信を容易にします。また、APB バスは、UART などの周辺機器との通信を容易にし

ます。**GPIO** インターフェースは外部インターフェースと通信するのに便利です。**FPGA** のコンフィギュレーションにより、**SPI**、**I<sup>2</sup>C** などのインターフェース/スタンダードにわたるコントローラ機能を実現できます。詳細については、[2.10 Cortex-M3](#) を参照してください。

また、**FPGA** デバイスには、**FPGA** 内部のすべてのリソースを接続する、豊富なコンフィギュラブル配線ユニット(**CRU**、**Configurable Routing Unit**)があります。コンフィギュラブル論理ユニット(**CLU**)と **IOB** 内部には、**CLU** 内部リソースと **IOB** 内部のロジックリソースを接続する配線リソースが分布しています。配線リソースは、**GOWIN** セミコンダクターの **Gowin** ソフトウェアによって自動的に生成されます。また、**GW1NSER** シリーズ **FPGA** 製品は、豊富な専用クロックリソース、ロングワイヤ・リソース、グローバル・セット/リセット、およびプログラミング/コンフィギュレーション・オプション等を提供しています。詳細については、[2.11 クロック](#)、[2.12 ロングワイヤ](#)および [2.13 グローバル・セット/リセット](#)を参照してください。

## 2.2 OTP 認証コード

**OTP** 認証コードは、製造中に **SRAM PUF** によって生成され、安全 **FPGA** 内部の不揮発性 **Flash** に事前に保存されます。この認証コードは一意であり、変更できません。この認証コードに基づいて、ユーザーは、独自のセキュリティアプリケーションを作成し、**Intrinsic ID** セキュリティソフトウェアライブラリを通じて、暗号化、復号化、キー/公開キーの生成、安全な通信などを実装できます。

**OTP** 認証コードの特徴は次のとおりです：

- **SRAM PUF** ベースのセキュリティ要素
  - 内部 **SRAM** 固有のプロパティに基づいてルートキーペアを生成
  - 電源を投入するたびに再生成されたルートキーペアは一意であり、デバイスに直接保存されない。
- **IID BroadKey-Pro** セキュリティライブラリ
  - デバイスの識別、暗号化、対称および非対称キーの生成を含む
  - 関数呼び出しのサンプルコードを含む
- 工場プロビジョニング
  - 初期化デバイスに **SRAM PUF** に基づいて生成されたキーペアあり
  - キーペアは製造中に漏洩することなし
  - 各デバイスには **CSR** と証明書あり
- 一般的なアプリケーション
  - セーフブート
  - キーと署名の生成
  - 暗号化/復号化

## 2.3 HyperRAM

### 特徴

- クロック周波数：200MHz
- ダブル・データ・レート(Double Data Rate、DDR)
- シングルエンドクロックと差動クロックをサポート
- チップセレクト信号をサポート
- データ幅：8 ビット
- ハードウェアリセットをサポート
- 読み出し書き込データストローブ(Read Write Data Strobe、RWDS)
  - 双方向データストローブ/マスク
  - 送信の開始時の出力でリフレッシュ・レイテンシを示す
  - 読み出し中の出力を読み出しデータストローブとして使用
  - 書き込み中の入力を書き込みデータマスクとして使用
  - ダイ・スタック・アドレス

### 性能と消費電力

- 構成可能なドライブ強度
- 低消費電力モード：ハイブリッド・スリープモードとディープ・スリープモード
- 構成可能なバースト特性：
  - リニアバーストをサポート
  - プログラム可能なバースト長：16、32、64、および 128 バイト
  - ハイブリッド・バースト：1 回のバースト操作とそれに続くリニアバースト
- アレイのリフレッシュモード：フル・アレイ・リフレッシュとパースシャル・アレイ・リフレッシュ
- 供給電源電圧：1.7V~2.0V または 2.7V~3.6V

HyperRAM の電源供給については、デバイスの pinout マニュアルを参照してください。

Gowin ソフトウェアの IP Core Generator は、オンチップおよびオフチップ HyperRAM 制御用のコントローラ IP をサポートしています。このコントローラ IP を使用することにより、HyperRAM のパワーアップ初期化、読み出しキャリブレーションなどを実現できます。詳細については、『Gowin HyperRAM Memory Interface IP ユーザーガイド(IPUG944)』を参照してください。

## 2.4 NOR Flash

サフィックスが G(例：QN48G)のパッケージには、NOR Flash が組み込まれています。

### 特徴

- 32M ビットのメモリ領域、1 ページあたり 256 バイト
- SPI をサポート

- クロック周波数：120MHz
- 8/16/32/64 バイトデータの連続読み出しをサポート
- ソフトウェア/ハードウェア書き込み保護：
  - ソフトウェアによる全部/一部メモリ書き込み保護
  - トップ/ボトムブロック書き込み保護
- 最小 100,000 回のプログラミング/消去
- 高速プログラミング/消去：
  - ページプログラミング時間：0.5ms
  - セクター消去時間：45ms
  - ブロック消去時間：0.15s/0.25s
  - チップ消去時間：12s
- 柔軟なアーキテクチャ：
  - セクター：4K バイト
  - ブロック：32/64K バイト
  - 消去/プログラミングのサスペンド/レジューム
- 低消費電力：
  - スタンバイ電流：12uA
  - パワーダウン電流：1uA
- 安全性：
  - 各デバイスには一意の 128 ビットの ID あり
  - OTP ロック用の 3x1024 バイトのセキュリティレジスタ
- データ保持時間：20 年

Gowin は、SPI NOR Flash へのアクセスを可能にする汎用 SPI NOR Flash Interface IP を提供しています。詳細については、『Gowin SPI Nor Flash Interface IP ユーザーガイド([IPUG945](#))』を参照してください。

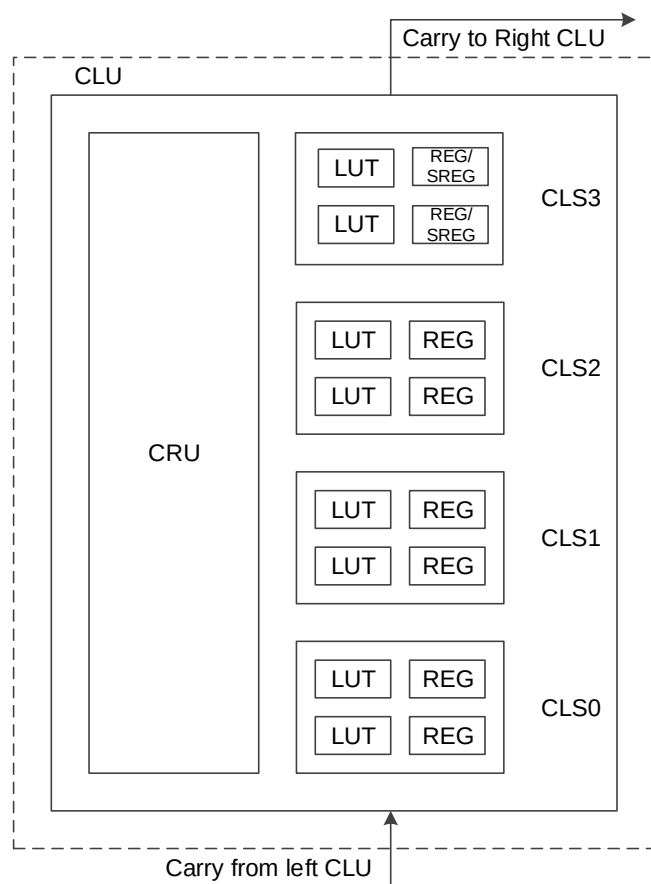
## 2.5 コンフィギュラブル論理ユニット

コンフィギュラブル機能ユニット(CFU)とコンフィギュラブル論理ユニット(CLU)は、Gowin FPGA 製品のコアを構成する 2 つの基本構成要素です。各基本構成要素は、4 つのコンフィギュラブル論理セクション(CLS)と対応するコンフィギュラブル配線ユニット(CRU)で構成されます。その中で、3 つの CLS にはそれぞれ 2 つの 4 入力ルックアップテーブル(LUT)と 2 つのレジスタ(REG)が含まれ、もう 1 つの CLS には 2 つの 4 入力 LUT のみが含まれます(図 2-2)。

CLU 内の CLS は、LUT、ALU、および ROM として構成することができます。CFU 内の CLS は、アプリケーションシナリオに応じて、LUT、ALU、SRAM、および ROM として構成することができます。

CFU の詳細については、『Gowin コンフィギュラブル機能ユニット(CFU)ユーザーガイド([UG288](#))』を参照してください。

図 2-2 CLU 構造の説明図



注記：

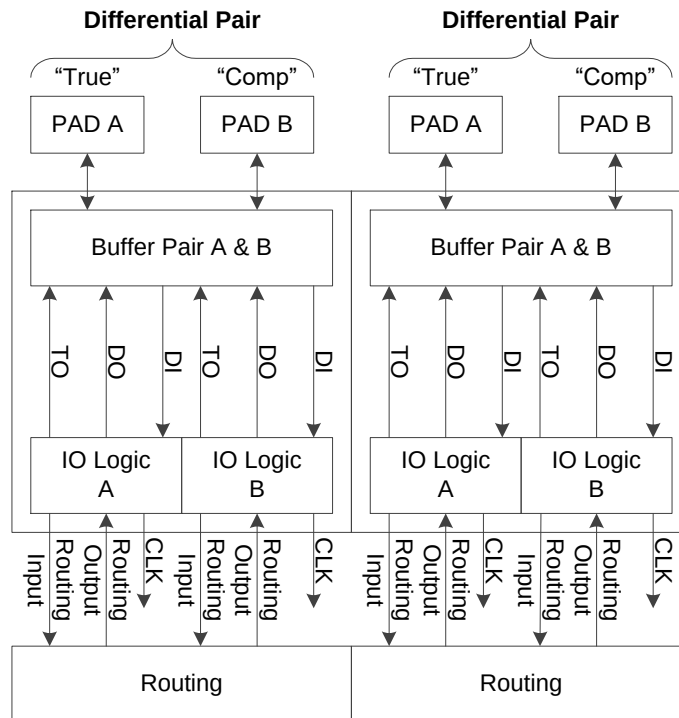
SREG を実装するには専用のパッチが必要です。詳細は、Gowin のテクニカル・サポートにお問い合わせください。

## 2.6 入出力ブロック

GW1NSER シリーズ FPGA 製品の入出力ブロック (IOB) には、主に I/O Buffer、I/O ロジック、及び対応するコンフィギャラブル配線ユニットが含まれています。図 2-3 に示すように、各 IOB には、差動ペアまたは 2 つのシングルエンド入出力として使用できる、2 つのピン (A 及び B) があ

ります。

図 2-3 IOB 構造の説明図



GW1NSER シリーズ FPGA 製品の IOB の特徴：

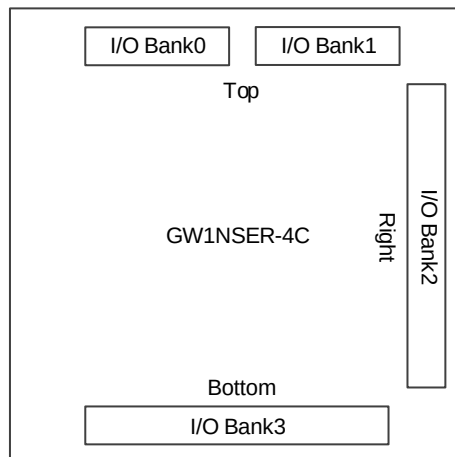
- Bank 毎に供給される  $V_{CCIO}$ 。
- LVCMOS、PCI、LVTTL、LVDS、SSTL、および HSTL 等複数のレベル規格をサポート。GW1NSER-4C の Bank3 がシングルエンド LVCMOS 入力/出力と LVDS25E 差動出力のみをサポート。
- 入力信号のヒステリシス・オプションを提供。
- 出力信号のドライブ強度オプションを提供。
- 各 I/O に独立した Bus Keeper、プルアップ/プルダウン抵抗、および Open Drain 出力オプションを提供。
- ホットプラグをサポート(GW1NSER-4C の Bank3 を除く)。
- I/O ロジックはベーシックモード、SDR モード、及び DDR モード等のモードをサポート。
- GW1NSER-4C の Bank0/Bank1 が MIPI IO タイプによる MIPI 入力をサポート。
- GW1NSER-4C の Bank2 が MIPI IO タイプによる MIPI 出力をサポート。
- GW1NSER-4C の Bank0/Bank1/Bank2 が I3C をサポート。

2.6.1~ 2.6.4 では、I/O 規格、True LVDS 設計、I/O ロジック、I/O ロジックの動作モードが解説されています。入出力ブロックの詳細については、『Gowin プログラマブル汎用 IO(GPIO)ユーザーガイド(UG289)』を参照してください。

## 2.6.1 I/O 規格

GW1NSER シリーズ FPGA 製品には、4 つの I/O Bank があります。各 Bank には独立した I/O 電源  $V_{CCIO}$  があります(図 2-4)。SSTL、HSTL などの入力規格をサポートするために、各 Bank には 1 つの独立したリファレンス電圧( $V_{REF}$ )があります。ユーザーは Bank 内部のリファレンス電圧( $0.5 \cdot V_{CCIO}$  に相当)を使用するか、外部のリファレンス電圧(Bank 内の何れか 1 つの I/O ピンを外部  $V_{REF}$  入力として使用)を使用できます。

図 2-4 GW1NSER-4C デバイスの I/O Bank の配置図



GW1NSER シリーズ FPGA 製品は、LV バージョンのみをサポートしています。

GW1NSER シリーズ FPGA 製品のコア電圧  $V_{CC}$  は 1.2V です。

LV バージョンの製品の内部にはリニアレギュレータがありません。補助電圧  $V_{CCX}$  は 1.8V、2.5V、または 3.3V に設定できます。I/O Bank 電圧  $V_{CCIO}$  は必要に応じて 1.2V、1.5V、1.8V、2.5V、または 3.3V に設定できます。

注記：

- GW1NSER-4C デバイスの Bank0/Bank1 を MIPI 入力に使用する場合、 $V_{CCIO0}/V_{CCIO1}$  を 1.2V に設定する必要があります。Bank2 を MIPI 出力に使用する場合、 $V_{CCIO2}$  を 1.2V に設定する必要があります。また、 $V_{CCX}$  が 1.8V に設定された場合の MIPI の速度は、最大で  $V_{CCX}$  が 2.5V/3.3V に設定された場合の MIPI の速度の 60% です。
- コンフィギュレーション中、デバイスのすべての GPIO は内部の弱いプルアップでハイインピーダンスの状態であり、コンフィギュレーション後、I/O の状態はユーザーデザインおよび制約によって決定されます。コンフィギュレーション関連 I/O の状態はコンフィギュレーション・モードにより異なります。

各 I/O 入出力規格の  $V_{CCIO}$  要件は、表 2-1 および表 2-2 に示す通りです。

表 2-1 GW1NSER シリーズ FPGA 製品でサポートされる出力 I/O タイプ及び一部のオプション

| I/O タイプ(出力)            | シングルエンド/差動 | Bank V <sub>CCIO</sub> (V) | ドライブ強度(mA)   | アプリケーション                     |
|------------------------|------------|----------------------------|--------------|------------------------------|
| LVC MOS33/<br>LV TTL33 | シングルエンド    | 3.3                        | 4/8/12/16/24 | 汎用インターフェース                   |
| LVC MOS25              | シングルエンド    | 2.5                        | 4/8/12/16    | 汎用インターフェース                   |
| LVC MOS18              | シングルエンド    | 1.8                        | 4/8/12       | 汎用インターフェース                   |
| LVC MOS15              | シングルエンド    | 1.5                        | 4/8          | 汎用インターフェース                   |
| LVC MOS12              | シングルエンド    | 1.2                        | 4/8          | 汎用インターフェース                   |
| SSTL25_I               | シングルエンド    | 2.5                        | 8            | メモリアンターフェース                  |
| SSTL25_II              | シングルエンド    | 2.5                        | 8            | メモリアンターフェース                  |
| SSTL33_I               | シングルエンド    | 3.3                        | 8            | メモリアンターフェース                  |
| SSTL33_II              | シングルエンド    | 3.3                        | 8            | メモリアンターフェース                  |
| SSTL18_I               | シングルエンド    | 1.8                        | 8            | メモリアンターフェース                  |
| SSTL18_II              | シングルエンド    | 1.8                        | 8            | メモリアンターフェース                  |
| SSTL15                 | シングルエンド    | 1.5                        | 8            | メモリアンターフェース                  |
| HSTL18_I               | シングルエンド    | 1.8                        | 8            | メモリアンターフェース                  |
| HSTL18_II              | シングルエンド    | 1.8                        | 8            | メモリアンターフェース                  |
| HSTL15_I               | シングルエンド    | 1.5                        | 8            | メモリアンターフェース                  |
| PCI33                  | シングルエンド    | 3.3                        | 4/8          | PC と組み込みシステム                 |
| LVPECL33E              | 差動         | 3.3                        | 16           | 高速データ転送                      |
| MLVDS25E               | 差動         | 2.5                        | 16           | LCD タイミングドライバと列ドライバのインターフェース |
| BLVDS25E               | 差動         | 2.5                        | 16           | マルチポイント高速データ転送               |
| RSDS25E                | 差動         | 2.5                        | 8            | ポイントツーポイントの高速データ転送           |
| LVDS25E                | 差動         | 2.5                        | 8            | ポイントツーポイントの高速データ転送           |
| MIPI                   | 差動(MIPI)   | 1.2                        | 3.5          | モバイル産業用プロセッサインターフェース         |

| I/O タイプ(出力) | シングルエンド/差動    | Bank V <sub>CCIO</sub> (V) | ドライブ強度(mA)   | アプリケーション                     |
|-------------|---------------|----------------------------|--------------|------------------------------|
| LVDS25      | 差動(True LVDS) | 2.5/3.3                    | 2/2.5/3.5/6  | ポイントツーポイントの高速データ転送           |
| RSDS        | 差動(True LVDS) | 2.5/3.3                    | 2            | ポイントツーポイントの高速データ転送           |
| MINILVDS    | 差動(True LVDS) | 2.5/3.3                    | 2            | LCD タイミングドライバと列ドライバのインターフェース |
| PPLVDS      | 差動(True LVDS) | 2.5/3.3                    | 3.5          | LCD 行/列ドライバ                  |
| SSTL15D     | 差動            | 1.5                        | 8            | メモリインターフェース                  |
| SSTL25D_I   | 差動            | 2.5                        | 8            | メモリインターフェース                  |
| SSTL25D_II  | 差動            | 2.5                        | 8            | メモリインターフェース                  |
| SSTL33D_I   | 差動            | 3.3                        | 8            | メモリインターフェース                  |
| SSTL33D_II  | 差動            | 3.3                        | 8            | メモリインターフェース                  |
| SSTL18D_I   | 差動            | 1.8                        | 8            | メモリインターフェース                  |
| SSTL18D_II  | 差動            | 1.8                        | 8            | メモリインターフェース                  |
| HSTL18D_I   | 差動            | 1.8                        | 8            | メモリインターフェース                  |
| HSTL18D_II  | 差動            | 1.8                        | 8            | メモリインターフェース                  |
| HSTL15D_I   | 差動            | 1.5                        | 8            | メモリインターフェース                  |
| LVC MOS12D  | 差動            | 1.2                        | 4/8          | 汎用インターフェース                   |
| LVC MOS15D  | 差動            | 1.5                        | 4/8          | 汎用インターフェース                   |
| LVC MOS18D  | 差動            | 1.8                        | 4/8/12       | 汎用インターフェース                   |
| LVC MOS25D  | 差動            | 2.5                        | 4/8/12/16    | 汎用インターフェース                   |
| LVC MOS33D  | 差動            | 3.3                        | 4/8/12/16/24 | 汎用インターフェース                   |

表 2-2 GW1NSER シリーズ FPGA 製品でサポートされる入力 I/O タイプ及び一部のオプション

| I/O タイプ(入力)            | シングルエンド/差動  | Bank V <sub>CCIO</sub> (V) | ヒステリシス・オプションをサポートするか | V <sub>REF</sub> が必要か |
|------------------------|-------------|----------------------------|----------------------|-----------------------|
| LVC MOS33/<br>LV TTL33 | シングル<br>エンド | 3.3                        | Yes                  | No                    |
| LVC MOS25              | シングル<br>エンド | 2.5                        | Yes                  | No                    |
| LVC MOS18              | シングル<br>エンド | 1.8                        | Yes                  | No                    |
| LVC MOS15              | シングル<br>エンド | 1.5                        | Yes                  | No                    |
| LVC MOS12              | シングル<br>エンド | 1.2                        | Yes                  | No                    |
| SSTL15                 | シングル<br>エンド | 1.5                        | No                   | Yes                   |
| SSTL25_I               | シングル<br>エンド | 2.5                        | No                   | Yes                   |
| SSTL25_II              | シングル<br>エンド | 2.5                        | No                   | Yes                   |
| SSTL33_I               | シングル<br>エンド | 3.3                        | No                   | Yes                   |
| SSTL33_II              | シングル<br>エンド | 3.3                        | No                   | Yes                   |
| SSTL18_I               | シングル<br>エンド | 1.8                        | No                   | Yes                   |
| SSTL18_II              | シングル<br>エンド | 1.8                        | No                   | Yes                   |
| HSTL18_I               | シングル<br>エンド | 1.8                        | No                   | Yes                   |
| HSTL18_II              | シングル<br>エンド | 1.8                        | No                   | Yes                   |
| HSTL15_I               | シングル<br>エンド | 1.5                        | No                   | Yes                   |
| LVC MOS33OD2<br>5      | シングル<br>エンド | 2.5                        | No                   | No                    |
| LVC MOS33OD1<br>8      | シングル<br>エンド | 1.8                        | No                   | No                    |
| LVC MOS33OD1<br>5      | シングル<br>エンド | 1.5                        | No                   | No                    |
| LVC MOS25OD1<br>8      | シングル<br>エンド | 1.8                        | No                   | No                    |
| LVC MOS25OD1<br>5      | シングル<br>エンド | 1.5                        | No                   | No                    |
| LVC MOS18OD1<br>5      | シングル<br>エンド | 1.5                        | No                   | No                    |
| LVC MOS15OD1<br>2      | シングル<br>エンド | 1.2                        | No                   | No                    |

| I/O タイプ(入力)   | シングルエンド/差動           | Bank V <sub>CCIO</sub> (V) | ヒステリシス・オプションをサポートするか | V <sub>REF</sub> が必要か |
|---------------|----------------------|----------------------------|----------------------|-----------------------|
| LVC MOS25UD33 | シングルエンド              | 3.3                        | No                   | No                    |
| LVC MOS18UD25 | シングルエンド              | 2.5                        | No                   | No                    |
| LVC MOS18UD33 | シングルエンド              | 3.3                        | No                   | No                    |
| LVC MOS15UD18 | シングルエンド              | 1.8                        | No                   | No                    |
| LVC MOS15UD25 | シングルエンド              | 2.5                        | No                   | No                    |
| LVC MOS15UD33 | シングルエンド              | 3.3                        | No                   | No                    |
| LVC MOS12UD15 | シングルエンド              | 1.5                        | No                   | No                    |
| LVC MOS12UD18 | シングルエンド              | 1.8                        | No                   | No                    |
| LVC MOS12UD25 | シングルエンド              | 2.5                        | No                   | No                    |
| LVC MOS12UD33 | シングルエンド              | 3.3                        | No                   | No                    |
| PCI33         | シングルエンド              | 3.3                        | Yes                  | No                    |
| VREF1_DRIVE R | シングルエンド (Vref Input) | 1.2/1.5/1.8/2.5/3.3        | No                   | Yes                   |
| MIPI          | 差動(MIPI)             | 1.2                        | No                   | No                    |
| LVDS25        | 差動                   | 2.5/3.3                    | No                   | No                    |
| RS DS         | 差動                   | 2.5/3.3                    | No                   | No                    |
| MINILVDS      | 差動                   | 2.5/3.3                    | No                   | No                    |
| PPLVDS        | 差動                   | 2.5/3.3                    | No                   | No                    |
| LVDS25E       | 差動                   | 2.5/3.3                    | No                   | No                    |
| MLVDS25E      | 差動                   | 2.5/3.3                    | No                   | No                    |
| BLVDS25E      | 差動                   | 2.5/3.3                    | No                   | No                    |
| RS DS25E      | 差動                   | 2.5/3.3                    | No                   | No                    |
| LVPECL33E     | 差動                   | 3.3                        | No                   | No                    |
| SSTL15D       | 差動                   | 1.5                        | No                   | No                    |
| SSTL25D_I     | 差動                   | 2.5                        | No                   | No                    |
| SSTL25D_II    | 差動                   | 2.5                        | No                   | No                    |
| SSTL33D_I     | 差動                   | 3.3                        | No                   | No                    |
| SSTL33D_II    | 差動                   | 3.3                        | No                   | No                    |
| SSTL18D_I     | 差動                   | 1.8                        | No                   | No                    |
| SSTL18D_II    | 差動                   | 1.8                        | No                   | No                    |
| HSTL18D_I     | 差動                   | 1.8                        | No                   | No                    |

| I/O タイプ(入力) | シングルエンド/差動 | Bank V <sub>CCIO</sub> (V) | ヒステリシス・オプションをサポートするか | V <sub>REF</sub> が必要か |
|-------------|------------|----------------------------|----------------------|-----------------------|
| HSTL18D_II  | 差動         | 1.8                        | No                   | No                    |
| HSTL15D_I   | 差動         | 1.5                        | No                   | No                    |
| LVC MOS12D  | 差動         | 1.2                        | No                   | No                    |
| LVC MOS15D  | 差動         | 1.5                        | No                   | No                    |
| LVC MOS18D  | 差動         | 1.8                        | No                   | No                    |
| LVC MOS25D  | 差動         | 2.5                        | No                   | No                    |
| LVC MOS33D  | 差動         | 3.3                        | No                   | No                    |

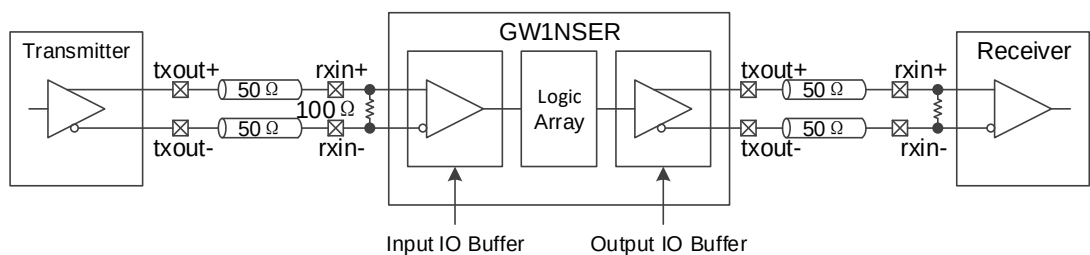
## 2.6.2 True LVDS 設計

GW1NSER-4C の Bank2 が True LVDS 出力をサポート。さらに、IO は、LVDS25E、MLVDS25E、BLVDS25E などのさまざまな規格をサポートしています。

True LVDS の分布の詳細については、『GW1NSER-4C デバイス Pinout([UG883](#))』を参照してください。

LVDS の入力 IO には、100 Ω の終端抵抗が必要です。そのリファレンス・デザインは、図 2-5 に示す通りです。GW1NSER-4C の Bank0/1 は、プログラマブルなオンチップ 100 Ω 入力差動終端抵抗をサポートし、詳しくは『Gowin プログラマブル汎用 IO(GPIO)ユーザーガイド([UG289](#))』を参照してください。

図 2-5 True LVDS 設計のブロック図



LVDS25E、MLVDS25E、BLVDS25E 等の差動 I/O 終端抵抗については、『Gowin プログラマブル汎用 IO(GPIO)ユーザーガイド([UG289](#))』を参照してください。

## 2.6.3 I/O ロジック

GW1NSER シリーズ FPGA 製品の I/O ロジックの入力と出力を図 2-6 に示します。

図 2-6 I/O ロジックの入力と出力の説明図

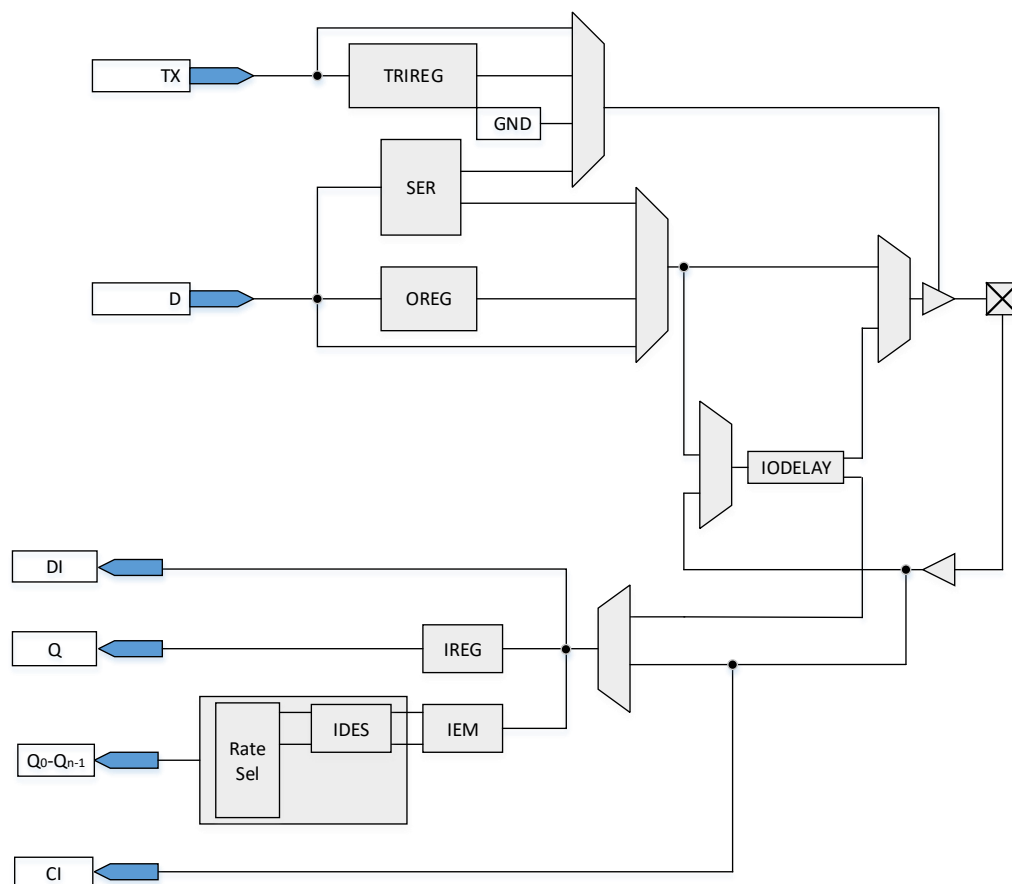


表 2-3 ポートの説明

| ポート名                | I/O | 説明                                                                        |
|---------------------|-----|---------------------------------------------------------------------------|
| CI <sup>[1]</sup>   | 入力  | GCLK 入力信号。<br>GCLK 入力信号の数については、『GW1INSER-4C デバイス Pinout(UG883)』を参照してください。 |
| DI                  | 入力  | IO ポートの低速入力信号。Fabric に直接入力されます。                                           |
| Q                   | 出力  | SDR モジュールの IREG 出力信号。                                                     |
| Q0-Q <sub>n-1</sub> | 出力  | DDR モジュールの IDES の出力信号。                                                    |

注記：

<sup>[1]</sup> CI を GCLK 信号の入力として使用する場合、DI、Q、および Q0-Q<sub>n-1</sub> を I/O の入出力に使用することはできません。

GW1INSER シリーズ安全 FPGA 製品の I/O ロジックの各コンポーネントの説明は以下の通りです：

### 遅延モジュール

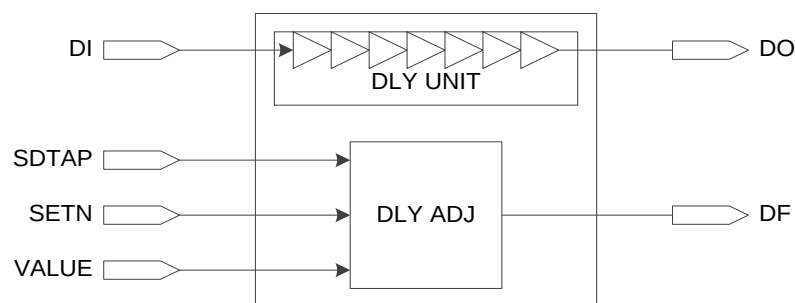
遅延モジュール(IODELAY)を図 2-7 に示します。GW1INSER シリーズ FPGA 製品の各 I/O には IODELAY モジュールが含まれており、ユーザーはこのモジュールを使用して I/O の入出力信号の遅延を調整することができます。ステップあたりの遅延時間は T<sub>dlyunit</sub>、提供できるステップ数は

DLYSTEP です。IODELAY の総遅延時間は、 $T_{\text{totdly}} = T_{\text{dlyoffset}} + T_{\text{dlyunit}} * \text{DLYSTEP}$  であり、表 2-4 を参照してください。

表 2-4 IODELAY の総遅延時間（参考）

|                        | 最小値   | 標準値   | 最大値   |
|------------------------|-------|-------|-------|
| $T_{\text{dlyoffset}}$ | 450ps | 500ps | 550ps |
| $T_{\text{dlyunit}}$   | -     | 30ps  | -     |
| DLYSTEP                | 0     | -     | 127   |

図 2-7 IODELAY の説明図



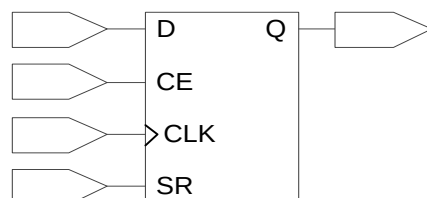
遅延を制御する 2 つの方法：

- 静的制御。
- 動的制御：IEM と共に動的サンプリングウィンドウの調整に使用されます。ただし、IODELAY を入力と出力に同時に使用することはできません。

### I/O レジスタ

GW1NSER シリーズ FPGA 製品の I/O レジスタを図 2-8 に示します。GW1NSER シリーズ FPGA 製品の各 I/O には、プログラマブルな入力レジスタ(IREG)、出力レジスタ(OREG)、およびトライステートレジスタ(TRIREG)があります。

図 2-8 I/O レジスタの説明図



注記：

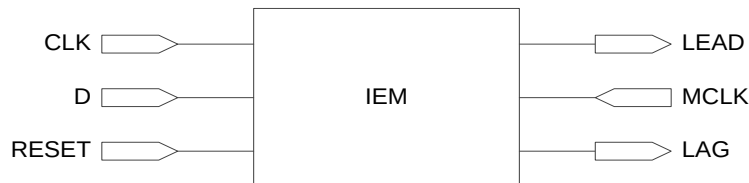
- CE は、アクティブ Low またはアクティブ High にプログラムできます。
- CLK は立ち上がりエッジトリガまたは立ち下がりエッジトリガにプログラムできます。

- SR は同期/非同期の SET/RESET または無効(disable)にプログラムできます。
- レジスタは、レジスタ(register)またはラッチ(latch)にプログラムできます。

### サンプリングモジュール

サンプリングモジュール(IEM)は、データエッジのサンプリングに使用され、汎用 DDR モードで使用されます(図 2-9)。

図 2-9 IEM の説明図



### デシリアライザ(DES)モジュール

各入力 I/O ロジックには、I/O リソースのアプリケーションシナリオを豊かにするシンプルなデシリアライザ(DES)モジュールが備わっています。

### シリアライザ(SER)モジュール

各出力 I/O ロジックには、I/O リソースのアプリケーションシナリオを豊かにするシンプルなシリアライザ(SER)モジュールが備わっています。

## 2.6.4 I/O ロジックの動作モード

GW1NSER シリーズ FPGA 製品の I/O ロジックは、複数の動作モードをサポートします。各動作モードでは、I/O(または I/O 差動信号ペア)は出力信号、入力信号、INOUT 信号、及びトライステート出力信号(トライステート制御付きの出力信号)に設定できます。

## 2.7 BSRAM

### 2.7.1 概要

GW1NSER シリーズ FPGA 製品は、豊富な BSRAM リソースを提供しています。これらのメモリリソースは、FPGA アレイで行として配置されているため、ブロック・スタティック RAM(BSRAM)と呼ばれています。FPGA アレイの各 BSRAM モジュールは、3 つの CLU の位置を占有します。

BSRAM は 2 つの機能をサポートします：

- Cortex-M3 の SRAM リソースとして、Cortex-M3 に高速のデータ読み出し/書き込み機能を提供してシステムの動作を保証します。この場合、1 つの BSRAM の有効な容量は 16K ビット(2K バイト)です。Gowin が提供する Gowin ソフトウェアは、2K バイト/4K バイト/8K バイトなどのように、Cortex-M3 の SRAM リソースの構成をサポートします。未使用の BSRAM はユーザーのメモリリソースとして使用できます。
- ユーザーのメモリリソースのみとして使用され、この場合、各 BSRAM の最大容量は 18,432 ビット(18K ビット)です。4 つの動作モード(シングル・ポート、デュアル・ポート、セミ・デュアル・ポート、ROM)がサポートされています。

豊富な BSRAM リソースにより、ユーザーの高性能設計が可能になります。BSRAM の機能は下記のとおりです：

- 各モジュールの最大容量は 18,432 ビット
- クロック周波数は最大 190MHz
- シングル・ポート・モード(Single Port)
- デュアル・ポート・モード(Dual Port)
- セミ・デュアル・ポート・モード(Semi Dual Port)
- パリティビット(Parity Bits)を提供
- ROM モードを提供
- データ幅は 1～36 ビット
- 混合クロック(Mixed Clock Mode)
- 混合データ幅(Mixed Data Width Mode)
- 通常の読み出し/書き込み(Normal Read and Write)
- リードビフォーライト(Read-before-Write)
- ライトスルー(Write-through)

### 2.7.2 BSRAM の構成モード

GW1NSER シリーズ FPGA 製品の BSRAM は、表 2-5 に示す通り、複数のデータ幅をサポートします。

表 2-5 BSRAM のモード一覧

| シングル・ポート・モード | デュアル・ポート・モード | セミ・デュアル・ポート・モード | ROM モード  |
|--------------|--------------|-----------------|----------|
| 16K x 1      | 16K x 1      | 16K x 1         | 16K x 1  |
| 8K x 2       | 8K x 2       | 8K x 2          | 8K x 2   |
| 4K x 4       | 4K x 4       | 4K x 4          | 4K x 4   |
| 2K x 8       | 2K x 8       | 2K x 8          | 2K x 8   |
| 1K x 16      | 1K x 16      | 1K x 16         | 1K x 16  |
| 512 x 32     | -            | 512 x 32        | 512 x 32 |
| 2K x 9       | 2K x 9       | 2K x 9          | 2K x 9   |
| 1K x 18      | 1K x 18      | 1K x 18         | 1K x 18  |
| 512 x 36     | -            | 512 x 36        | 512 x 36 |

### シングル・ポート・モード

シングル・ポート BSRAM は、2 つの読み出しモード（Bypass モード、Pipeline モード）と 3 つの書き込みモード（Normal モード、Write-through モード、Read-before-write モード）をサポートします。シングル・ポート・モードでは、クロックエッジで BSRAM に対して読み出しまたは書き込みを行うことができます。書き込みの場合、書き込まれたデータは BSRAM の出力に転送されます。出力レジスタがバイパスされている場合、新しいデータは、同じクロック立ち上がりエッジで現れます。

シングル・ポート・モードの詳細については、『Gowin BSRAM & SSRAM ユーザーガイド([UG285](#))』を参照してください。

### デュアル・ポート・モード

デュアル・ポート BSRAM は、2 つの読み出しモード（Bypass モードと Pipeline モード）と 2 つの書き込みモード（Normal モードと Write-through モード）をサポートします。2 つのポートに対して以下の操作を行うことができます：

- 2 つのポートに対する同時読み出し
- 2 つのポートに対する同時書き込み
- 任意の 1 つのポートに対する読み出しおよび書き込み

#### 注記：

同じアドレスに対する同時の読み出しと書き込みは禁止されています。

デュアル・ポート・モードの詳細については、『Gowin BSRAM & SSRAM ユーザーガイド([UG285](#))』を参照してください。

### セミ・デュアル・ポート・モード

セミ・デュアル・ポート BSRAM は、2 つの読み出しモード（Bypass モードと Pipeline モード）と 1 つの書き込みモード（Normal モード）をサポートします。セミ・デュアル・ポートは、同時読み出し及び書き込みをサポートします。ただし、同じポートによる読み出しと書き

込みはサポートされておらず、つまり、ポート A は書き込み専用で、ポート B は読み出し専用です。

注記：

同じアドレスに対する同時の読み出しと書き込みは禁止されています。

セミ・デュアル・ポート・モードの詳細については、『Gowin BSRAM & SSRAM ユーザーガイド([UG285](#))』を参照してください。

### ROM モード

BSRAM は、ROM モードに構成可能です。ユーザーは、メモリの初期化ファイルを使用することで、プログラミングポートを介して ROM を初期化することができます。ユーザーは、初期化ファイルに書き込まれる、ROM のコンテンツを提供する必要があります。初期化は、FPGA のコンフィギュレーション際に実行されます。

各 BSRAM は 16K ビットの ROM として構成できます。ROM モードの詳細については、『Gowin BSRAM & SSRAM ユーザーガイド([UG285](#))』を参照してください。

## 2.7.3 混合データ幅

GW1INSER シリーズ FPGA 製品の BSRAM モジュールは、混合データ幅の読み出しと書き込みをサポートします。デュアル・ポート・モードとセミ・デュアル・ポート・モードでは、表 2-6 と表 2-7 に示すように、異なるデータ幅の読み出し及び書き込みがサポートされています。

表 2-6 デュアル・ポートの場合の混合読み出し書き込みデータ幅

| 読み出しポート | 書き込みポート |        |        |        |         |        |         |
|---------|---------|--------|--------|--------|---------|--------|---------|
|         | 16K x 1 | 8K x 2 | 4K x 4 | 2K x 8 | 1K x 16 | 2K x 9 | 1K x 18 |
| 16K x 1 | *       | *      | *      | *      | *       |        |         |
| 8K x 2  | *       | *      | *      | *      | *       |        |         |
| 4K x 4  | *       | *      | *      | *      | *       |        |         |
| 2K x 8  | *       | *      | *      | *      | *       |        |         |
| 1K x 16 | *       | *      | *      | *      | *       |        |         |
| 2K x 9  |         |        |        |        |         | *      | *       |
| 1K x 18 |         |        |        |        |         | *      | *       |

注記：

「\*」はサポートされる組み合わせを示します。

表 2-7 セミ・デュアル・ポートの場合の混合読み出し書き込みデータ幅

| 読み出しポート | 書き込みポート |        |        |        |         |          |        |         |          |
|---------|---------|--------|--------|--------|---------|----------|--------|---------|----------|
|         | 16K x 1 | 8K x 2 | 4K x 4 | 2K x 8 | 1K x 16 | 512 x 32 | 2K x 9 | 1K x 18 | 512 x 36 |
| 16K x 1 | *       | *      | *      | *      | *       | *        |        |         |          |
| 8K x 2  | *       | *      | *      | *      | *       | *        |        |         |          |

| 読み出し<br>ポート | 書き込みポート |        |        |        |         |          |        |         |          |
|-------------|---------|--------|--------|--------|---------|----------|--------|---------|----------|
|             | 16K x 1 | 8K x 2 | 4K x 4 | 2K x 8 | 1K x 16 | 512 x 32 | 2K x 9 | 1K x 18 | 512 x 36 |
| 4K x 4      | *       | *      | *      | *      | *       | *        |        |         |          |
| 2K x 8      | *       | *      | *      | *      | *       | *        |        |         |          |
| 1K x 16     | *       | *      | *      | *      | *       | *        |        |         |          |
| 512x32      | *       | *      | *      | *      | *       | *        |        |         |          |
| 2K x 9      |         |        |        |        |         |          | *      | *       | *        |
| 1K x 18     |         |        |        |        |         |          | *      | *       | *        |

注記：

「\*」はサポートされる組み合わせを示します。

## 2.7.4 パリティビット機能

BSRAM はパリティビット機能をサポートします。各バイトの 9 ビット目はパリティビットとして使用するか、データの保存に用います。

## 2.7.5 同期操作

- すべての BSRAM モジュールの入力レジスタは、同期書き込みをサポートします。
- 出力レジスタをパイプラインレジスタとして使用することで、ユーザーデザインのパフォーマンスを向上させることができます。
- 出力レジスタはバイパス可能です。

## 2.7.6 BSRAM の動作モード

BSRAM は、2 つの読み出しモード(バイパス(Bypass)モード、パイプライン(Pipeline)モード)及び 3 つの書き込みモード(ノーマル(Normal)モード、ライトスルー(Write-Through)モード、リードビフオーライト((Read-before-Write)モード)を含む 5 つの動作モードをサポートします。

### 読み出しモード

BSRAM から読み出されたデータは、出力レジスタを介して出力されるか、出力レジスタを経由することなく出力されます。

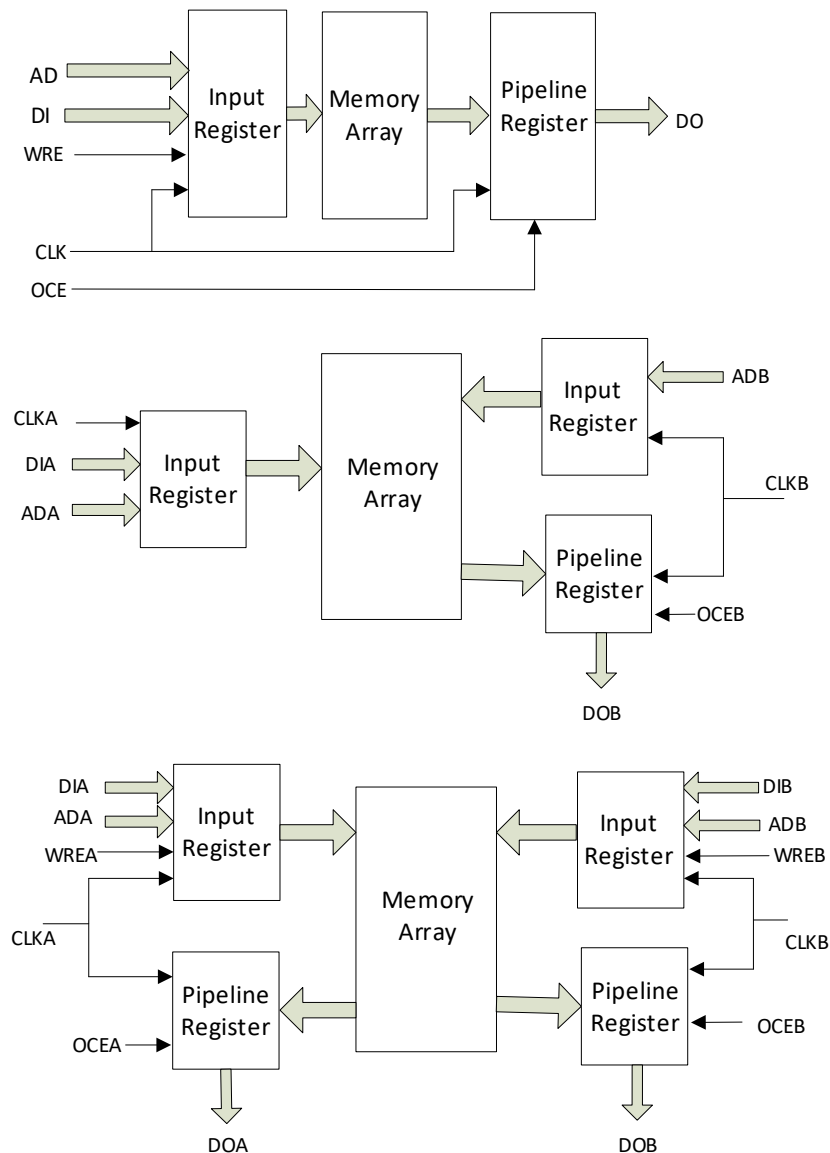
### Pipeline モード

このモードでは、メモリへの同期書き込み時に出力レジスタが使用されます。このモードは、最大 36 ビットのデータ幅をサポートします。

### Bypass モード

このモードでは、出力レジスタは使用されず、データはメモリ(Memory Array)の出力に保持されます。

図 2-10 シングル・ポート・モード、セミ・デュアル・ポート・モード、及びデュアル・ポート・モードにおける Pipeline モード



### 書き込みモード

#### NORMAL モード

このモードでは、ポートに対して通常書き込みが行われ、このポートの出力データは変更しません。書き込まれたデータは読み出しポートに現れません。

#### WRITE-THROUGH モード

このモードでは、ポートに書き込むと、書き込まれたデータはこのポートの出力に現れます。

#### READ-BEFORE-WRITE モード

このモードでは、ポートに書き込むと、元のデータはこのポートの出力に現れ、書き込まれたデータは対応するメモリセルに格納されます。

### 2.7.7 クロックモード

表 2-8 に、各 BSRAM モードで使用できるクロックモードを示します。

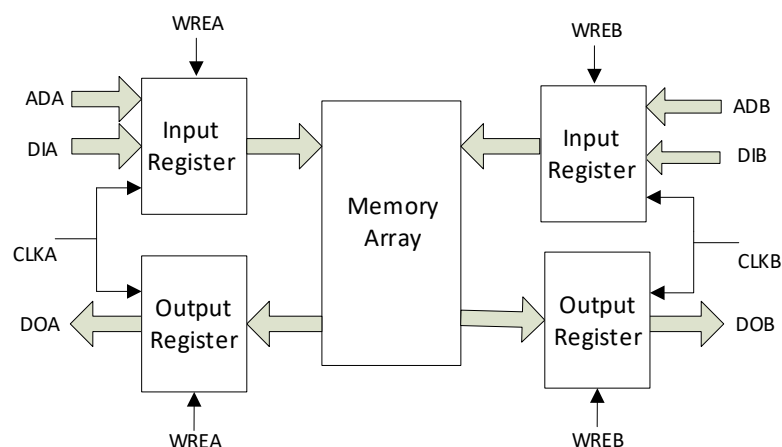
表 2-8 クロックモードと BSRAM モードの組み合わせ

| クロックモード          | デュアル・ポート・モード | セミ・デュアル・ポート・モード | シングル・ポート・モード |
|------------------|--------------|-----------------|--------------|
| 独立クロックモード        | Yes          | No              | No           |
| 読み出し/書き込みクロックモード | Yes          | Yes             | No           |
| シングル・ポート・クロックモード | No           | No              | Yes          |

#### 独立クロックモード

デュアル・ポート・モードにおける独立クロックモードは図 2-11 に示すとおりです。各ポートにはそれぞれ 1 つの独立クロックがあります。CLKA 信号は、ポート A のすべてのレジスタを制御し、CLKB 信号は、ポート B のすべてのレジスタを制御しています。

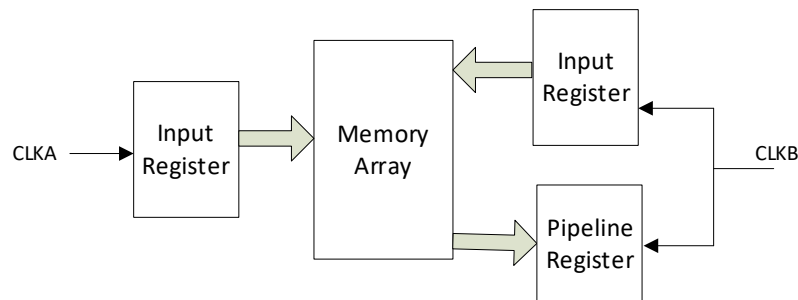
図 2-11 独立クロックモード



#### 読み出し書き込みクロックモード

図 2-12 は、セミ・デュアル・ポート・モードにおける読み出し書き込みクロックモードを示しています。各ポートにはそれぞれ 1 つのクロックがあります。書き込みクロック (CLKA) 信号はポート A の書き込みデータ、書き込みアドレス、及び読み出し/書き込みイネーブル信号を制御しています。読み出しクロック (CLKB) 信号は、ポート B の読み出しデータ、読み出しアドレス、及び読み出しイネーブル信号を制御しています。

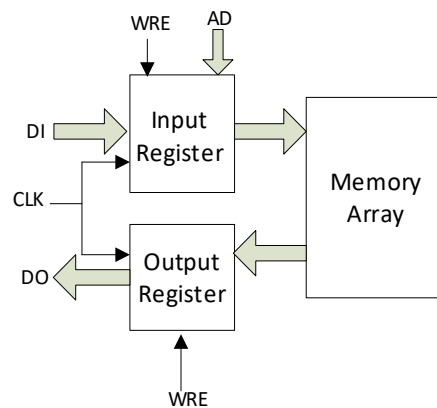
図 2-12 読み出し書き込みクロックモード



## シングル・ポート・クロックモード

図 2-13 はシングル・ポート・クロックモードを示しています。

図 2-13 シングル・ポート・クロックモード



## 2.8 DSP リソース

### 2.8.1 概要

GW1NSER-4C デバイスには豊富な DSP リソースがあります。GOWIN セミコンダクターの DSP ソリューションは、FIR、FFT 設計などの高性能デジタル信号処理を可能にしています。DSP リソースは、安定したタイミングパフォーマンス、高いリソース使用量、低消費電力等の特長を備えています。

DSP は以下の機能をサポートします：

- 3 つの幅の乗算器(9 ビット、18 ビット、36 ビット)
- 54 ビットの ALU
- 複数の乗算器のカスケード接続によるデータ幅の拡大をサポート
- バレルシフタ (Barrel Shifter)
- フィードバック信号による適応フィルタリング (Adaptive filtering through signal feedback)
- 正数または素数への丸めオプション付きの計算 (Computing with options of rounding to positive number or prime number)
- レジスタ出力及びバイパス出力をサポート

## 2.8.2 マクロセル

DSP ブロックは、FPGA アレイで行に配置されています。各 DSP ブロックは、9 つの CLU の位置を占有します。各 DSP ブロックには 2 つのマクロセルがあり、各マクロセルには 2 つの前置加算器(pre-adder)、2 つの 18 ビット乗算器(multiplier)、及び 1 つの 3 入力算術論理演算装置(ALU54)があります。

### 前置加算器

DSP マクロセルには、前置加算、前置減算、およびシフト機能を実装するための 2 つの前置加算器があります。

前置加算器はマクロセルの最先端に位置し、2 つの入力ポートを備えています：

- パラレル 18 ビット入力 B または SBI。
- パラレル 18 ビット入力 A または SIA。

注記：

すべての入力ポートは、レジスタモードとバイパスモードをサポートします。

GOWIN セミコンダクターFPGA 製品の前置加算器は、独立したモジュールとして機能でき、9 ビット及び 18 ビットをサポートします。

### 乗算器

乗算器(multipliers)は前置加算器の後ろに位置し、乗算に使用されます。乗算器は 9 x 9、18 x 18、36 x 18、または 36 x 36 に設定でき、入力ポートと出力ポートはいずれもレジスタモード及びバイパスモードをサポートします。1 つのマクロセルは次の乗算器を形成できます：

- 1 つの 18 x 36 乗算器
- 2 つの 18 x 18 乗算器
- 4 つの 9 x 9 乗算器

注記：

2 つのマクロセルは、1 つの 36 x 36 乗算器を形成できます。

### 算術論理演算装置

各 DSP マクロセルには、乗算器機能をさらに拡張した 1 つの 54 ビットの ALU54 があります。その入力ポートと出力ポートはレジスタモード及びバイパスモードをサポートします。サポートされる機能は以下のとおりです：

- 乗算器出力データ I0、データ A、およびデータ B の加算/減算。
- 乗算器出力データ I0、データ B、およびキャリー C の加算/減算。
- データ A、データ B、およびキャリー C の加算/減算。

## 2.8.3 DSP 動作モードの構成

- 乗算器モード
- 乗算アキュムレータモード

- 乗算加算アキュムレータモード

DSP の詳細については、『Gowin DSP ユーザーガイド([UG287](#))』を参照してください。

## 2.9 GPIO による MIPI D-PHY RX/TX をサポート

GPIO でソフト MIPI D-PHY RX/TX を実装する場合、TLVDS、ELVDS、MIPI IO の 3 つの IO タイプが利用可能です。

すべての GW1NSER FPGA は TLVDS/ELVDS タイプをサポートしています。TLVDS/ELVDS タイプで MIPI D-PHY を実装する場合、LVDS25(E)+LVCMOS12 を通じて MIPI HS および MIPI LP をエミュレートする必要があり、また、外部抵抗ネットワークも必要です。

一部の GW1NSER FPGA は MIPI IO タイプをサポートしています。MIPI IO は内部に抵抗ネットワークを統合しており、MIPI HS と MIPI LP 間の自動切り替えをサポートします。MIPI IO タイプのサポートを表 2-9 に示します。

IO タイプの選択とオフチップ終端方法については、Gowin MIPI D-PHY RX TX Advance IP ユーザーガイド([IPUG948](#))の「機能の説明」を参照してください。

表 2-9 MIPI IO タイプをサポートする GW1NSER シリーズ FPGA 製品の一覧

| MIPI 入力/出力 | GW1NSER-4C |
|------------|------------|
| MIPI 入力    | Bank0/1    |
| MIPI 出力    | Bank2      |

ソフト MIPI D-PHY TX/RX の主な特徴は以下に示す通りです：

- 『MIPI Alliance Standard for D-PHY Specification』バージョン 1.2 をサポート。
- 高速 RX/TX インターフェースをサポート(転送レートは最大 4.8Gbps)。
- 最大 4 つのデータ・レーンと 1 つのクロック・レーンをサポート。
- 複数の PHY をサポート(IO が十分な場合)。
- 双方向低消費電力(LP、Low-power)モードをサポート。
- MIPI DSI および MIPI CSI-2 リンク層をサポート。
- 高速同期、ビットおよびレーンアライメントをサポート。
- MIPI D-PHY RX 1:8 モード及び 1:16 モードをサポート。
- ELVDS、TLVDS、および MIPI IO などの IO タイプをサポート。
- GW1NSER-4C の Bank0/Bank1/Bank2 が I3C をサポート。

詳細については、『Gowin MIPI D-PHY RX TX Advance IP ユーザーガイド([IPUG948](#))』を参照してください。

## 2.10 Cortex-M3

### 2.10.1 概要

GW1NSER シリーズ安全 FPGA デバイスには、マイクロプロセッサ・ハードコア、豊富なロジックリソース、BSRAM、PLL、および OSC が組み込まれています。マイクロプロセッサ・ハードコアは、低消費電力、低コスト、高性能の 32-bit RISC アーキテクチャの Cortex-M3 です。FPGA は、システム・オン・チップを簡単かつ柔軟に実装するためのプログラマブルな周辺機器とソフトコア IP を提供します。

マイクロプロセッサ・システムは、プロセッサモジュールとバスシステムを介して周辺機器と通信します。周辺機器とは、FPGA リソースを使用して実装された周辺機器、または FPGA ソフトコア IP を呼び出すことによって実装された周辺機器を指します。FPGA 内部には豊富なロジックリソースがあるため、ユーザーは様々な周辺機器を柔軟に実現できます。Gowin ソフトウェアは豊富なソフトコア IP(例えば SPI、I<sup>2</sup>C など)を提供しています。マイクロプロセッサ・システムは FPGA リソースに接続されています。周辺機器に接続する I/O ポートは、JTAG インターフェースしかありません。

バスシステムは AHB-Lite バス、AHB2APB ブリッジバス、および 2 本の APB バスで構成されます。

マイクロプロセッサ・システムは、AHB バスを介して FPGA のサブ・メモリシステムにアクセスします。このシステムには、32KB の Flash の読み出し及び最大 16KB の BSRAM の読み出し書き込みを実現する 1 つのコントローラがあります。パワーオンにより起動した後、Cortex-M3 コアは Flash 内の ARM プログラムの命令とデータをロードして動作し始めます。

AHB バスは 2 つの拡張ポート(INTEXP0 及び TARGEXP0)をサポートします。各拡張ポートは、FPGA 内の任意の高速周辺機器またはメモリリソースに接続できる 1 つの 128 ビット AHB バスを提供します。AHB バスは GPIO インターフェースの FPGA への接続をサポートし、汎用の I/O 機能を実現します。

2 本の APB バスはそれぞれ APB1 と APB2 で、APB1 は 2 つのタイマー(Timer0 と Timer1)、2 つの UART(Uart0 と Uart1)および 1 つのウォッチドッグ(Watchdog)に接続します。2 つの UART は直接 FPGA に接続し、2 つのタイマーとウォッチドッグはマイクロプロセッサ・システム内部でのみ制御及び使用され、レジスタを介してアクセスされます。APB2 バスは直接 FPGA リソースに接続します。

プロセッサブロックは Cortex-M3 コア、バスマトリクス、NVIC、デバッグポート、およびタイムスタンプで構成されます。

Cortex-M3 コアは、バスマトリクスを介してバスシステムにアクセスします。

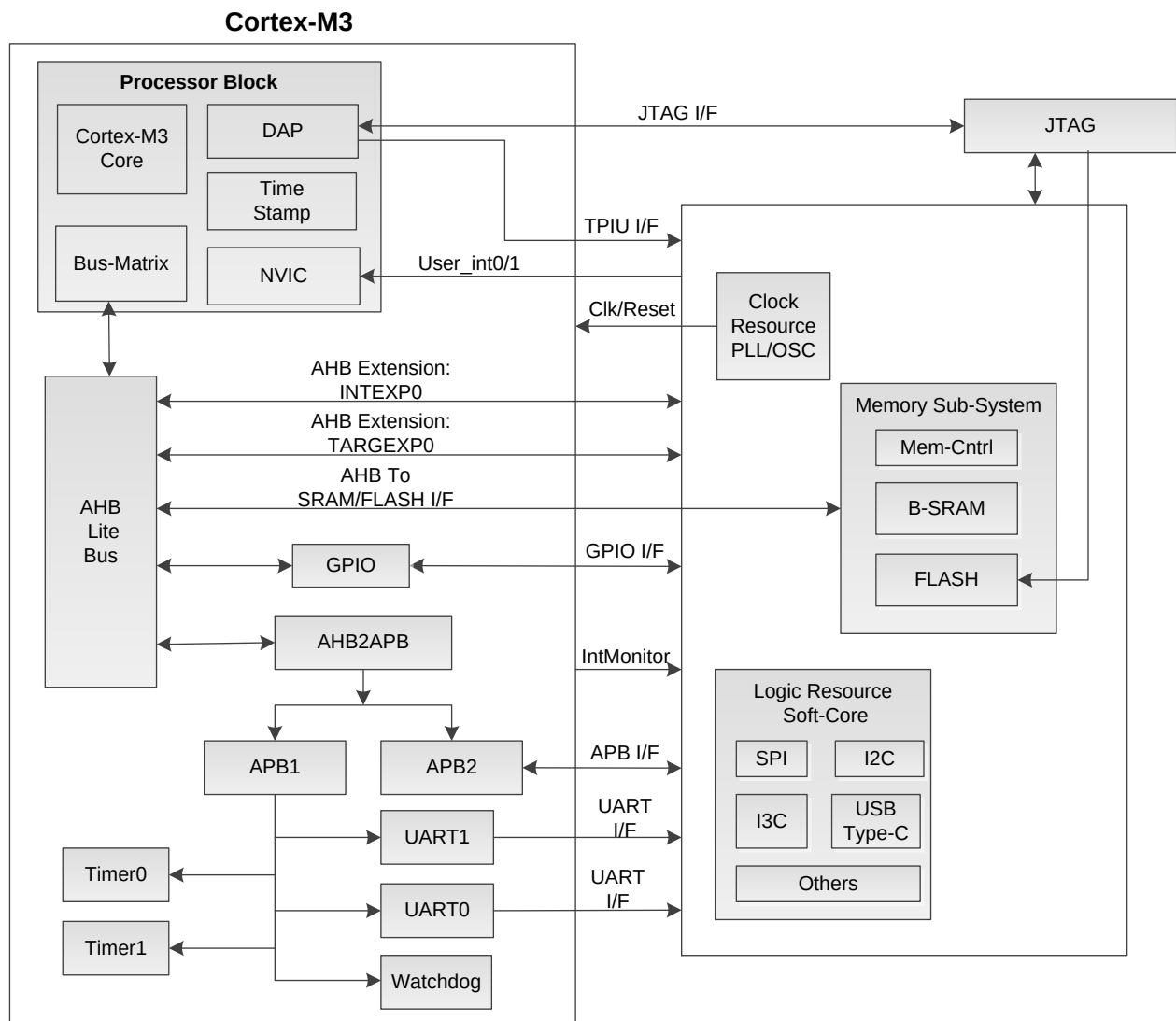
6つの外部割り込みをサポートします。デバッグポートには JTAG デバッグポート及び TPIU が含まれます。

また、マイクロプロセッサ・システムは 1 つの割り込みモニタ信号 IntMonitor を提供します。この信号は GPIO の割り込みまたは APB1 周辺機器(Timer0 / Timer1 / Uart0 / Uart1 / Watchdog を含む)の割り込みを指示することができます。その割り込みモニタ信号は FPGA にフィードバックし、マイクロプロセッサ・システムの当面の割り込み状態の報告に使用されます。

FPGA には PLL 及び OSC が組み込まれているので、クロックリソース、パワーアップリセット、及びシステムリセットを柔軟かつ便利に提供できます。

Cortex-M3 のブロック図は、図 2-14 に示す通りです。

図 2-14 Cortex-M3 のアーキテクチャ



## 2.10.2 Cortex-M3

## 特徴

- コンパクトコア
- ARM コアの高性能をサポートする Thumb-2 命令セット
- 32 ビット及び 16 ビットをサポートし、通常数 KB メモリのマイクロコントローラで使用
- 独立した命令バス及びデータバスを採用したハーバードアーキテクチャで、データロード/ストレージの同時に命令取得が実行可能
- レジスタ操作によるハードウェアの例外/割り込み処理
- 確定的で高速な割り込み処理
- 特権モードの提供によりオペレーティングシステム機能を保護するメモリ保護ユニット
- ARM7™ プロセッサのアップグレード版で、より良いパフォーマンスとより低い消費電力を実現
- フル機能のデバッグソリューション
  - JTAG デバッグポート
  - ブレークポイント機能を実現する FPB モジュール
  - ウォッチポイント、トリガ、及びシステム分析機能を実現する DWT モジュール
  - print デバッグをサポートする ITM モジュール
  - トレースポート・アナライザとのブリッジとして動作する TPIU モジュール

### 2.10.3 バスマトリクス

バスマトリクスは、Cortex-M3 プロセッサとデバッグポートを外部 AHB バスと接続することに使用されます。バスマトリクスと AHB バスの接続には以下が含まれています：

- ICode バス：コード空間からの命令及びベクトルのフェッチに使用される 32 ビットの AHBLite バス。
- DCode バス：コード空間でのデータのロード/保存及びデバッグに使用される 32bit AHBLite バス。
- システムバス：システム空間での命令及びベクトルのフェッチ、データのロード/保存、およびデバッグに使用される 32 ビット AHBLite バス。
- APB：周辺機器でのデータのロード/保存及びデバッグに使用される 32 ビット APB バス。

さらに、バスマトリクスは以下の機能を制御します：

- アンアラインドアクセス：バスマトリクスは、アンアラインド・プロセッサアクセスをアラインされたアクセスに変換します。
- Bit-banding：バスマトリクスは、Bit\_band のエイリアスアクセスを Bit\_band 空間に対するアクセスに変換します。
- 書き込みバッファ：バスマトリクスには、プロセッサコアがバス遅延の影響を受けないようにするための 1 つの書き込みバッファがあります。

## 2.10.4 NVIC

ネスト型ベクタ割り込みコントローラ(NVIC)及び Cortex-M3 コアの密接な結合で、低遅延の例外及び割り込み処理を実現します。その特性は以下のとおりです：

- 最大 26 の割り込みをサポート
- 6 つの外部割り込みをサポート
- 各割り込みは 8 つのプログラマブル優先度(0~7)をサポート。7 は最も低い優先度、0 は最も高い優先度を表す
- 割り込み信号レベルとパルス検出をサポート
- 割り込み優先度の動的構成をサポート
- プロセッサのステータスが割り込み開始時に自動的に保存され、割り込み終了時に自動的に回復されるため、別の命令は必要ありません

表 2-10 NVIC の割り込みベクターテーブル

| アドレス       | 名称                 | タイプ                  | 説明              |
|------------|--------------------|----------------------|-----------------|
| 0x00000000 | _StackTop          | 読み出し専用               | 割り込みスタックのトップ    |
| 0x00000004 | Reset_Handler      | 読み出し専用               | リセット割り込み        |
| 0x00000008 | NMI_Handler        | 読み出し専用               | NMI割り込み         |
| 0x0000000C | HardFault_Handler  | 読み出し専用               | ハードフォールト割り込み    |
| 0x00000010 | MemMange_Handler   | 読み出し専用               | MPUフォールト割り込み    |
| 0x00000014 | BusFault_Handler   | 読み出し / 書き込み          | バスフォールト割り込み     |
| 0x00000018 | UsageFault_Handler | 読み出し専用               | 使用フォールト割り込み     |
| 0x0000002C | SVC_Handler        | 読み出し / 書き込み          | SVCcall割り込み     |
| 0x00000030 | DebugMon_Handler   | 読み出し専用               | デバッグモニタ割り込み     |
| 0x00000038 | PendSV_Handler     | 読み出し / 書き込み / 読み出し専用 | ペンディング割り込み      |
| 0x0000003C | SysTick_Handler    | 読み出し / 書き込み          | システムタイマー割り込み    |
| 0x00000040 | UART0_Handler      | 読み出し / 書き込み          | UART0受信及び送信割り込み |

| アドレス       | 名称                 | タイプ            | 説明                         |
|------------|--------------------|----------------|----------------------------|
|            |                    | み              |                            |
| 0x00000044 | USER_INT0_Handler  | 読み出し<br>/ 書き込み | ユーザー割り込み0                  |
| 0x00000048 | UART1_Handler      | 読み出し<br>/ 書き込み | UART1受信及び送信割り込み            |
| 0x0000004C | USER_INT1_Handler  | 読み出し<br>/ 書き込み | ユーザー割り込み1                  |
| 0x00000050 | USER_INT2_Handler  | 読み出し<br>/ 書き込み | ユーザー割り込み2                  |
| 0x00000058 | PORT0_COMB_Handler | 読み出し<br>/ 書き込み | GPIO0割り込み                  |
| 0x0000005C | USER_INT3_Handler  | 読み出し<br>/ 書き込み | ユーザー割り込み3                  |
| 0x00000060 | TIMER0_Handler     | 読み出し<br>/ 書き込み | TIMER0割り込み                 |
| 0x00000064 | TIMER1_Handler     | 読み出し<br>/ 書き込み | TIMER1割り込み                 |
| 0x0000006C | I2C_Handler        | 読み出し<br>/ 書き込み | I2C割り込み                    |
| 0x00000070 | UARTOVF_Handler    | 読み出し<br>/ 書き込み | UART0/UART1オーバーフロー<br>割り込み |
| 0x00000074 | USER_INT4_Handler  | 読み出し<br>/ 書き込み | ユーザー割り込み4                  |
| 0x00000078 | USER_INT5_Handler  | 読み出し<br>/ 書き込み | ユーザー割り込み5                  |
| 外部割り込み     |                    |                |                            |
| 0x00000080 | PORT0_0_Handler    | 読み出し<br>/ 書き込み | GPIO0ピン0割り込み               |
| 0x00000084 | PORT0_1_Handler    | 読み出し<br>/ 書き込み | GPIO0ピン1割り込み               |

| アドレス       | 名称               | タイプ            | 説明            |
|------------|------------------|----------------|---------------|
| 0x00000088 | PORT0_2_Handler  | 読み出し<br>/ 書き込み | GPIO0ピン2割り込み  |
| 0x0000008C | PORT0_3_Handler  | 読み出し<br>/ 書き込み | GPIO0ピン3割り込み  |
| 0x00000090 | PORT0_4_Handler  | 読み出し<br>/ 書き込み | GPIO0ピン4割り込み  |
| 0x00000094 | PORT0_5_Handler  | 読み出し<br>/ 書き込み | GPIO0ピン5割り込み  |
| 0x00000098 | PORT0_6_Handler  | 読み出し<br>/ 書き込み | GPIO0ピン6割り込み  |
| 0x0000009C | PORT0_7_Handler  | 読み出し<br>/ 書き込み | GPIO0ピン7割り込み  |
| 0x000000A0 | PORT0_8_Handler  | 読み出し<br>/ 書き込み | GPIO0ピン8割り込み  |
| 0x000000A4 | PORT0_9_Handler  | 読み出し<br>/ 書き込み | GPIO0ピン9割り込み  |
| 0x000000A8 | PORT0_10_Handler | 読み出し<br>/ 書き込み | GPIO0ピン10割り込み |
| 0x000000AC | PORT0_11_Handler | 読み出し<br>/ 書き込み | GPIO0ピン11割り込み |
| 0x000000B0 | PORT0_12_Handler | 読み出し<br>/ 書き込み | GPIO0ピン12割り込み |
| 0x000000B4 | PORT0_13_Handler | 読み出し<br>/ 書き込み | GPIO0ピン13割り込み |
| 0x000000B8 | PORT0_14_Handler | 読み出し<br>/ 書き込み | GPIO0ピン14割り込み |
| 0x000000BC | PORT0_15_Handler | 読み出し<br>/ 書き込み | GPIO0ピン15割り込み |

## 2.10.5 起動モード

プログラム読み込みモジュールは、ARM プログラムメモリからスタックポインタの初期値を読み込み、リセット割り込みハンドラーに送信します。リセットベクトルは、プログラムメモリ内で指定されます。

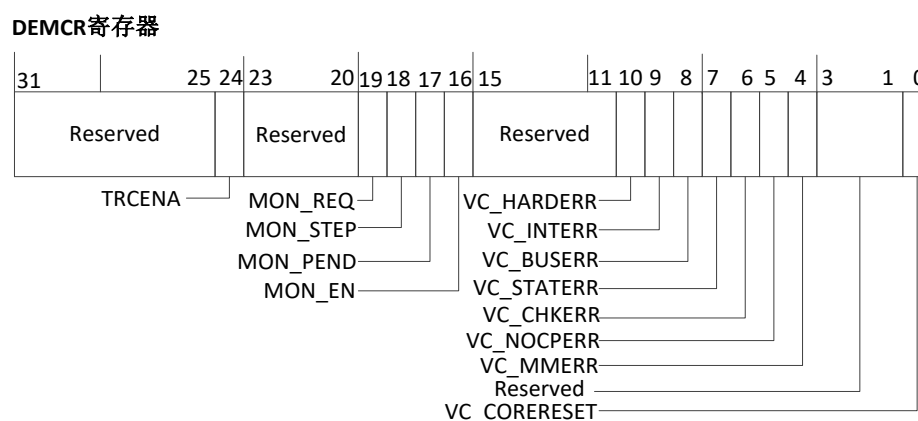
現在のプログラム読み込みは UART メッセージモニタリングに基づいて実現されたものです。このような方法により、PC との通信が容易になります。プログラム読み込みモジュールのブートの例は、以下に示す通りです：

- パワーオンリセットし、リセット割り込みハンドラーに入ってプログラムローダーをコールします。
- 送信及び受信に適したボーレートを取得するように UART0 ボーレート及び制御レジスタを設定します
- メモリテスト、Timer0 テスト、Timer1 テストなどの、Flash 読み込みモジュールのサブルーチンの実行をスタートします。
- プログラムを終了するには、0x4(EOP)を書き込みます。

## 2.10.6 タイムスタンプ

48bits のタイムスタンプ・カウンタは、ITM に含まれています。トレースイネーブル信号 TRCENA でゲーティング及びイネーブルを行います。TRCENA は DEMCR レジスタの第 24 ビットで、信号 Cortex-M3 プロセッサのデバッグモジュール DWT 及び ITM のグローバルイネーブル信号です。タイムスタンプはデバッグプロセスにおける、ブレークポイントやタグなどの設定に使用されます。

図 2-15 DEMCR レジスタ



注記：

TRCENA は DWT 及び ITM のグローバルイネーブル信号です：

- 0 : DWT 及び ITM は無効です。
- 1 : DWT 及び ITM は有効です。

## 2.10.7 タイマー

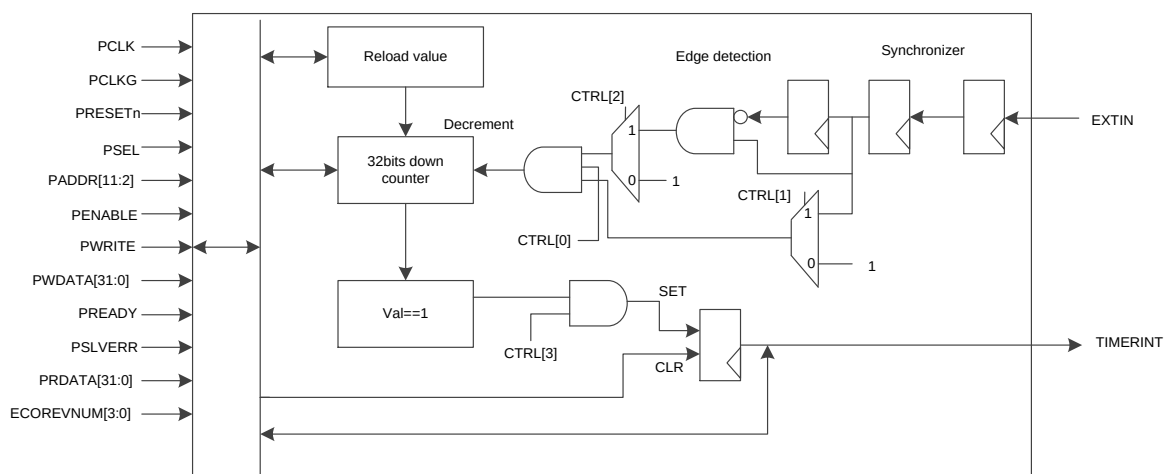
APB1 バスを介して制御及びアクセスできる 2 つの同期するスタンダ

ードタイマ(Timer0 と Timer1)が組み込まれています。

Timer0 と Timer1 は 32 ビットのダウンカウンタで、その特性は以下の通りです：

- カウンタの値が 0 になると、割り込み要求信号 **TIMERINT** を生成し、かつ割り込みクリアレジスタ **INTCLEAR** を設定するまで、割り込み要求信号は常に有効です。
- 外部信号 **EXTIN** をカウンタのイネーブル信号として用いることができます。**EXTIN** が 0 から 1 になると、有効になります。
- カウンタが 0 までカウントすると同時にソフトウェアが前回の割り込み状態をクリアする場合、その割り込み状態は 1 になります。
- 外部入力 **EXTIN** がクロックとして機能する場合、エッジ検出ロジックを通過する前にダブルフリップフロップでサンプリングされるため、**EXTIN** のクロック周波数はプライマリクロックの半分以下である必要があります。
- Timer0 : **EXTIN** は **GPIO[1]**にハードワイヤされています。
- Timer1 : **EXTIN** は **GPIO[6]**にハードワイヤされています。

図 2-16 Timer0/Timer1 のアーキテクチャ



Timer0/Timer1 レジスタは下表に示すとおりです。Timer0 のベースアドレスは 0x40000000、Timer1 のベースアドレスは 0x40001000 です。

表 2-11 Timer0/Timer1 レジスタ

| 名称    | オフセット | タイプ         | 幅(ビット) | リセット値      | 説明                                                                                        |
|-------|-------|-------------|--------|------------|-------------------------------------------------------------------------------------------|
| CTRL  | 0x000 | 読み出し / 書き込み | 4      | 0x0        | [3] : タイマー割り込みイネーブル<br>[2] : 外部入力をクロック信号として使用<br>[1] : 外部入力をイネーブル信号として使用<br>[0] : イネーブル信号 |
| VALUE | 0x004 | 読み出し / 書き込み | 32     | 0x00000000 | 現在のカウント値                                                                                  |

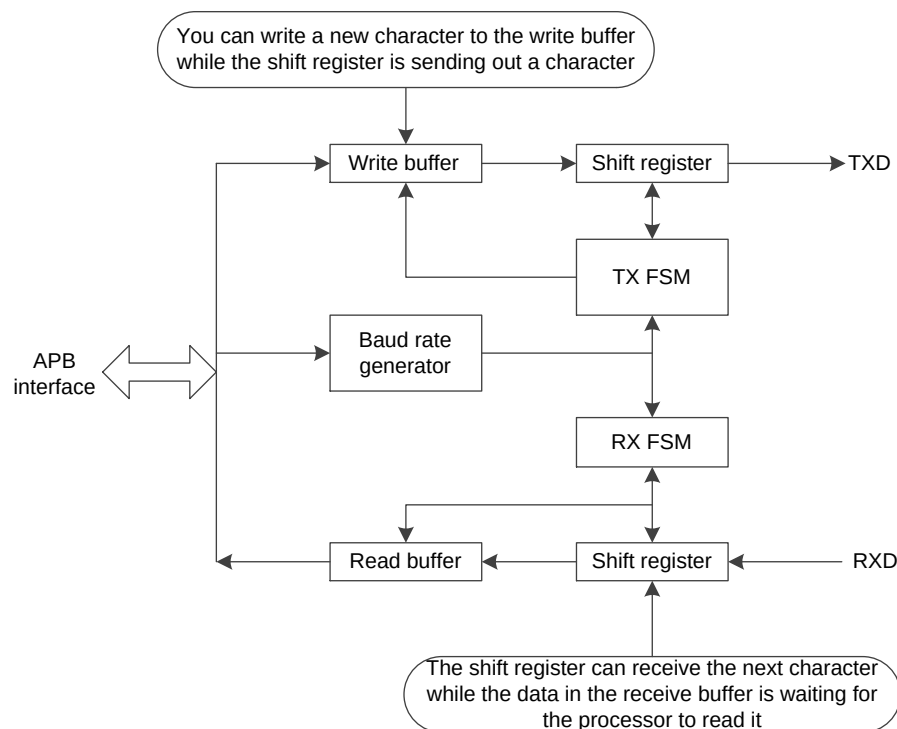
| 名称                     | オフセット | タイプ         | 幅(ビット) | リセット値      | 説明                                               |
|------------------------|-------|-------------|--------|------------|--------------------------------------------------|
| RELOAD                 | 0x008 | 読み出し / 書き込み | 32     | 0x00000000 | 読み込み値。このレジスタに書き込まれる数値はカウンタの現在のカウンタ値レジスタ内に読み込まれます |
| INTSTATUS/<br>INTCLEAR | 0x00C | 読み出し / 書き込み | 1      | 0x0        | [0]: タイマー割り込み、1を書き込んでクリア                         |
| PID4                   | 0XFD0 | 読み出し専用      | 8      | 0x04       | ペリフェラルIDレジスタ4                                    |
| PID5                   | 0XFD4 | 読み出し専用      | 8      | 0x00       | ペリフェラルIDレジスタ5                                    |
| PID6                   | 0XFD8 | 読み出し専用      | 8      | 0x00       | ペリフェラルIDレジスタ6                                    |
| PID7                   | 0XFDC | 読み出し専用      | 8      | 0x00       | ペリフェラルIDレジスタ7                                    |
| PID0                   | 0XFE0 | 読み出し専用      | 8      | 0x22       | ペリフェラルIDレジスタ0                                    |
| PID1                   | 0XFE4 | 読み出し専用      | 8      | 0XB8       | ペリフェラルIDレジスタ1                                    |
| PID2                   | 0XFE8 | 読み出し専用      | 8      | 0X1B       | ペリフェラルIDレジスタ2                                    |
| PID3                   | 0XFEC | 読み出し専用      | 8      | 0X00       | ペリフェラルIDレジスタ3                                    |
| CID0                   | 0XFF0 | 読み出し専用      | 8      | 0X0D       | コンポーネントIDレジスタ0                                   |
| CID1                   | 0XFF4 | 読み出し専用      | 8      | 0XF0       | コンポーネントIDレジスタ1                                   |
| CID2                   | 0XFF8 | 読み出し専用      | 8      | 0X05       | コンポーネントIDレジスタ2                                   |
| CID3                   | 0XFFC | 読み出し専用      | 8      | 0XB1       | コンポーネントIDレジスタ3                                   |

## 2.10.8 UART

APB1 バスを介して制御及びアクセスできる 2 つの UART(UART0 と UART1)が組み込まれており、最大 921.6Kbits/s のボーレートをサポートします。

UART0 及び UART1 は 8 つのデータビットと 1 つのストップビットをサポートしており、パリティビットをサポートしません。

図 2-17 APB UART Buffering



UART0 及び UART1 は、高速テストモードをサポートし、CTRL[6]に 1 をセットすると、シリアル・データはクロックサイクルごとに 1 ビットで送信されます。これにより、比較的短いシミュレーション時間でテキストメッセージを送信できます。APB が UART0 と UART1 のデータ送信を検出すると同時に、APB インタフェースは常に「OK」応答を送信し、待機する必要はありません。UART をイネーブルする前に、まずボーレート分周レジスタ BAUDDIV を設定する必要があります。

BAUDTICK の出力周波数は、ボーレートの 16 倍で、この外部信号を使用して同期モードで UART データをサンプリングすることができます。CTRL[0]は出力イネーブル信号 TXEN で、UART 送信がイネーブルの場合、この信号を使用して双方向 I/O を UART データ出力に変換することができます。

ステータス・レジスタ STATE 内のバッファオーバーランステータスは、オーバーラン割り込み要求信号の駆動に用います。そのため、バッファオーバーランステータスをクリアすると、オーバーラン割り込み要求がクリアされ、逆も同じです。

UART0 と UART1 に関する説明は下表に示すとおりで、UART0 のベースアドレスは 0X40004000 で、UART1 のベースアドレスは 0X40005000 です。

表 2-12 UART0/UART1 レジスタ

| 名称   | オフセット | タイプ | 幅(ビット) | リセット値 | 説明      |
|------|-------|-----|--------|-------|---------|
| DATA | 0x000 | 読み出 | 8      | 0x--  | 8ビットデータ |

| 名称                     | オフセット | タイプ         | 幅(ビット) | リセット値   | 説明                                                                                                                                                                        |
|------------------------|-------|-------------|--------|---------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|                        |       | し / 書き込み    |        |         | 受信モードの場合は受信データ<br>送信モードの場合は送信データ                                                                                                                                          |
| STATE                  | 0x004 | 読み出し / 書き込み | 4      | 0x0     | [3] : RXバッファオーバーラン、1を書き込んでクリア<br>[2] : TXバッファオーバーラン、1を書き込んでクリア<br>[1] : RXバッファフルフラグ、読み出し専用<br>[0] : TXバッファフルフラグ、読み出し専用                                                    |
| CTRL                   | 0x008 | 読み出し / 書き込み | 7      | 0x00    | [6] : 高速テストモード。送信モードでのみサポート<br>[5] : RXオーバーラン割り込みイネーブル信号<br>[4] : TXオーバーラン割り込みイネーブル信号<br>[3] : RX割り込みイネーブル信号<br>[2] : TX割り込みイネーブル信号<br>[1] : RXイネーブル信号<br>[0] : TXイネーブル信号 |
| INTSTATUS/<br>INTCLEAR | 0x00C | 読み出し / 書き込み | 4      | 0x0     | [3] : RXオーバーラン割り込み、1を書き込んでクリア<br>[2] : TXオーバーラン割り込み、1を書き込んでクリア<br>[1] : RX割り込み、1を書き込んでクリア<br>[0] : TX割り込み、1を書き込んでクリア                                                      |
| BAUDDIV                | 0x010 | 読み出し / 書き込み | 20     | 0x00000 | [19:0] : ボーレート分周レジスタ。最小値は16                                                                                                                                               |
| PID4                   | 0XFD0 | 読み出し専用      | 8      | 0x04    | ペリフェラルIDレジスタ4                                                                                                                                                             |
| PID5                   | 0XFD4 | 読み出し専用      | 8      | 0x00    | ペリフェラルIDレジスタ5                                                                                                                                                             |
| PID6                   | 0XFD8 | 読み出し専用      | 8      | 0x00    | ペリフェラルIDレジスタ6                                                                                                                                                             |
| PID7                   | 0XFDC | 読み出し専用      | 8      | 0x00    | ペリフェラルIDレジスタ7                                                                                                                                                             |
| PID0                   | 0XFE0 | 読み出し専用      | 8      | 0x21    | ペリフェラルIDレジスタ0                                                                                                                                                             |
| PID1                   | 0XFE4 | 読み出し専用      | 8      | 0XB8    | ペリフェラルIDレジスタ1                                                                                                                                                             |
| PID2                   | 0XFE8 | 読み出し専用      | 8      | 0X1B    | ペリフェラルIDレジスタ2                                                                                                                                                             |

| 名称   | オフセット | タイプ    | 幅(ビット) | リセット値 | 説明             |
|------|-------|--------|--------|-------|----------------|
| PID3 | 0XFEC | 読み出し専用 | 8      | 0X00  | ペリフェラルIDレジスタ3  |
| CID0 | 0XFF0 | 読み出し専用 | 8      | 0X0D  | コンポーネントIDレジスタ0 |
| CID1 | 0XFF4 | 読み出し専用 | 8      | 0XF0  | コンポーネントIDレジスタ1 |
| CID2 | 0XFF8 | 読み出し専用 | 8      | 0X05  | コンポーネントIDレジスタ2 |
| CID3 | 0XFFC | 読み出し専用 | 8      | 0XB1  | コンポーネントIDレジスタ3 |

### 2.10.9 ウォッチドッグ

APB1 バスを介して制御及びアクセスできる 1 つの Watchdog が組み込まれています。

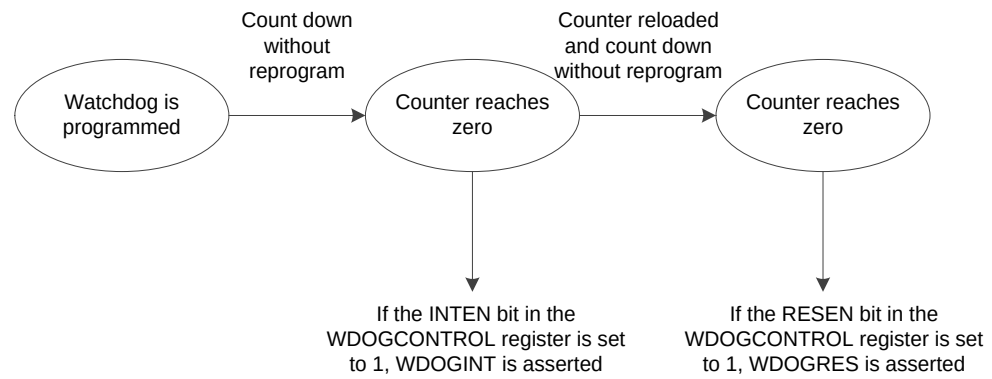
これは、リロードレジスタ **WDOGLOAD** により初期化される 32 ビットのダウンカウンタに基づいています。

Watchdog モジュールは、ユーザーが設定したカウント値に応じた割り込み信号 **WDOGINT** を生成します。クロックイネーブル信号 **WDOGCLKEN** がアクティブ High の場合、Watchdog カウンタはクロックの各立ち上がりエッジで逓減します。Watchdog は割り込み信号をモニタして、カウント値が 0 の時に割り込み要求信号 **WDOGRES** を生成します。クロック **WDOGCLK** の次のクロックサイクルにおいて、リロードレジスタ **WDOGLOAD** の数値をカウンタ内に読み込み、次の逓減カウントを行います。

システムにエラーが発生すると、Watchdog はシステムリセット信号の生成に使用され、ソフトウェアシステム・クラッシュのリカバリ方法を提供します。例えば、割り込み信号がクリアされておらず、かつカウンタはもう一度 0 までカウントした場合、Watchdog は改めてシステムリセット用のリセット信号を 1 にセットします。

Watchdog の操作方法は以下の図の通りです：

図 2-18 Watchdog の操作方法



Watchdog レジスタは下表に示すとおりで、Watchdog のベースアドレスは 0x40008000 です。

表 2-13 Watchdog レジスタ

| 名称          | オフセット | タイプ       | 幅<br>(ビット) | リセット値      | 説明                               |
|-------------|-------|-----------|------------|------------|----------------------------------|
| WDOGLOAD    | 0x00  | 読み出し/書き込み | 32         | 0xFFFFFFFF | Watchdog読み込みレジスタ                 |
| WDOGVALUE   | 0x04  | 読み出し専用    | 32         | 0xFFFFFFFF | Watchdogカウント値レジスタ                |
| WDOGCONTROL | 0x08  | 読み出し/書き込み | 2          | 0x0        | Watchdog制御レジスタ<br>[1] :<br>[0] : |
| WDOGINTCLR  | 0x0C  | 書き込み専用    | -          | 0x-        | Watchdog割り込みクリアレジスタ              |
| WDOGRIS     | 0x10  | 読み出し専用    | 1          | 0x0        | Watchdog前回割り込みステータス・レジスタ         |
| WDOGMIS     | 0x14  | 読み出し専用    | 1          | 0x0        | Watchdog割り込みステータス・レジスタ           |
| WDOGLOCK    | 0xC00 | 読み出し/書き込み | 32         | 0x0        | Watchdogロックレジスタ                  |
| WDOGTCCR    | 0xF00 | 読み出し/書き   | 1          | 0x0        | Watchdogテスト制御レジスタ                |

| 名称            | オフセット | タイプ    | 幅<br>(ビット) | リセット値 | 説明                  |
|---------------|-------|--------|------------|-------|---------------------|
|               |       | 込み     |            |       |                     |
| WDOGTOP       | 0xF04 | 書き込み専用 | 2          | 0x0   | Watchdogテスト出力設定レジスタ |
| WDOGPERIPHID4 | 0XFD0 | 読み出し専用 | 8          | 0x04  | ペリフェラルIDレジスタ4       |
| WDOGPERIPHID5 | 0XFD4 | 読み出し専用 | 8          | 0x00  | ペリフェラルIDレジスタ5       |
| WDOGPERIPHID6 | 0XFD8 | 読み出し専用 | 8          | 0x00  | ペリフェラルIDレジスタ6       |
| WDOGPERIPHID7 | 0XFDC | 読み出し専用 | 8          | 0x00  | ペリフェラルIDレジスタ7       |
| WDOGPERIPHID0 | 0XFE0 | 読み出し専用 | 8          | 0x24  | ペリフェラルIDレジスタ0       |
| WDOGPERIPHID1 | 0XFE4 | 読み出し専用 | 8          | 0XB8  | ペリフェラルIDレジスタ1       |
| WDOGPERIPHID2 | 0XFE8 | 読み出し専用 | 8          | 0X1B  | ペリフェラルIDレジスタ2       |
| WDOGPERIPHID3 | 0XFEC | 読み出し専用 | 8          | 0X00  | ペリフェラルIDレジスタ3       |
| WDOGPCELLID0  | 0XFF0 | 読み出し専用 | 8          | 0X0D  | コンポーネントIDレジスタ0      |
| WDOGPCELLID1  | 0XFF4 | 読み出し専用 | 8          | 0XF0  | コンポーネントIDレジスタ1      |
| WDOGPCELLID2  | 0XFF8 | 読み出し専用 | 8          | 0X05  | コンポーネントIDレジスタ2      |
| WDOGPCELLID3  | 0XFFC | 読み出し専用 | 8          | 0XB1  | コンポーネントIDレジスタ3      |

## 2.10.10 GPIO

GPIO モジュールは AHB バスを介して通信でき、FPGA に接続されています。GPIO は 16 ビットの汎用 I/O 機能をサポートするとともに、以下の特性を備えています：

- GPIO の何れか 1 ビットで割り込みを生成することが可能。
- アドレスのビットマスクをサポート。
- レジスタを構成することにより様々な機能を提供。
- 独立したレジスタの設定と明確な制御レジスタアドレスでスレッドの安全を保証。

GPIO レジスタは下表に示すとおりで、GPIO のベースアドレスは 0x40010000 です。

表 2-14 0x40010000 レジスタ

| 名称         | オフセット  | タイプ       | 幅<br>(ビット) | リセット値  | 説明                                                                                                                  |
|------------|--------|-----------|------------|--------|---------------------------------------------------------------------------------------------------------------------|
| DATA       | 0x0000 | 読み出し/書き込み | 16         | 0x---- | [15:0] : データレジスタ                                                                                                    |
| DATAOUT    | 0x0004 | 読み出し/書き込み | 16         | 0x0000 | [15:0] : データ出力レジスタ                                                                                                  |
| OUTENSET   | 0x0010 | 読み出し/書き込み | 16         | 0x0000 | [15:0] : 出力イネーブル設定<br>1を書き込む : 出力イネーブル有効<br>0を書き込む : 出力イネーブル無効<br>1を読み出す : 信号の方向は出力<br>0を読み出す : 信号の方向は入力            |
| OUTENCLR   | 0x0014 | 読み出し/書き込み | 16         | 0x0000 | [15:0] : 出力イネーブルクリア                                                                                                 |
| ALTFUNCSET | 0x0018 | 読み出し/書き込み | 16         | 0x0000 | [15:0] : オプション機能設定<br>1を書き込む : ALTFUNCを設定<br>0を書き込む : ALTFUNCを設定しない<br>0を読み出す : GPIOをI/Oとして使用<br>1を読み出す : ALTFUNC機能 |
| ALTFUNCCLR | 0x001C | 読み出し/     | 16         | 0x0000 | [15:0] : オプション機能クリア                                                                                                 |

| 名称                     | オフセット             | タイプ       | 幅<br>(ビット) | リセット値  | 説明                                                                                                                            |
|------------------------|-------------------|-----------|------------|--------|-------------------------------------------------------------------------------------------------------------------------------|
|                        |                   | 書き込み      |            |        |                                                                                                                               |
| INTENSET               | 0x0020            | 読み出し/書き込み | 16         | 0x0000 | [15:0]: 割り込みイネーブル設定<br>1を書き込む: 割り込みイネーブルを設定<br>0を書き込む: 割り込みイネーブルを設定しない<br>0を読み出す: 割り込み無効<br>1を読み出す: 割り込み有効                    |
| INTENCLR               | 0x0024            | 読み出し/書き込み | 16         | 0x0000 | [15:0]: 割り込みイネーブルクリア<br>1を書き込む: 割り込みイネーブルをクリア<br>0を書き込む: 割り込みイネーブルをクリアしない<br>0を読み出す: 割り込みイネーブルクリア無効<br>1を読み出す: 割り込みイネーブルクリア有効 |
| INTTYPESET             | 0x0028            | 読み出し/書き込み | 16         | 0x0000 | [15:0]: 割り込みタイプ設定                                                                                                             |
| INTTYPECLR             | 0x002C            | 読み出し/書き込み | 16         | 0x0000 | [15:0]: 割り込みタイプクリア                                                                                                            |
| INTPOLSET              | 0x0030            | 読み出し/書き込み | 16         | 0x0000 | [15:0]: 割り込み極性設定                                                                                                              |
| INTPOLCLR              | 0x0034            | 読み出し/書き込み | 16         | 0x0000 | [15:0]: 割り込み極性クリア                                                                                                             |
| INTSTATUS/<br>INTCLEAR | 0x0038            | 読み出し/書き込み | 16         | 0x0000 | 割り込みステータス・レジスタ<br>1を書き込んで割り込み要求をクリア                                                                                           |
| MASKLOWBYTE            | 0x0400-<br>0x07FC | 読み出し/書き込み | 16         | 0x0000 | -                                                                                                                             |

| 名称           | オフセット         | タイプ       | 幅<br>(ビット) | リセット値  | 説明             |
|--------------|---------------|-----------|------------|--------|----------------|
| MASKHIGHBYTE | 0x0800-0x0BFC | 読み出し/書き込み | 16         | 0x0000 | -              |
| Reserved     | 0x0C00-0x0FCF | -         | -          | -      | Reserved       |
| PID4         | 0XFD0         | 読み出し専用    | 8          | 0x04   | ペリフェラルIDレジスタ4  |
| PID5         | 0XFD4         | 読み出し専用    | 8          | 0x00   | ペリフェラルIDレジスタ5  |
| PID6         | 0XFD8         | 読み出し専用    | 8          | 0x00   | ペリフェラルIDレジスタ6  |
| PID7         | 0XFDC         | 読み出し専用    | 8          | 0x00   | ペリフェラルIDレジスタ7  |
| PID0         | 0XFE0         | 読み出し専用    | 8          | 0x20   | ペリフェラルIDレジスタ0  |
| PID1         | 0XFE4         | 読み出し専用    | 8          | 0XB8   | ペリフェラルIDレジスタ1  |
| PID2         | 0XFE8         | 読み出し専用    | 8          | 0X1B   | ペリフェラルIDレジスタ2  |
| PID3         | 0XFEC         | 読み出し専用    | 8          | 0X00   | ペリフェラルIDレジスタ3  |
| CID0         | 0XFF0         | 読み出し専用    | 8          | 0X0D   | コンポーネントIDレジスタ0 |
| CID1         | 0XFF4         | 読み出し専用    | 8          | 0XF0   | コンポーネントIDレジスタ1 |
| CID2         | 0XFF8         | 読み出し専用    | 8          | 0X05   | コンポーネントIDレジスタ2 |
| CID3         | 0XFFC         | 読み出し専用    | 8          | 0XB1   | コンポーネントIDレジスタ3 |

### 2.10.11 デバッグポート

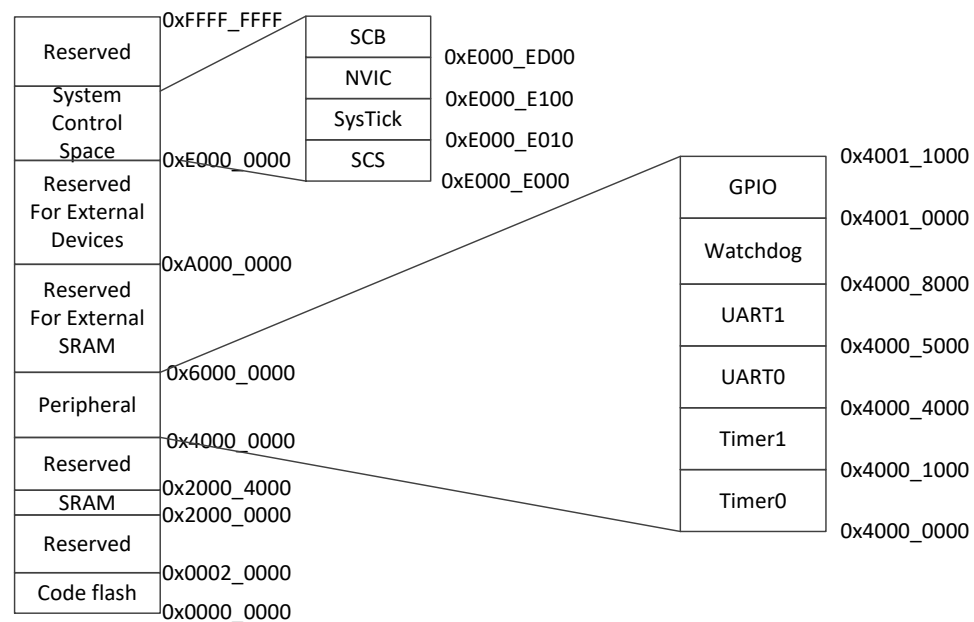
Cortex-M3 プロセッサには、JTAG インターフェース及び TPIU インターフェースを含む 1 つのデバッグインターフェースがあります。JTAG インターフェース及び TPIU インターフェースは FPGA に接続されています。JTAG デバッグインターフェースは IEEE1149.1 テストアクセスポート及びバウンダリスキャン・アーキテクチャ標準に準拠しています。

JTAG-DP の機能は、主に 3 つの部分で構成されます：

- JTAG-DP 状態機械
- JTAG と現在選択されているレジスタの動作を制御するために使用される、命令レジスタ(IR)および関連する IR スキャンチェーン
- JTAG-DP 内のレジスタと接続する、データレジスタおよび関連する DR スキャンチェーン。

### 2.10.12 メモリマッピング

図 2-19 メモリマッピング



### 2.10.13 アプリケーション

GOWIN が提供する Gowin ソフトウェアは、Cortex-M3 の呼び出しをサポートしています。詳細については、『Gowin\_EMPU(GW1NS-4C)ハードウェア設計ユーザーガイド([IPUG932](#))』を参照してください。

## 2.11 クロック

クロックリソースと配線は、FPGA の高性能アプリケーションにとって重要です。GW1NSER シリーズ FPGA 製品は、直接にデバイスのあらゆるリソースに接続する専用のグローバル・クロック(GCLK)ネットワークを提供しています。さらに、高速クロック(HCLK)、位相同期回路(PLL)等のクロックリソースも提供されています。

詳しくは、『Gowin Clock ユーザーガイド([UG286](#))』を参照してください。

### 2.11.1 グローバル・クロック

GCLK は、GW1NSER シリーズ FPGA 製品で L と R の 2 つの象限に配置されています。各象限は 8 つの GCLK ネットワークを提供します。GCLK は、クロックソースとして専用のクロック入力ピンまたは汎用配線リソースを使用できます。専用のクロック入力ピンは、より良好なクロック・パフォーマンスを提供します。

### 2.11.2 位相同期回路

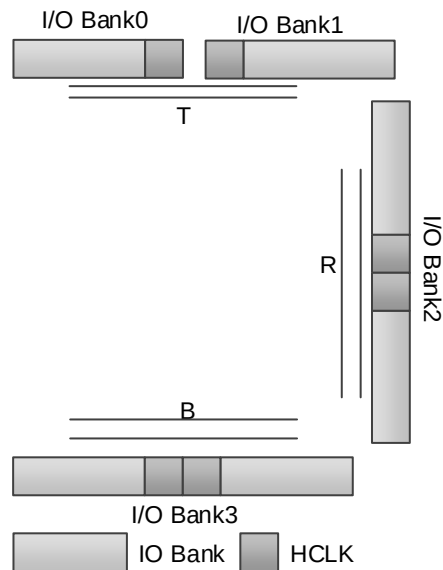
位相同期回路(Phase-Locked Loop、PLL)はフィードバック制御回路です。PLL は、外部からのリファレンス・クロック信号に基づいてループ内部の発振信号の周波数と位相を制御します。

GW1NSER の PLL モジュールは、合成可能なクロック周波数を提供しており、パラメータを設定することで、クロックの周波数の調整(通倍及び分周)、位相の調整、デューティサイクルの調整等の機能を実現できます。

### 2.11.3 高速クロック

GW1NSER シリーズの FPGA 製品の高速クロック(HCLK)は、I/O の高性能データ転送をサポートし、ソース同期データ転送インターフェースのために設計されたものです。GW1NSER-4C の各側は、2 つの HCLK を提供します。

図 2-20 GW1NSER-4C の HCLK の説明図



## 2.12 ロングワイヤ

CRUに加えて、GW1NSERシリーズFPGA製品は、クロック、クロックイネーブル、セット/リセット、またはその他高ファンアウト信号に適用される柔軟で豊富なロングワイヤ・リソースも提供しています。

## 2.13 グローバル・セット/リセット

GW1NSERシリーズのFPGA製品には、コアロジックに直接接続されるグローバル・セット/リセット(GSR)ネットワークが構築されています。グローバル・セット/リセット(GSR)ネットワークは非同期/同期リセットまたは非同期/同期セットに使用できます。CLUとI/Oのレジスタは、いずれも個別に構成できます。

## 2.14 プログラミング・コンフィギュレーション

GW1NSER シリーズの FPGA 製品は SRAM コンフィギュレーション及び Flash プログラミングをサポートします。Flash プログラミングモードでは、オンチップ Flash プログラミングとオフチップ Flash プログラミングがサポートされます。

JTAG に加えて、GW1NSER シリーズの FPGA 製品では GOWIN 独自の 6 つの GowinCONFIG モード(AUTO BOOT、SSPI、MSPI、DUAL BOOT、SERIAL、および CPU)もサポートされています。すべての GW1NSER デバイスは JTAG と AUTO BOOT モードをサポートしています。詳細については、『Gowin FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド([UG290](#))』を参照してください。

### 2.14.1 SRAM コンフィギュレーション

直接 SRAM をコンフィギュレーションする場合、パワーアップするたびに、コンフィギュレーションデータをダウンロードする必要があります。

### 2.14.2 Flash プログラミング

この方法では、まずコンフィギュレーションデータはオンチップ Flash に格納されます。パワーアップすると、コンフィギュレーションデータはオンチップ Flash から SRAM にロードされます。コンフィギュレーションはパワーアップ後の数ミリ秒内に完了できるので、このようなコンフィギュレーション方法は「クイックスタート/インスタントオン」とも呼ばれます。さらに、GW1NSER シリーズの FPGA 製品は、オフチップ Flash によるコンフィギュレーションおよび DUAL BOOT モードをサポートしています。詳細については、『Gowin FPGA 製品プログラミング・コンフィギュレーションユーザーガイド([UG290](#))』を参照してください。

GW1NSER シリーズの FPGA 製品は、JTAG<sup>[1]</sup>バックグラウンド・アップグレードという機能をサポートします。つまり、デバイスは、現在の動作状態に影響を与えることなく、JTAG インターフェースを介してオンチップ Flash またはオフチップ Flash をプログラムすることをサポートします。プログラミング中、デバイスは元のコンフィギュレーションに従って動作可能です。プログラミング後、RECONFIG\_N<sup>[2]</sup>を Low レベルでトリガして、アップグレードを完了します。この機能は、オンライン時間が長く、時々アップグレードが必要なアプリケーションに適しています。

注記：

- <sup>[1]</sup> GW1NSER-4C デバイスの場合、組み込み Cortex-M3 が使用されているとき、JTAG バックグラウンド・アップグレードは実現できません。
- <sup>[2]</sup> RECONFIG\_N は、コンフィギュレーション・ピンとして使用される場合、内部の弱いプルアップを持つ入力ピンであり、GPIO として使用される場合、出力ピンとしてのみ使用できます。詳細については、『Gowin FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド([UG290](#))』を参照してください。

## 2.15 オンチップオシレータ

GW1NSER シリーズ FPGA 製品には、1 つのオンチップオシレータが組み込まれています。当該オンチップオシレータは精度±5%のプログラマブルなユーザークロックを提供し、コンフィギュレーションの際に MSPI コンフィギュレーション・モードにクロックソースを提供します。

GW1NSER-4C デバイスのオンチップオシレータは、構成可能な省電力モードをサポートしています。

オンチップオシレータは、ユーザーデザインにクロックソースを提供することもでき、動作パラメータを設定することにより、最大 64 のクロック周波数を取得できます。

オンチップオシレータの出力クロック周波数は、次のように計算されます。

$$f_{\text{out}} = f_{\text{osc}} / \text{Param}$$

注記：

C7/I6 スピードグレードのデバイスの場合、 $f_{\text{osc}}$  は 260MHz です。他のスピードグレードのデバイスの場合、 $f_{\text{osc}}$  は 250MHz です。「Param」は 2~128 の偶数のパラメータです。

デフォルトの周波数、最大周波数など、オンチップオシレータの一部の周波数( $f_{\text{osc}}$  が 250MHz の場合)を表 2-15 に示します。

表 2-15 GW1NSER-4C のオンチップオシレータの一部の出力周波数

| モード | 周波数                   | モード | 周波数     | モード | 周波数                   |
|-----|-----------------------|-----|---------|-----|-----------------------|
| 0   | 2.5MHz <sup>[1]</sup> | 8   | 7.8MHz  | 16  | 15.6MHz               |
| 1   | 5.4MHz                | 9   | 8.3MHz  | 17  | 17.9MHz               |
| 2   | 5.7MHz                | 10  | 8.9MHz  | 18  | 21MHz                 |
| 3   | 6.0MHz                | 11  | 9.6MHz  | 19  | 25MHz                 |
| 4   | 6.3MHz                | 12  | 10.4MHz | 20  | 31.3MHz               |
| 5   | 6.6MHz                | 13  | 11.4MHz | 21  | 41.7MHz               |
| 6   | 6.9MHz                | 14  | 12.5MHz | 22  | 62.5MHz               |
| 7   | 7.4MHz                | 15  | 13.9MHz | 23  | 125MHz <sup>[2]</sup> |

注記：

- <sup>[1]</sup>デフォルトの周波数。
- <sup>[2]</sup>MSPI コンフィギュレーション・モードには適用しません。

# 3電気特性

注記：

推奨される動作条件及び動作範囲内で GOWIN セミコンダクターデバイスを使用することをお勧めします。動作条件及び動作範囲を超えるデータはあくまで参考であり、GOWIN セミコンダクターは、動作条件及び動作範囲を超えた状況における、すべてのデバイスの正常な動作を保証しません。

## 3.1 動作条件

### 3.1.1 絶対最大範囲

表 3-1 絶対最大範囲

| 名称                   | 説明                        | 最小値   | 最大値   |
|----------------------|---------------------------|-------|-------|
| V <sub>CC</sub>      | コア電圧                      | -0.5V | 1.32V |
| V <sub>CCIOx</sub>   | I/O Bank電圧                | -0.5V | 3.75V |
| V <sub>CCX</sub>     | 補助電圧                      | -0.5V | 3.75V |
| -                    | 加えられるI/O電圧 <sup>[1]</sup> | -0.5V | 3.75V |
| Storage Temperature  | 保存温度                      | -65℃  | +150℃ |
| Junction Temperature | ジャンクション温度                 | -40℃  | +125℃ |

注記：

<sup>[1]</sup> -2V～(V<sub>IHMAX</sub> + 2)V の 20ns 未満のオーバーシュートおよびアンダーシュートは許容されます。

### 3.1.2 推奨動作条件

表 3-2 推奨動作条件

| 名称                 | 説明                  | 最小値   | 最大値    |
|--------------------|---------------------|-------|--------|
| V <sub>CC</sub>    | コア電圧                | 1.14V | 1.26V  |
| V <sub>CCX</sub>   | 補助電圧                | 1.71V | 3.6V   |
| V <sub>CCIOx</sub> | I/O Bank電圧          | 1.14V | 3.6V   |
| T <sub>JCOM</sub>  | ジャンクション温度(コマーシャル)   | 0°C   | +85°C  |
| T <sub>JIND</sub>  | ジャンクション温度(インダストリアル) | -40°C | +100°C |

注記：

- 各パッケージの供給電源電圧の詳細については、『GW1NSER-4C デバイス Pinout(UG883)』を参照してください。
- V<sub>CC</sub>、V<sub>CCIO</sub>、V<sub>CCX</sub>の許容リップルはそれぞれ3%、5%、5%です。1)、PLLにV<sub>CC</sub>から直接電源が供給されているデバイスの場合、V<sub>CC</sub>のリップルがPLL出力クロックのジッタ特性に影響を与える可能性があります。2)、V<sub>CCIO</sub>のリップルは、最終的にIOバッファの出力波形に伝わる可能性があります。

### 3.1.3 電源のランプレート

表 3-3 電源のランプレート

| 名称                     | 説明                        | 最小値            | 標準値 | 最大値          |
|------------------------|---------------------------|----------------|-----|--------------|
| V <sub>CC</sub> Ramp   | V <sub>CC</sub> のランプレート   | 0.6mV/ $\mu$ s | -   | 6mV/ $\mu$ s |
| V <sub>CCX</sub> Ramp  | V <sub>CCX</sub> のランプレート  | 0.6mV/ $\mu$ s | -   | 10mV/us      |
| V <sub>CCIO</sub> Ramp | V <sub>CCIO</sub> のランプレート | 0.1mV/ $\mu$ s | -   | 10mV/us      |

注記：

- すべての電源のランプは、単調である必要があります。
- コンフィグレーション前に、すべての電源は、表 3-2 で定義された動作範囲にある必要があります。電源が動作範囲にない場合は、より速いランプレートに調整するか、コンフィギュレーションを遅らせる必要があります。

### 3.1.4 ホットプラグ特性

表 3-4 ホットプラグ特性

| 名称              | 説明                                           | 条件                                       | I/Oタイプ           | 最大値   |
|-----------------|----------------------------------------------|------------------------------------------|------------------|-------|
| I <sub>HS</sub> | 入力またはI/Oのリーク電流(Input or I/O leakage current) | 0<V <sub>IN</sub> <V <sub>IH</sub> (MAX) | I/O              | 150uA |
| I <sub>HS</sub> | 入力またはI/Oのリーク電流(Input or I/O leakage current) | 0<V <sub>IN</sub> <V <sub>IH</sub> (MAX) | TDI,TDO, TMS,TCK | 120uA |

### 3.1.5 PoR 特性

表 3-5 PoR 電圧パラメータ

| 名称     | 説明                            | 最小値 | 最大値 |
|--------|-------------------------------|-----|-----|
| PoR電圧値 | Power on reset voltage of Vcc | TBD | TBD |

## 3.2 ESD

表 3-6 GW1NSER ESD - HBM

| デバイス       | QN48       |
|------------|------------|
| GW1NSER-4C | HBM>1,000V |

表 3-7 GW1NSER ESD - CDM

| デバイス       | QN48     |
|------------|----------|
| GW1NSER-4C | CDM>500V |

## 3.3 DC 電気特性

### 3.3.1 推奨動作条件内の DC 電気特性

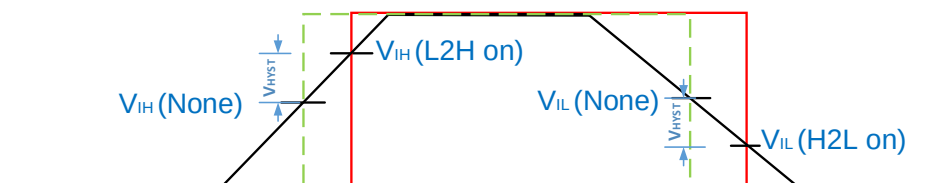
表 3-8 推奨動作条件内の DC 電気特性

| 名称               | 説明                                                       | 条件                                       | 最小値                  | 標準値 | 最大値                  |
|------------------|----------------------------------------------------------|------------------------------------------|----------------------|-----|----------------------|
| $I_{IL}, I_{IH}$ | 入力またはI/Oのリーク電流 (Input or I/O leakage)                    | $V_{CCIO} < V_{IN} < V_{IH}(\text{MAX})$ | -                    | -   | 210 $\mu$ A          |
|                  |                                                          | $0V < V_{IN} < V_{CCIO}$                 | -                    | -   | 10 $\mu$ A           |
| $I_{PU}$         | I/Oのプルアップ電流 (I/O Active Pull-up Current)                 | $0 < V_{IN} < 0.7V_{CCIO}$               | -30 $\mu$ A          | -   | -150 $\mu$ A         |
| $I_{PD}$         | I/Oのプルダウン電流 (I/O Active Pull-down Current)               | $V_{IL}(\text{MAX}) < V_{IN} < V_{CCIO}$ | 30 $\mu$ A           | -   | 150 $\mu$ A          |
| $I_{BHLS}$       | バスホールドLow時の持続電流 (Bus Hold Low Sustaining Current)        | $V_{IN} = V_{IL}(\text{MAX})$            | 30 $\mu$ A           | -   | -                    |
| $I_{BHHS}$       | バスホールドHigh時の持続電流 (Bus Hold High Sustaining Current)      | $V_{IN} = 0.7V_{CCIO}$                   | -30 $\mu$ A          | -   | -                    |
| $I_{BHLO}$       | バスホールドLow時のオーバードライブ電流 (Bus Hold Low Overdrive Current)   | $0 \leq V_{IN} \leq V_{CCIO}$            | -                    | -   | 150 $\mu$ A          |
| $I_{BHHO}$       | バスホールドHigh時のオーバードライブ電流 (Bus Hold High Overdrive Current) | $0 \leq V_{IN} \leq V_{CCIO}$            | -                    | -   | -150 $\mu$ A         |
| $V_{BHT}$        | バスホールドのトリップポイント (Bus hold trip)                          |                                          | $V_{IL}(\text{MAX})$ | -   | $V_{IH}(\text{MIN})$ |

| 名称                | 説明                                               | 条件                                                           | 最小値 | 標準値   | 最大値 |
|-------------------|--------------------------------------------------|--------------------------------------------------------------|-----|-------|-----|
|                   | points)                                          |                                                              |     |       |     |
| C1                | I/O 電気容量 (I/O Capacitance)                       |                                                              |     | 5pF   | 8pF |
| V <sub>HYST</sub> | 入力ヒステリシス (Hysteresis for Schmitt Trigger inputs) | V <sub>CCIO</sub> =3.3V, Hysteresis=L2H <sup>[1],[2]</sup>   | -   | 200mV | -   |
|                   |                                                  | V <sub>CCIO</sub> =2.5V, Hysteresis= L2H                     | -   | 125mV | -   |
|                   |                                                  | V <sub>CCIO</sub> =1.8V, Hysteresis= L2H                     | -   | 60mV  | -   |
|                   |                                                  | V <sub>CCIO</sub> =1.5V, Hysteresis= L2H                     | -   | 40mV  | -   |
|                   |                                                  | V <sub>CCIO</sub> =1.2V, Hysteresis= L2H                     | -   | 20mV  | -   |
|                   |                                                  | V <sub>CCIO</sub> =3.3V, Hysteresis= H2L <sup>[1],[2]</sup>  | -   | 200mV | -   |
|                   |                                                  | V <sub>CCIO</sub> =2.5V, Hysteresis= H2L                     | -   | 125mV | -   |
|                   |                                                  | V <sub>CCIO</sub> =1.8V, Hysteresis= H2L                     | -   | 60mV  | -   |
|                   |                                                  | V <sub>CCIO</sub> =1.5V, Hysteresis= H2L                     | -   | 40mV  | -   |
|                   |                                                  | V <sub>CCIO</sub> =1.2V, Hysteresis= H2L                     | -   | 20mV  | -   |
|                   |                                                  | V <sub>CCIO</sub> =3.3V, Hysteresis= HIGH <sup>[1],[2]</sup> | -   | 400mV | -   |
|                   |                                                  | V <sub>CCIO</sub> =2.5V, Hysteresis= HIGH                    | -   | 250mV | -   |
|                   |                                                  | V <sub>CCIO</sub> =1.8V, Hysteresis= HIGH                    | -   | 120mV | -   |
|                   |                                                  | V <sub>CCIO</sub> =1.5V, Hysteresis= HIGH                    | -   | 80mV  | -   |
|                   |                                                  | V <sub>CCIO</sub> =1.2V, Hysteresis= HIGH                    | -   | 40mV  | -   |

注記：

- <sup>[1]</sup> Hysteresis=「NONE」,「L2H」,「H2L」,「HIGH」は、Gowin EDA の FloorPlanner ツールで I/O 制約を設定する際の Hysteresis オプションです。その設定方法については、『Gowin 物理制約ユーザーガイド(SUG935)』を参照してください。
- <sup>[2]</sup> L2H (low to high)オプションを有効にすると、V<sub>IH</sub>が V<sub>HYST</sub> の分上がり、H2L(high to low)オプションを有効にすると、V<sub>IL</sub>が V<sub>HYST</sub> の分下がります。HIGH オプションを有効にすると、L2H と H2L オプションの両方を有効にすることになり、すなわち V<sub>HYST</sub>(HIGH)= V<sub>HYST</sub>(L2H) + V<sub>HYST</sub>(H2L)です。その説明図は次のとおりです：



### 3.3.2 静的電流

表 3-9 静的電流<sup>[1]</sup>

| 名称                               | 説明                                            | デバイス<br>タイプ  | デバイス       | C7/I6 | C6/I5 | C5/I4 |
|----------------------------------|-----------------------------------------------|--------------|------------|-------|-------|-------|
| I <sub>CC</sub>                  | V <sub>CC</sub> 電流(V <sub>CC</sub> =1.2V)     | LV バージ<br>ョン | GW1NSER-4C | 12mA  | 2.8mA | 2.8mA |
| I <sub>CCX</sub>                 | V <sub>CCX</sub> 電流(V <sub>CCX</sub> =2.5V)   | LV バージ<br>ョン | GW1NSER-4C | -     | 1.2mA | 1.2mA |
|                                  | V <sub>CCX</sub> 電流(V <sub>CCX</sub> =3.3V)   | LV バージ<br>ョン | GW1NSER-4C | 3mA   | -     | -     |
| I <sub>CCIO</sub> <sup>[2]</sup> | V <sub>CCIO</sub> 電流(V <sub>CCIO</sub> =2.5V) | LV バージ<br>ョン | GW1NSER-4C | 1mA   | 0.7mA | 0.7mA |

注記：

- <sup>[1]</sup>表中の静的電流の値は、25℃での標準値です。
- <sup>[2]</sup> GW1NSER-4C デバイス QN48P パッケージには 1 つの HyperRAM が統合されており、これを使用すると V<sub>CCIO</sub> 静的電流が 220uA 増加します。GW1NSER-4C デバイス QN48G には 1 つの NOR Flash が統合されており、これを使用すると V<sub>CCIO</sub> 静的電流が 40uA 増加します。

### 3.3.3 I/O の推奨動作条件

表 3-10 I/O の推奨動作条件

| 名称        | 出力用のV <sub>CCIO</sub> (V) |     |       | 入力用のV <sub>REF</sub> (V) |      |       |
|-----------|---------------------------|-----|-------|--------------------------|------|-------|
|           | 最小値                       | 標準値 | 最大値   | 最小値                      | 標準値  | 最大値   |
| LVTTL33   | 3.135                     | 3.3 | 3.6   | -                        | -    | -     |
| LVC MOS33 | 3.135                     | 3.3 | 3.6   | -                        | -    | -     |
| LVC MOS25 | 2.375                     | 2.5 | 2.625 | -                        | -    | -     |
| LVC MOS18 | 1.71                      | 1.8 | 1.89  | -                        | -    | -     |
| LVC MOS15 | 1.425                     | 1.5 | 1.575 | -                        | -    | -     |
| LVC MOS12 | 1.14                      | 1.2 | 1.26  | -                        | -    | -     |
| SSTL15    | 1.425                     | 1.5 | 1.575 | 0.68                     | 0.75 | 0.9   |
| SSTL18_I  | 1.71                      | 1.8 | 1.89  | 0.833                    | 0.9  | 0.969 |
| SSTL18_II | 1.71                      | 1.8 | 1.89  | 0.833                    | 0.9  | 0.969 |
| SSTL25_I  | 2.375                     | 2.5 | 2.645 | 1.15                     | 1.25 | 1.35  |
| SSTL25_II | 2.375                     | 2.5 | 2.645 | 1.15                     | 1.25 | 1.35  |
| SSTL33_I  | 3.135                     | 3.3 | 3.6   | 1.3                      | 1.5  | 1.7   |
| SSTL33_II | 3.135                     | 3.3 | 3.6   | 1.3                      | 1.5  | 1.7   |
| HSTL18_I  | 1.71                      | 1.8 | 1.89  | 0.816                    | 0.9  | 1.08  |
| HSTL18_II | 1.71                      | 1.8 | 1.89  | 0.816                    | 0.9  | 1.08  |

| 名称         | 出力用の $V_{CCIO}(V)$ |       |       | 入力用の $V_{REF}(V)$ |      |     |
|------------|--------------------|-------|-------|-------------------|------|-----|
|            | 最小値                | 標準値   | 最大値   | 最小値               | 標準値  | 最大値 |
| HSTL15     | 1.425              | 1.5   | 1.575 | 0.68              | 0.75 | 0.9 |
| PCI33      | 3.135              | 3.3   | 3.6   | -                 | -    | -   |
| LVPECL33E  | 3.135              | 3.3   | 3.6   | -                 | -    | -   |
| MLVDS25E   | 2.375              | 2.5   | 2.625 | -                 | -    | -   |
| BLVDS25E   | 2.375              | 2.5   | 2.625 | -                 | -    | -   |
| RSDS25E    | 2.375              | 2.5   | 2.625 | -                 | -    | -   |
| LVDS25E    | 2.375              | 2.5   | 2.625 | -                 | -    | -   |
| SSTL15D    | 1.425              | 1.5   | 1.575 | -                 | -    | -   |
| SSTL18D_I  | 1.71               | 1.8   | 1.89  | -                 | -    | -   |
| SSTL18D_II | 1.71               | 1.8   | 1.89  | -                 | -    | -   |
| SSTL25D_I  | 2.375              | 2.5   | 2.625 | -                 | -    | -   |
| SSTL25D_II | 2.375              | 2.5   | 2.625 | -                 | -    | -   |
| SSTL33D_I  | 3.135              | 3.3   | 3.6   | -                 | -    | -   |
| SSTL33D_II | 3.135              | 3.3   | 3.6   | -                 | -    | -   |
| HSTL15D    | 1.425              | 1.575 | 1.89  | -                 | -    | -   |
| HSTL18D_I  | 1.71               | 1.8   | 1.89  | -                 | -    | -   |
| HSTL18D_II | 1.71               | 1.8   | 1.89  | -                 | -    | -   |

### 3.3.4 シングルエンド I/O の DC 電気特性

表 3-11 シングルエンド I/O の DC 電気特性

| 名称                   | $V_{IL}$    |                       | $V_{IH}$              |             | $V_{OL}$<br>(最大値) | $V_{OH}$<br>(最小値) | $I_{OL}^{[1]}$<br>(mA) | $I_{OH}^{[1]}$<br>(mA) |
|----------------------|-------------|-----------------------|-----------------------|-------------|-------------------|-------------------|------------------------|------------------------|
|                      | 最<br>小<br>値 | 最大値                   | 最小値                   | 最<br>大<br>値 |                   |                   |                        |                        |
| LVCMOS33<br>LVTTTL33 | -0.3V       | 0.8V                  | 2.0V                  | 3.6V        | 0.4V              | $V_{CCIO}-0.4V$   | 4                      | -4                     |
|                      |             |                       |                       |             |                   |                   | 8                      | -8                     |
|                      |             |                       |                       |             |                   |                   | 12                     | -12                    |
|                      |             |                       |                       |             |                   |                   | 16                     | -16                    |
|                      |             |                       |                       |             |                   |                   | 24                     | -24                    |
| LVCMOS25             | -0.3V       | 0.7V                  | 1.7V                  | 3.6V        | 0.4V              | $V_{CCIO}-0.4V$   | 0.1                    | -0.1                   |
|                      |             |                       |                       |             |                   |                   | 4                      | -4                     |
|                      |             |                       |                       |             |                   |                   | 8                      | -8                     |
|                      |             |                       |                       |             |                   |                   | 12                     | -12                    |
|                      |             |                       |                       |             |                   |                   | 16                     | -16                    |
| LVCMOS18             | -0.3V       | $0.35 \cdot V_{CCIO}$ | $0.65 \cdot V_{CCIO}$ | 3.6V        | 0.4V              | $V_{CCIO}-0.4V$   | 0.1                    | -0.1                   |
|                      |             |                       |                       |             |                   |                   | 4                      | -4                     |
|                      |             |                       |                       |             |                   |                   | 8                      | -8                     |
|                      |             |                       |                       |             |                   |                   | 12                     | -12                    |

| 名称        | V <sub>IL</sub> |                          | V <sub>IH</sub>          |          | V <sub>OL</sub><br>(最大値) | V <sub>OH</sub><br>(最小値) | I <sub>OL</sub> <sup>[1]</sup><br>(mA) | I <sub>OH</sub> <sup>[1]</sup><br>(mA) |
|-----------|-----------------|--------------------------|--------------------------|----------|--------------------------|--------------------------|----------------------------------------|----------------------------------------|
|           | 最 小<br>値        | 最大値                      | 最小値                      | 最 大<br>値 |                          |                          |                                        |                                        |
|           |                 |                          |                          |          | 0.2V                     | V <sub>CCIO</sub> -0.2V  | 0.1                                    | -0.1                                   |
| LVCMOS15  | -0.3V           | 0.35*V <sub>CCIO</sub>   | 0.65*V <sub>CCIO</sub>   | 3.6V     | 0.4V                     | V <sub>CCIO</sub> -0.4V  | 4                                      | -4                                     |
|           |                 |                          |                          |          |                          |                          | 8                                      | -8                                     |
|           |                 |                          |                          |          | 0.2V                     | V <sub>CCIO</sub> -0.2V  | 0.1                                    | -0.1                                   |
| LVCMOS12  | -0.3V           | 0.35*V <sub>CCIO</sub>   | 0.65*V <sub>CCIO</sub>   | 3.6V     | 0.4V                     | V <sub>CCIO</sub> -0.4V  | 4                                      | -4                                     |
|           |                 |                          |                          |          |                          |                          | 8                                      | -8                                     |
|           |                 |                          |                          |          | 0.2V                     | V <sub>CCIO</sub> -0.2V  | 0.1                                    | -0.1                                   |
| PCI33     | -0.3V           | 0.3*V <sub>CCIO</sub>    | 0.5*V <sub>CCIO</sub>    | 3.6V     | 0.1*V <sub>CCIO</sub>    | 0.9*V <sub>CCIO</sub>    | 1.5                                    | -0.5                                   |
| SSTL33_I  | -0.3V           | V <sub>REF</sub> -0.2V   | V <sub>REF</sub> +0.2V   | 3.6V     | 0.7                      | V <sub>CCIO</sub> -1.1V  | 8                                      | -8                                     |
| SSTL25_I  | -0.3V           | V <sub>REF</sub> -0.18V  | V <sub>REF</sub> +0.18V  | 3.6V     | 0.54V                    | V <sub>CCIO</sub> -0.62V | 8                                      | -8                                     |
| SSTL25_II | -0.3V           | V <sub>REF</sub> -0.18V  | V <sub>REF</sub> +0.18V  | 3.6V     | NA                       | NA                       | NA                                     | NA                                     |
| SSTL18_II | -0.3V           | V <sub>REF</sub> -0.125V | V <sub>REF</sub> +0.125V | 3.6V     | NA                       | NA                       | NA                                     | NA                                     |
| SSTL18_I  | -0.3V           | V <sub>REF</sub> -0.125V | V <sub>REF</sub> +0.125V | 3.6V     | 0.40V                    | V <sub>CCIO</sub> -0.40V | 8                                      | -8                                     |
| SSTL15    | -0.3V           | V <sub>REF</sub> -0.1V   | V <sub>REF</sub> + 0.1V  | 3.6V     | 0.40V                    | V <sub>CCIO</sub> -0.40V | 8                                      | -8                                     |
| HSTL18_I  | -0.3V           | V <sub>REF</sub> -0.1V   | V <sub>REF</sub> + 0.1V  | 3.6V     | 0.40V                    | V <sub>CCIO</sub> -0.40V | 8                                      | -8                                     |
| HSTL18_II | -0.3V           | V <sub>REF</sub> -0.1V   | V <sub>REF</sub> + 0.1V  | 3.6V     | NA                       | NA                       | NA                                     | NA                                     |
| HSTL15_I  | -0.3V           | V <sub>REF</sub> -0.1V   | V <sub>REF</sub> + 0.1V  | 3.6V     | 0.40V                    | V <sub>CCIO</sub> -0.40V | 8                                      | -8                                     |
| HSTL15_II | -0.3V           | V <sub>REF</sub> -0.1V   | V <sub>REF</sub> + 0.1V  | 3.6V     | NA                       | NA                       | NA                                     | NA                                     |

注記：

同じ Bank 内のすべての IO の合計 DC 電流制限(ソース電流とシンク電流を含む)：同じ Bank 内のすべての IO の合計電流は、n\*8mA を超えてはなりません。ここで、n は Bank からボンディングされる IO の数です。

### 3.3.5 差動 I/O の DC 電気特性

表 3-12 差動 I/O の DC 電気特性(LVDS)

| 名称                                  | 説明                                                                       | テスト条件                             | 最 小<br>値 | 標 準<br>値 | 最大値  | 単位 |
|-------------------------------------|--------------------------------------------------------------------------|-----------------------------------|----------|----------|------|----|
| V <sub>INA</sub> , V <sub>INB</sub> | 入力電圧<br>(Input Voltage)                                                  |                                   | 0        | -        | 2.15 | V  |
| V <sub>CM</sub>                     | コモンモード入力電圧<br>(Input Common Mode Voltage)                                | Half the Sum of the Two Inputs    | 0.05     | -        | 2.1  | V  |
| V <sub>THD</sub>                    | 差動入力スレッショルド<br>(Differential Input Threshold)                            | Difference Between the Two Inputs | ±100     | -        | ±600 | mV |
| I <sub>IN</sub>                     | 入力電流(Input Current)                                                      | Power On or Power Off             | -        | -        | ±20  | μA |
| V <sub>OH</sub>                     | 出力 High 電圧 (Output High Voltage for V <sub>OP</sub> or V <sub>OM</sub> ) | R <sub>T</sub> = 100 Ω            | -        | -        | 1.60 | V  |

| 名称              | 説明                                                       | テスト条件                                | 最小値   | 標準値  | 最大値   | 単位 |
|-----------------|----------------------------------------------------------|--------------------------------------|-------|------|-------|----|
| $V_{OL}$        | 出力 Low 電圧 (Output Low Voltage for $V_{OP}$ or $V_{OM}$ ) | $R_T = 100\Omega$                    | 0.9   | -    | -     | V  |
| $V_{OD}$        | 差動モード出力電圧 (Output Voltage Differential)                  | $(V_{OP} - V_{OM}), R_T=100\Omega$   | 250   | 350  | 450   | mV |
| $\Delta V_{OD}$ | 差動モード出力電圧の変化 (Change in $V_{OD}$ Between High and Low)   |                                      | -     | -    | 50    | mV |
| $V_{OS}$        | コモンモード出力電圧 (Output Voltage Offset)                       | $(V_{OP} + V_{OM})/2, R_T=100\Omega$ | 1.125 | 1.20 | 1.375 | V  |
| $\Delta V_{OS}$ | コモンモード出力電圧の変化 (Change in $V_{OS}$ Between High and Low)  |                                      | -     | -    | 50    | mV |
| $I_S$           | 短絡電流                                                     | $V_{OD} = 0V$ 、出力短絡                  | -     | -    | 15    | mA |

## 3.4 スイッチング特性

### 3.4.1 CLU のスイッチング特性

表 3-13 CLU のタイミングパラメータ

| 名称              | 説明                                                     | スピードグレード |       | 単位 |
|-----------------|--------------------------------------------------------|----------|-------|----|
|                 |                                                        | 最小値      | 最大値   |    |
| $t_{LUT4\_CLU}$ | LUT4遅延(LUT4 delay)                                     | -        | 0.674 | ns |
| $t_{SR\_CLU}$   | セット/リセットからレジスタ出力に至るまでの時間(Set/Reset to Register output) | -        | 1.86  | ns |
| $t_{CO\_CLU}$   | クロックからレジスタ出力に至るまでの時間(Clock to Register output)         | -        | 0.76  | ns |

### 3.4.2 クロックおよび I/O のスイッチング特性

表 3-14 外部スイッチング特性

| 名称                       | C5/I4 |     | C6/I5 |     | 単位 |
|--------------------------|-------|-----|-------|-----|----|
|                          | 最小値   | 最大値 | 最小値   | 最大値 |    |
| HCLK Tree delay          | 0.8   | 1.4 | 0.5   | 1.2 | ns |
| PCLK Tree delay(GCLK0~5) | 1.4   | 2.6 | 1.0   | 2.2 | ns |
| PCLK Tree delay(GCLK6~7) | 1.8   | 3.2 | 1.4   | 2.9 | ns |
| Pin-LUT-Pin Delay        | 3.4   | 5   | 3     | 4.5 | ns |

### 3.4.3 Gearbox のスイッチング特性

表 3-15 Gearbox のタイミングパラメータ

| 名称              | 説明                            | 標準値 | 単位   |
|-----------------|-------------------------------|-----|------|
| $F_{MAX\_IDDR}$ | 1:2 Gearbox入力の場合におけるIOの最大シリアル | 400 | Mbps |

| 名称                    | 説明                                         | 標準値  | 単位   |
|-----------------------|--------------------------------------------|------|------|
|                       | レート                                        |      |      |
| FMAX <sub>IDES4</sub> | 1:4 Gearbox入力の場合におけるIOの最大シリアルレート           | 800  | Mbps |
| FMAX <sub>IDES7</sub> | 1:7 Gearbox入力の場合におけるIOの最大シリアルレート           | 1000 | Mbps |
| FMAX <sub>IDESx</sub> | 1:8/1:10/1:16 Gearbox入力の場合におけるIOの最大シリアルレート | 1100 | Mbps |
| FMAX <sub>ODDR</sub>  | 2:1 Gearbox出力の場合におけるIOの最大シリアルレート           | 400  | Mbps |
| FMAX <sub>OSER4</sub> | 4:1 Gearbox出力の場合におけるIOの最大シリアルレート           | 800  | Mbps |
| FMAX <sub>OSER7</sub> | 7:1 Gearbox出力の場合におけるIOの最大シリアルレート           | 1000 | Mbps |
| FMAX <sub>OSERx</sub> | 8:1/10:1/16:1 Gearbox出力の場合におけるIOの最大シリアルレート | 1100 | Mbps |

表 3-16 シングルエンド IO の Fmax

| 名称        | Fmax                 |                      |
|-----------|----------------------|----------------------|
|           | 最小値(MHz)             |                      |
|           | Drive Strength = 4mA | Drive Strength > 4mA |
| LVTTL33   | 150                  | 300                  |
| LVC MOS33 | 150                  | 300                  |
| LVC MOS25 | 150                  | 300                  |
| LVC MOS18 | 150                  | 300                  |
| LVC MOS15 | 150                  | 200                  |
| LVC MOS12 | 150                  | 150                  |

注記：

テスト負荷値は 30pF 電気容量です。

### 3.4.4 BSRAM のスイッチング特性

表 3-17 BSRAM のタイミングパラメータ

| 名称                      | 説明                                                                            | スピードグレード |      | 単位 |
|-------------------------|-------------------------------------------------------------------------------|----------|------|----|
|                         |                                                                               | 最小値      | 最大値  |    |
| t <sub>COAD_BSRAM</sub> | BSRAM読み出しアドレス/データのクロックから出力に至るまでの時間(Clock to output time of read address/data) | -        | 5.10 | ns |
| t <sub>COOR_BSRAM</sub> | BSRAM出力レジスタのクロックから出力に至るまでの時間(Clock to output time of output register)         | -        | 0.56 | ns |

### 3.4.5 DSP のスイッチング特性

表 3-18 DSP のタイミングパラメータ

| 名称                    | 説明                                                                     | スピードグレード |      | 単位 |
|-----------------------|------------------------------------------------------------------------|----------|------|----|
|                       |                                                                        | 最小値      | 最大値  |    |
| t <sub>COIR_DSP</sub> | 入力レジスタのクロックから出力に至るまでの時間(Clock to output time of input register)        | -        | 4.80 | ns |
| t <sub>COPR_DSP</sub> | パイプラインレジスタのクロックから出力に至るまでの時間(Clock to output time of pipeline register) | -        | 2.40 | ns |
| t <sub>COOR_DSP</sub> | 出力レジスタのクロックから出力に至るまでの時間(Clock to output time of output register)       | -        | 0.84 | ns |

### 3.4.6 オンチップオシレータのスイッチング特性

表 3-19 オンチップオシレータのパラメータ

| 名称                 | 説明                            |            | 最小値       | 標準値       | 最大値       |
|--------------------|-------------------------------|------------|-----------|-----------|-----------|
| f <sub>MAX</sub>   | オシレータの出力周波数<br>(0 ~ +85°C)    | GW1NSER-4C | 118.75MHz | 125MHz    | 131.25MHz |
|                    | オシレータの出力周波数<br>(-40 ~ +100°C) | GW1NSER-4C | 112.5MHz  | 125MHz    | 137.5MHz  |
| t <sub>DT</sub>    | 出力クロックのデューティサイクル              |            | 43%       | 50%       | 57%       |
| t <sub>OPJIT</sub> | 出力クロックのジッタ                    |            | 0.01UIPP  | 0.012UIPP | 0.02UIPP  |

### 3.4.7 PLL のスイッチング特性

表 3-20 PLL のパラメータ

| デバイス       | スピードグレード       | 名称     | 最小値      | 最大値     |
|------------|----------------|--------|----------|---------|
| GW1NSER-4C | C7/I6<br>C6/I5 | CLKIN  | 3MHz     | 400MHz  |
|            |                | PFD    | 3MHz     | 400MHz  |
|            |                | VCO    | 400MHz   | 1200MHz |
|            |                | CLKOUT | 3.125MHz | 600MHz  |
|            | C5/I4          | CLKIN  | 3MHz     | 320MHz  |
|            |                | PFD    | 3MHz     | 320MHz  |
|            |                | VCO    | 320MHz   | 960MHz  |

| デバイス | スピードグレード | 名称     | 最小値    | 最大値    |
|------|----------|--------|--------|--------|
|      |          | CLKOUT | 2.5MHz | 480MHz |

## 3.5 Cortex-M3 の電気特性

### 3.5.1 DC 電気特性

表 3-21 電流特性

| 記号                | 説明      | 仕様  |      | 単位 |
|-------------------|---------|-----|------|----|
|                   |         | 最小値 | 最大値  |    |
| I <sub>VCC</sub>  | VCC最大電流 | -   | 100  | mA |
| I <sub>VSS</sub>  | VSS最大電流 | -   | -100 | mA |
| I <sub>IINJ</sub> | リーク電流   | -   | +/-5 | mA |

### 3.5.2 AC 電気特性

表 3-22 クロックパラメータ

| 記号                | 説明                | デバイス       | 仕様  |     | 単位  |
|-------------------|-------------------|------------|-----|-----|-----|
|                   |                   |            | 最小値 | 最大値 |     |
| f <sub>HCLK</sub> | AHB の ク ロ ッ ク 周波数 | GW1NSER-4C | 0   | 80  | MHz |
| f <sub>PCLK</sub> | APBのクロック周波数       | GW1NSER-4C | 0   | 80  | MHz |

## 3.6 User Flash の電気特性

### 3.6.1 DC 電気特性

表 3-23 User Flash の DC 電気特性<sup>[1]</sup>

| 名称                       | パラメータ                           | 最大値                            |                  | 単位 | Wake-up 時間 | 条件                                                                                                 |
|--------------------------|---------------------------------|--------------------------------|------------------|----|------------|----------------------------------------------------------------------------------------------------|
|                          |                                 | V <sub>CC</sub> <sup>[3]</sup> | V <sub>CCX</sub> |    |            |                                                                                                    |
| 読み出しモード (w/I 25ns)       | I <sub>CC1</sub> <sup>[2]</sup> | 2.19                           | 0.5              | mA | NA         | 最小クロックサイクル、デューティサイクル 100%、VIN = 「1/0」                                                              |
| 書き込みモード                  |                                 | 0.1                            | 12               | mA | NA         | —                                                                                                  |
| 消去モード                    |                                 | 0.1                            | 12               | mA | NA         | —                                                                                                  |
| ページ消去モード                 |                                 | 0.1                            | 12               | mA | NA         | —                                                                                                  |
| 読み出しモードの静的電流 (25 ~ 50ns) | I <sub>CC2</sub>                | 980                            | 25               | μA | NA         | XE=YE=SE=「1」、T=T <sub>acc</sub> から T=50nsまで、I/Oの電流は0mA。T=50nsの後、内部タイマーは読み出しモードをオフにし、I/Oの電流は待機モード電流 |
| 待機モード                    | I <sub>SB</sub>                 | 5.2                            | 20               | μA | 0          | V <sub>SS</sub> 、V <sub>CCX</sub> およびV <sub>CC</sub>                                               |

注記：

- <sup>[1]</sup> これらの数値は直流平均電流値であり、ピーク値は当該平均電流値よりも高くなります。
- <sup>[2]</sup> I<sub>CC1</sub> は T<sub>new</sub> により異なります。
  - T<sub>new</sub> < T<sub>acc</sub> は許容されません
  - T<sub>new</sub> = T<sub>acc</sub>：上表参照
  - T<sub>acc</sub> < T<sub>new</sub> - 50ns：I<sub>CC1</sub> (new) = (I<sub>CC1</sub> - I<sub>CC2</sub>)(T<sub>acc</sub>/T<sub>new</sub>) + I<sub>CC2</sub>
  - T<sub>new</sub> > 50ns：I<sub>CC1</sub> (new) = (I<sub>CC1</sub> - I<sub>CC2</sub>)(T<sub>acc</sub>/T<sub>new</sub>) + 50ns\*I<sub>CC2</sub>/T<sub>new</sub> + I<sub>SB</sub>
  - t > 50ns：I<sub>CC2</sub> = I<sub>SB</sub>
- <sup>[3]</sup> V<sub>CC</sub> は、wake-up time のゼロ時間から 1.08V 以上である必要があります。

### 3.6.2 AC 電気特性

表 3-24 User Flash のタイミングパラメータ User Flash のタイミングパラメータ<sup>[1]</sup>  
<sup>[4]</sup>, <sup>[5]</sup>

| ユーザーモード                      | パラメータ | 記号                              | 最小値 | 最大値 | 単位 |
|------------------------------|-------|---------------------------------|-----|-----|----|
| アクセス時間                       | WC1   | T <sub>acc</sub> <sup>[2]</sup> | -   | 25  | ns |
|                              | TC    |                                 | -   | 22  | ns |
|                              | BC    |                                 | -   | 21  | ns |
|                              | LT    |                                 | -   | 21  | ns |
|                              | WC    |                                 | -   | 25  | ns |
| プログラミング/消去からデータ保存までのセットアップ時間 |       | T <sub>nvs</sub>                | 5   | -   | μs |
| データ保存のホールド時間                 |       | T <sub>nvh</sub>                | 5   | -   | μs |

| ユーザーモード                   | パラメータ | 記号             | 最小値 | 最大値 | 単位      |
|---------------------------|-------|----------------|-----|-----|---------|
| データ保存のホールド時間(マス消去)        |       | $T_{nvh1}$     | 100 | -   | $\mu s$ |
| データ保存からプログラミングまでのセットアップ時間 |       | $T_{pgs}$      | 10  | -   | $\mu s$ |
| プログラミングのホールド時間            |       | $T_{pgh}$      | 20  | -   | ns      |
| プログラミング時間                 |       | $T_{prog}$     | 8   | 16  | $\mu s$ |
| 書き込みの準備時間                 |       | $T_{wpr}$      | >0  | -   | ns      |
| 書き込みのホールド時間               |       | $T_{whd}$      | >0  | -   | ns      |
| 制御信号から書き込み/消去までのセットアップ時間  |       | $T_{cps}$      | -10 | -   | ns      |
| SEから読み出しまでのセットアップ時間       |       | $T_{as}$       | 0.1 | -   | ns      |
| SEパルスのHighレベル時間           |       | $T_{pws}$      | 5   | -   | ns      |
| アドレス/データのセットアップ時間         |       | $T_{ads}$      | 20  | -   | ns      |
| アドレス/データのホールド時間           |       | $T_{adh}$      | 20  | -   | ns      |
| データのホールド時間                |       | $T_{dh}$       | 0.5 | -   | ns      |
| 読み出しモードのアドレスのホールド時間       | WC1   | $T_{ah}$       | 25  | -   | ns      |
|                           | TC    | -              | 22  | -   | ns      |
|                           | BC    | -              | 21  | -   | ns      |
|                           | LT    | -              | 21  | -   | ns      |
|                           | WC    | -              | 25  | -   | ns      |
| SEパルスのLowレベル時間            |       | $T_{nws}$      | 2   | -   | ns      |
| リカバリー時間                   |       | $T_{rcv}$      | 10  | -   | $\mu s$ |
| データ保持時間                   |       | $T_{hv}^{[3]}$ | -   | 6   | ms      |
| 消去時間                      |       | $T_{erase}$    | 100 | 120 | ms      |
| マス消去時間                    |       | $T_{me}$       | 100 | 120 | ms      |
| パワーダウンから待機モードまでのWake-up時間 |       | $T_{wk\_pd}$   | 7   | -   | $\mu s$ |
| 待機のホールド時間                 |       | $T_{sbh}$      | 100 | -   | ns      |
| V <sub>CC</sub> のセットアップ時間 |       | $T_{ps}$       | 0   | -   | ns      |
| V <sub>CCX</sub> のホールド時間  |       | $T_{ph}$       | 0   | -   | ns      |

## 注記：

- <sup>[1]</sup>これらの数値はシミュレーションデータに過ぎません。
- <sup>[2]</sup>信号 XADR、YADR、XE、及び YE が有効になった後、T<sub>acc</sub>の開始時間は SE 信号の立ち上がりエッジになります。読み出されたデータ DOUT は、次の有効な読み出しまで保存されます。
- <sup>[3]</sup>T<sub>hv</sub>(Cumulative program high voltage period)は書き込みの開始から次のデータ消去までの累積時間です。次の消去前に同じアドレスに 2 回書き込むことはできません。次の消去前に同じメモリユニットに 2 回書き込むことはできません。このような制限は安全のためです。
- <sup>[4]</sup>すべての波形には、1ns の立ち上がりエッジ時間と 1ns の立ち下がりエッジ時間があります。

- 制御信号 X、YADR、XE、及び YE は少なくとも  $T_{acc}$  ホールドする必要がある、 $T_{acc}$  は SE の立ち上がりエッジから開始します。

### 3.6.3 タイミング図

図 3-1 読み出しタイミング

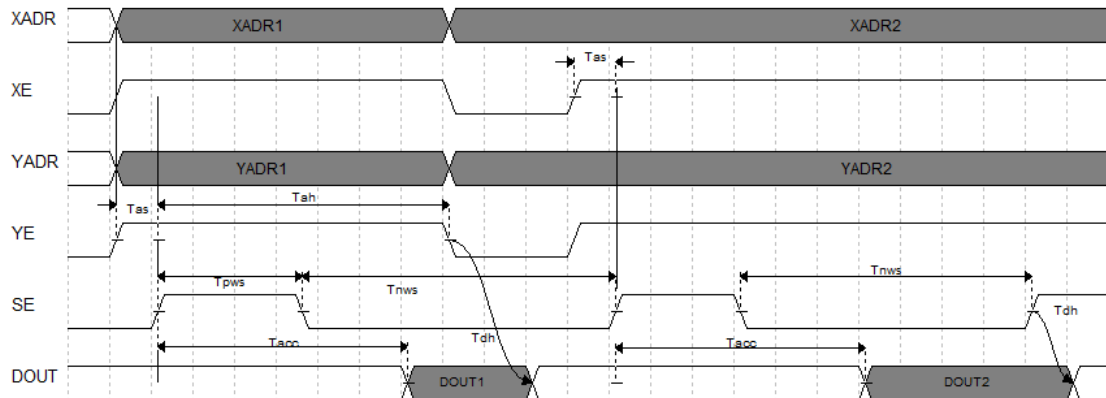


図 3-2 プログラミングタイミング

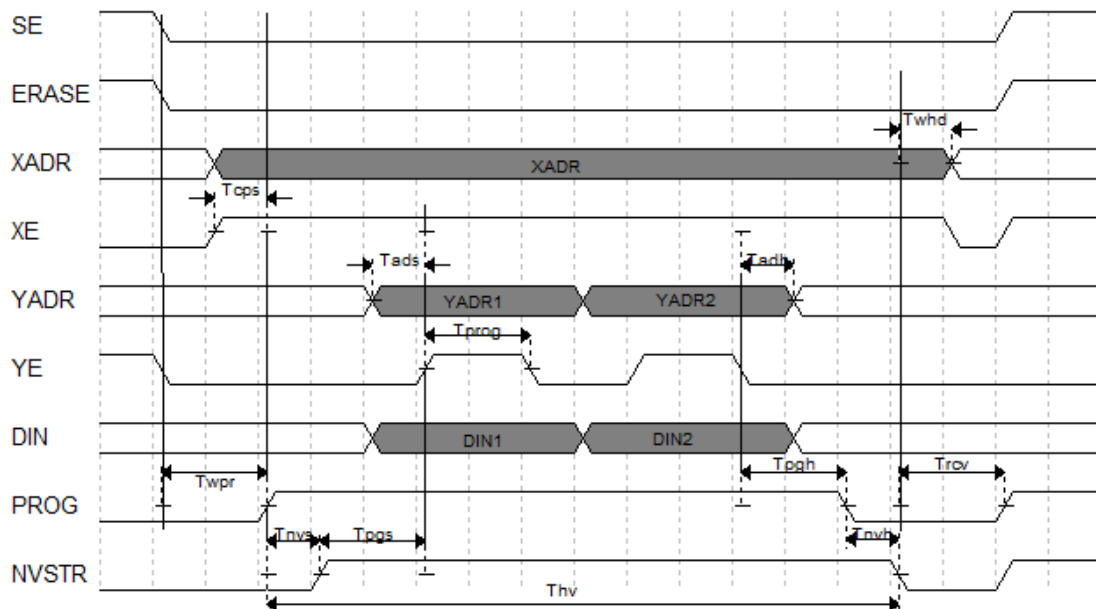
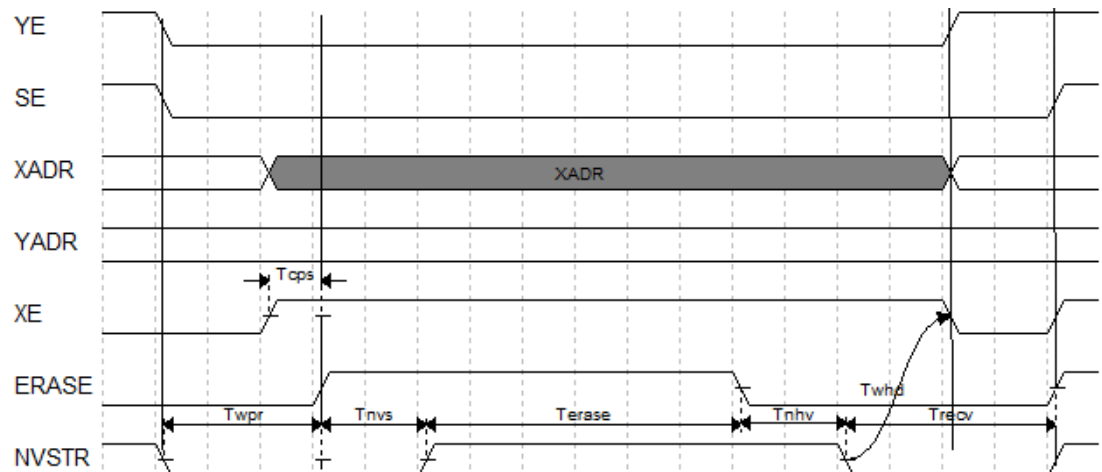


図 3-3 消去タイミング



## 3.7 コンフィギュレーション・インターフェースのタイミ ング仕様

GW1NSER シリーズ安全 FPGA 製品は、AUTO BOOT モード、DUAL BOOT モード、MSPI モード、SSPI モード、CPU モード、SERIAL モードの 6 つ GowinCONFIG のコンフィギュレーション・モードをサポートします。詳細については、『Gowin FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド([UG290](#))』を参照してください。

# 4 デバイス購入情報

## 4.1 デバイス・オーダー・コード

注記：

- デバイスのパッケージおよびピンの詳細については、1.2 製品情報一覧および 1.3 パッケージ情報一覧を参照してください。
- 同じスピードグレードの LittleBee ファミリーと Arora ファミリーのデバイスは、異なる速度を持っています。
- Gowin デバイスのスピードグレードは、C6/I5、C5/I4 などの二重ラベルでマークされます。チップはインダストリアルグレードの規格で選別されたため、インダストリアル・アプリケーション(I)とコマーシャル・アプリケーション(C)の両方に対応できます。インダストリアルグレードの最高温度は 100℃、コマーシャルグレードの最高温度は 85℃であるため、チップの、コマーシャル・アプリケーションでのスピードグレードが 6 の場合、インダストリアル・アプリケーションでのスピードグレードは 5 になります。

図 4-1 GW1NSER-4C のデバイス・オーダー・コード - ES

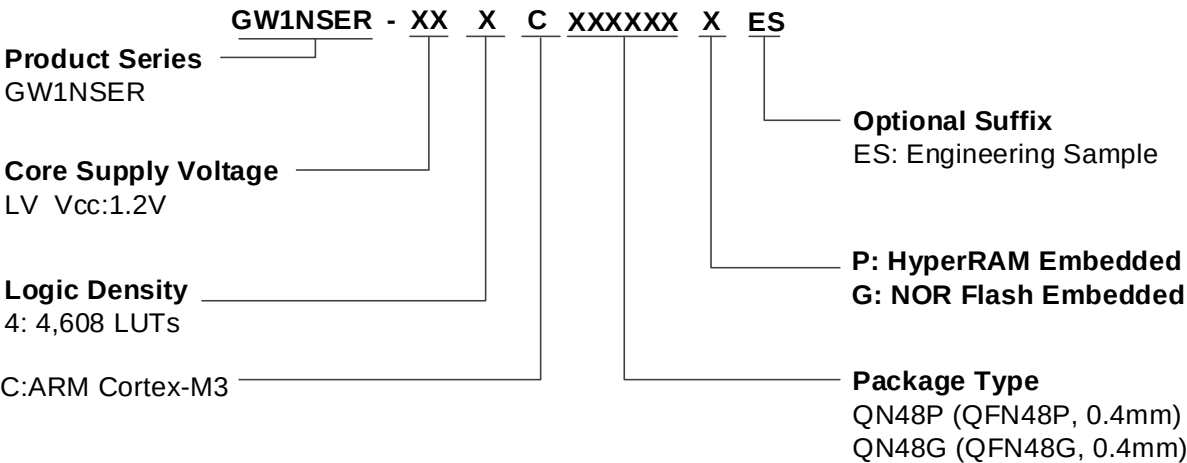
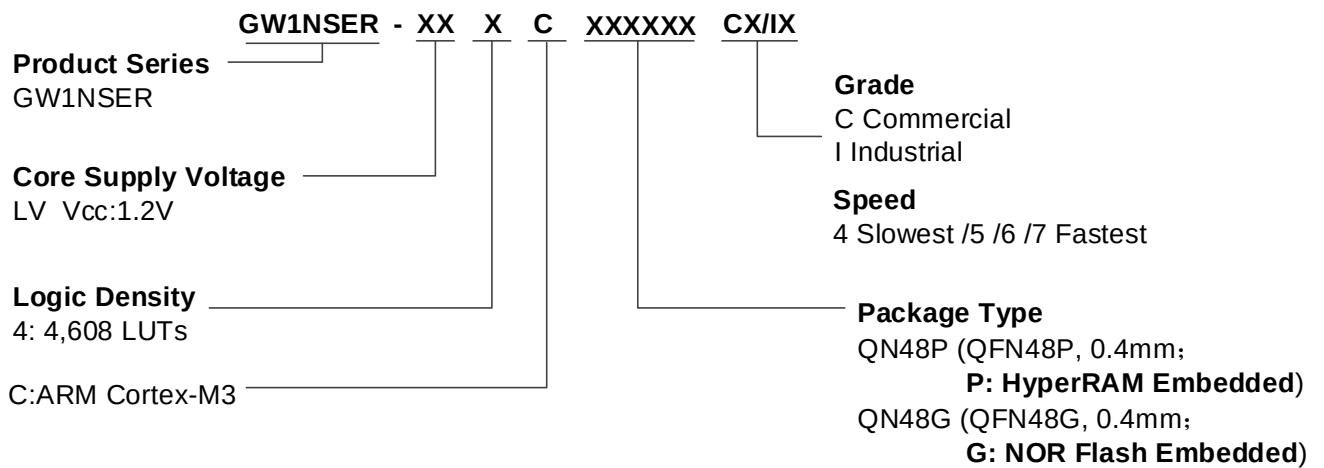


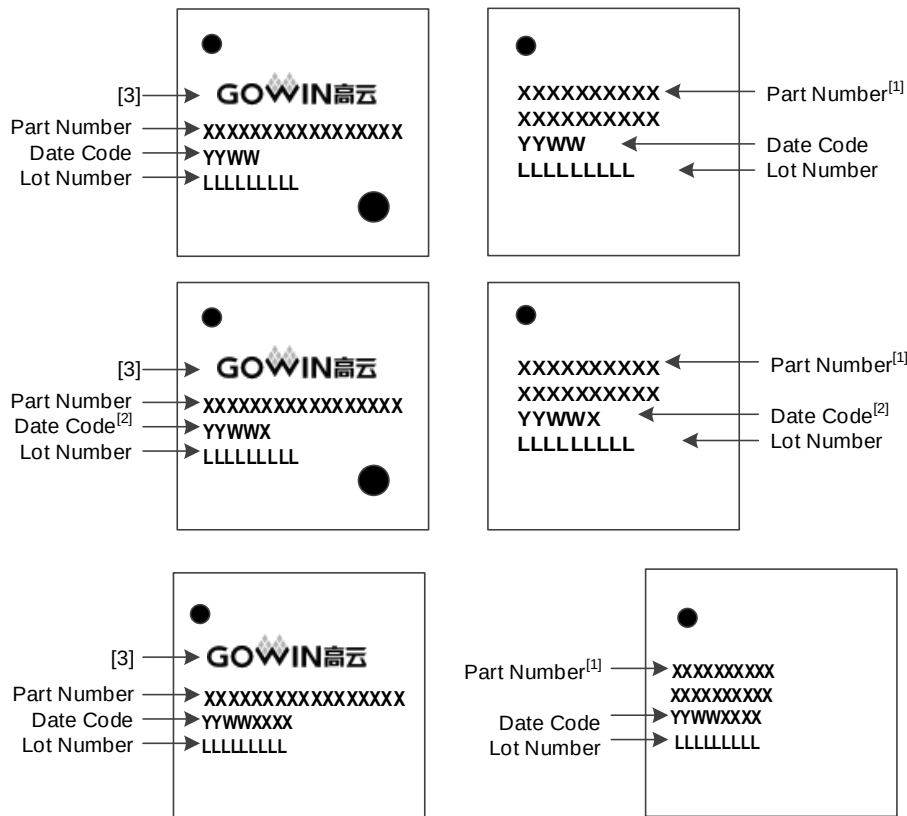
図 4-2 GW1NSER-4C のデバイス・オーダー・コード - Production



## 4.2 デバイスのパッケージマーク

GOWIN セミコンダクターのチップの表面にデバイス情報が印刷されています(図 4-3)。

図 4-3 パッケージのマーク例



注記：

- <sup>[1]</sup>上の右図の一行目と二行目は両方とも「Part Number」(部品番号)です。
- <sup>[2]</sup>最後の「X」は X バージョンのデバイスを示します。
- <sup>[3]</sup>パッケージのマークに Gowin ロゴが付いているかどうかは、パッケージタイプ、パッケージサイズ、部品番号の長さによって決まります(上記の図はパッケージマークの一例にすぎません)。

# 5 本マニュアルについて

## 5.1 マニュアルの内容

本マニュアルには、主に GOWIN セミコンダクター GW1NSER シリーズ FPGA 製品の特徴、リソース情報、内部構造、電気特性、及びデバイス購入情報などが含まれています。ユーザーが GOWIN セミコンダクター GW1NSER シリーズ FPGA 製品を使いこなせるよう作成されています。

## 5.2 関連ドキュメント

GOWIN セミコンダクターのホームページ [www.gowinsemi.com/ja](http://www.gowinsemi.com/ja) から、以下の関連ドキュメントがダウンロード、参考できます：

- Gowin FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド([UG290](#))
- GW1NSER シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG884](#))
- GW1NSER-4C デバイス Pinout([UG883](#))

## 5.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 5-1 に示します。

表 5-1 用語、略語

| 用語、略語 | 正式名称                              | 意味               |
|-------|-----------------------------------|------------------|
| ADC   | Analog to Digital Converter       | A/D コンバータ        |
| AHB   | Advanced High performance Bus     | AHB システムバス       |
| ALU   | Arithmetic Logic Unit             | 算術論理演算装置         |
| APB   | Advanced Peripheral Bus           | APB ペリフェラルバス     |
| ARM   | Advanced RISC Machine             | 高度な RISC マシン     |
| BSRAM | Block Static Random Access Memory | ブロック SRAM        |
| CLS   | Configurable Logic Section        | コンフィギャラブル論理セクション |
| CLU   | Configurable Logic Unit           | コンフィギャラブル論理ユニット  |

| 用語、略語     | 正式名称                                        | 意味                                   |
|-----------|---------------------------------------------|--------------------------------------|
| CRU       | Configurable Routing Unit                   | コンフィギュラブル配線ユニット                      |
| DAP       | Debug Access Port                           | デバッグ・アクセス・ポート                        |
| DCS       | Dynamic Clock Selector                      | ダイナミック・クロック・セクタ                      |
| DNL       | Differential Nonlinearity                   | 微分非直線性                               |
| DP        | True Dual Port 16K BSRAM                    | <b>16K</b> のデュアル・ポート <b>BSRAM</b>    |
| DQCE      | Dynamic Quadrant Clock Enable               | ダイナミック・クオドラント・クロック・イネーブル             |
| DWT       | Data Watchpoint Trace                       | データウォッチポイントおよびトレース                   |
| FPGA      | Field Programmable Gate Array               | フィールド・プログラマブル・ゲート・アレイ                |
| GPIO      | Gowin Programmable IO                       | <b>Gowin</b> プログラマブル汎用 IO            |
| INL       | Integral Nonlinearity                       | 積分非直線性                               |
| IOB       | Input/Output Block                          | 入出力ブロック                              |
| ITM       | Instrumentation Trace Module                | 計装トレースマクロセル                          |
| LSB       | Least Significant Bit                       | 最下位ビット                               |
| LUT4      | 4-input Look-up Table                       | <b>4</b> 入力ルックアップテーブル                |
| NVIC      | Nested Vector Interrupt Controller          | ネスト型ベクタ割り込みコントローラ                    |
| PHY       | Physical Layer                              | 物理層                                  |
| PLL       | Phase-locked Loop                           | 位相同期回路                               |
| QN        | QFN                                         | <b>QFN</b> パッケージ                     |
| REG       | Register                                    | レジスタ                                 |
| SAR       | Successive Approximation Register           | 逐次比較型                                |
| SDP       | Semi Dual Port 16K BSRAM                    | <b>16K</b> のセミ・デュアル・ポート <b>BSRAM</b> |
| SFDR      | Spurious-freeDynamic Range                  | スプリアスフリー・ダイナミックレンジ                   |
| SINAD     | Signal to Noise And Distortion              | 信号対雑音 + 歪み比                          |
| SoC       | System on Chip                              | システム・オン・チップ                          |
| SP        | Single Port 16K BSRAM                       | <b>16K</b> のシングル・ポート <b>BSRAM</b>    |
| SSRAM     | Shadow Static Random Access Memory          | 分散 <b>SRAM</b>                       |
| TDM       | Time Division Multiplexing                  | 時分割多重化                               |
| Timer     | Timer                                       | タイマー                                 |
| TimeStamp | TimeStamp                                   | タイムスタンプ                              |
| TPIU      | Trace Port Interface Unit                   | トレース・ポート・インタフェース・ユニット                |
| UART      | Universal Asynchronous Receiver/Transmitter | 汎用非同期送受信回路                           |
| USB       | Universal Serial Bus                        | ユニバーサル・シリアル・バス                       |
| Watchdog  | Watchdog                                    | ウォッチドッグ                              |

## 5.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : [www.gowinsemi.com/ja](http://www.gowinsemi.com/ja)

E-mail : [support@gowinsemi.com](mailto:support@gowinsemi.com)

