

GW1NRF シリーズ Bluetooth FPGA 製品パッケージ及びピンアウト ユーザーガイド

UG893-1.0.2J, 2025-08-08

著作権について(2025)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

 **GOWIN** 高云、Gowin、及びLittleBeeは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale(GOWINSEMI 取引条件)に規定されている内容を除き、(明示的か又は黙示的に拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2019/11/12	1.0J	初版。
2022/12/15	1.0.1J	● パッケージの外形図を更新。 ● 「表 2-4 GW1NRF シリーズ Bluetooth FPGA 製品のピンの定義」に注記を追加。
2025/08/08	1.0.2J	● 「2.5 I/O BANK の説明」を最適化。 ● 推奨 PCB レイアウトを追加。

目次

目次	i
図一覧	ii
表一覧	iii
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	1
1.4 テクニカル・サポートとフィードバック	2
2 概要	3
2.1 無鉛パッケージ	3
2.2 各パッケージの最大ユーザー I/O 数(LVDS ペア数)	3
2.3 電源ピン	4
2.4 ピン数	4
2.4.1 GW1NRF-4B デバイスのピン数	4
2.5 I/O BANK の説明	5
3 ピン配置図	6
3.1 GW1NRF-4B デバイスのピン配置図	6
3.1.1 QN48 のピン配置図	6
3.1.2 QN48E のピン配置図	7
4 パッケージ外形図	8
4.1 QN48 パッケージの外形図(6mm x 6mm)	8
4.2 QN48E パッケージの外形図(6mm x 6mm)	10

図一覧

図 3-1 GW1NRF-4B デバイス QN48 パッケージのピン配置図(トップビュー)	6
図 3-2 GW1NRF-4B デバイス QN48E パッケージのピン配置図(トップビュー)	7
図 4-1 QN48 パッケージの外形図	8
図 4-2 QN48 パッケージの推奨 PCB レイアウト	9
図 4-3 QN48E パッケージの外形図	10
図 4-4 QN48E パッケージの推奨 PCB レイアウト	11

表一覧

表 1-1 用語、略語	1
表 2-1 各パッケージの最大ユーザーI/O 数(LVDS ペア数).....	3
表 2-2 GW1NRF のその他のピン	4
表 2-3 GW1NRF-4B のピン数一覧.....	4
表 3-1 GW1NRF-4B デバイス QN48 パッケージのその他のピン	7
表 3-2 GW1NRF-4B デバイス QN48E パッケージのその他のピン.....	7

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルには、主に GW1NRF シリーズ Bluetooth FPGA 製品のパッケージの紹介、ピンの定義、ピン数一覧、ピン配置図、及びパッケージの外形図が含まれています。

1.2 関連ドキュメント

[ホームページ](#)から、以下の関連ドキュメントがダウンロード、参考できます：

- GW1NRF シリーズ Bluetooth FPGA 製品データシート([DS891](#))
- GW1NRF シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG893](#))
- GW1NRF-4B デバイス Pinout([UG892](#))
- Gowin FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド([UG290](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
SIP	System in Package	システムインパッケージ
QN	QFN	QFN パッケージ

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

GOWIN セミコンダクター LittleBee ファミリーの第一世代製品である GW1NRF シリーズ Bluetooth FPGA 製品は、SoC ですこのデバイスは、32 ビットのハードコアマイクロプロセッサに基づいており、Bluetooth 5.0 低消費電力 RF 機能を有します。さらに、豊富な論理ユニット、組み込み BSRAM および DSP リソース、豊富な IO リソースに加えて、電力管理モジュールと暗号化モジュールもあります。低消費電力、インスタントオン、低コスト、不揮発性、高安全性、豊富なパッケージタイプ、使い易さ等がこのデバイスの特徴です。

2.1 無鉛パッケージ

GW1NRF シリーズ Bluetooth FPGA 製品は、無鉛技術パッケージを採用した、環境にやさしい製品で、EU の RoHS 指令に準拠しています。GW1NRF シリーズ Bluetooth FPGA 製品に使用されている物質は、IPC-1752 スタンダードに準拠しています。

2.2 各パッケージの最大ユーザー I/O 数(LVDS ペア数)

表 2-1 各パッケージの最大ユーザー I/O 数(LVDS ペア数)

パッケージ	ピッチ(mm)	サイズ(mm)	GW1NRF-4B
QN48	0.4	6 x 6	25(4)
QN48E	0.4	6 x 6	25(4)

注記：

- このマニュアルでは、パッケージタイプを表すために略語が使用されています。詳細については、[1.3 用語、略語](#)を参照してください。
- 詳細については、GW1NRF シリーズ Bluetooth FPGA 製品の Pinout マニュアルを参照してください。
- JTAGSEL_N と JTAG ピンは、相互に排他的なピンで、JTAGSEL_N ピンと JTAG 機能の 4 ピン(TCK、TDI、TDO、TMS)を同時に I/O として使用することはできません。ただし、mode[2:0]=001 の場合、JTAGSEL_N ピンが常に GPIO であり、JTAGSEL_N ピンと JTAG の 4 ピン(TCK、TMS、TDI、TDO)を同時に GPIO として使用できます。

2.3 電源ピン

表 2-2 GW1NRF のその他のピン

VCC	VCCIO0	VCCIO1	VCCIO2
VCCIO3	VCCX	VSS	

2.4 ピン数

2.4.1 GW1NRF-4B デバイスのピン数

表 2-3 GW1NRF-4B のピン数一覧

ピンタイプ		GW1NRF-4B	
		QN48	QN48E
シングルエンド/差動ペア/LVDS ^[1]	BANK0	9/4/0	9/4/0
	BANK1	4/1/1	4/1/1
	BANK2	8/4/3	8/4/3
	BANK3	4/1/0	4/1/0
最大ユーザー I/O 数 ^[2]		25	25
差動ペア		10	10
True LVDS 出力		4	4
VCC		2	2
VCCX		1	1
VCCIO0/ VCCIO3 ^[3]		1	1
VCCIO1/ VCCIO2 ^[3]		1	1
VSS		2	1
MODE0		0	0
MODE1		0	0
MODE2		0	0
JTAGSEL_N		1	1

注記：

- ^[1] シングルエンド/差動/LVDS I/O の数には、CLK ピンとダウンロードピンが含まれています。
- ^[2] JTAGSEL_N と JTAG ピンは、相互に排他的なピンで、JTAGSEL_N ピンと JTAG 機能の 4 ピン(TCK、TDI、TDO、TMS)を同時に I/O として使用することはできません。
- ^[3] ピンの多重化。

2.5 I/O BANK の説明

GW1NRF シリーズ FPGA 製品には 4 つの I/O Bank があります。

BANK の詳細については、『GW1NRF シリーズ Bluetooth FPGA 製品データシート([DS891](#))』 > 3.4 入出力ブロックを参照してください。

このマニュアルには、GW1NRF シリーズ Bluetooth FPGA 製品の各パッケージのピン配置図が記載されています。詳細は、[3](#) ピン配置図を参照してください。GW1NRF シリーズ Bluetooth FPGA 製品の 4 つの BANK は、4 つの異なる色で区別されています。

ユーザー I/O、電源、グラウンドは異なる記号により区別されています。GW1NRF シリーズ Bluetooth FPGA 製品のピン配置図のピンの定義は以下の通りです：

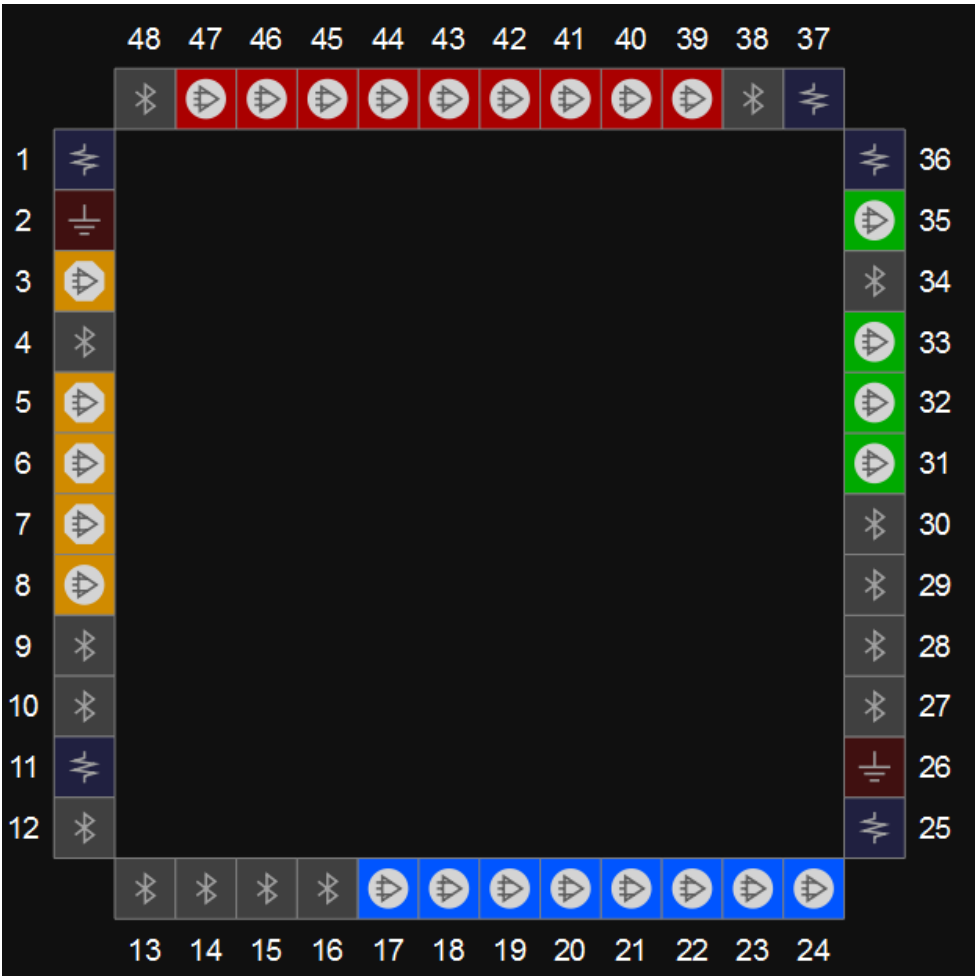
-  は BANK0 内の I/O を表します。
-  は BANK1 内の I/O を表します。
-  は BANK2 内の I/O を表します。
-  は BANK3 内の I/O を表します。
-  は VCC、VCCX、VCCIO を表します。
-  は VSS を表します。
-  は NC を表します。
-  は BLE を表します。

3ピン配置図

3.1 GW1NRF-4B デバイスのピン配置図

3.1.1 QN48 のピン配置図

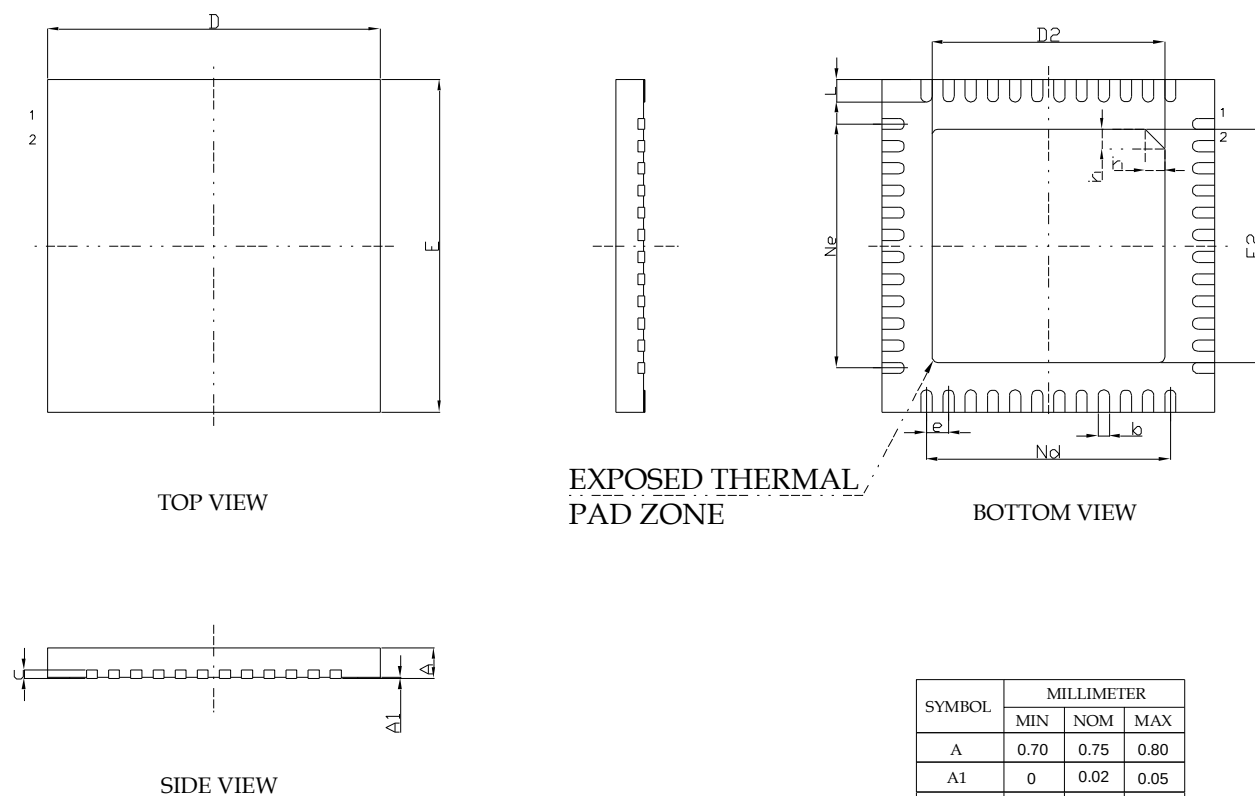
図 3-1 GW1NRF-4B デバイス QN48 パッケージのピン配置図(トップビュー)



4パッケージ外形図

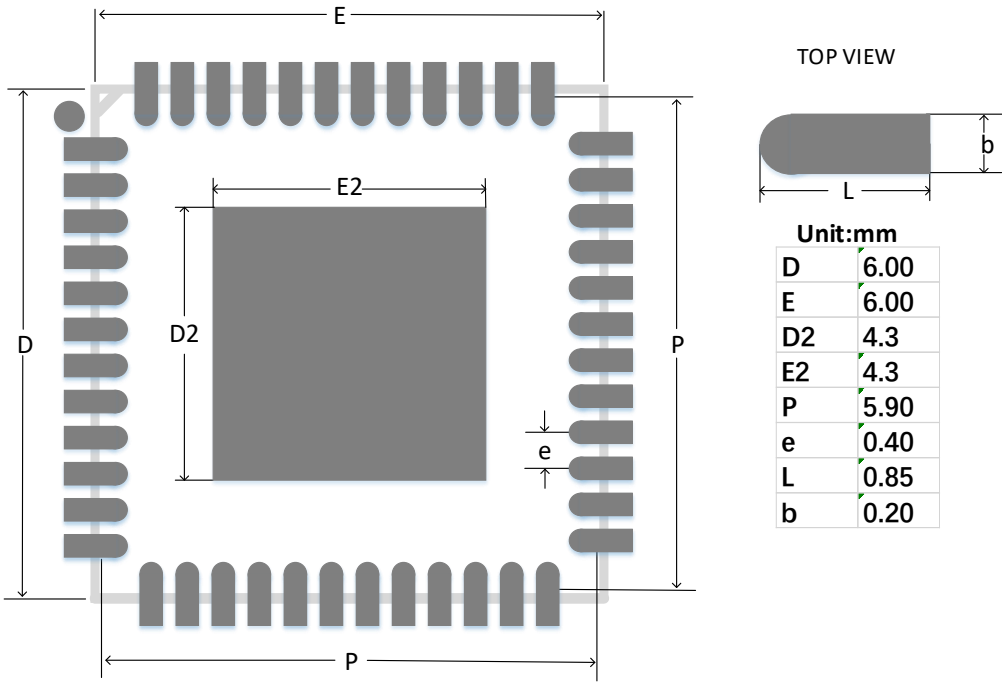
4.1 QN48 パッケージの外形図(6mm x 6mm)

図 4-1 QN48 パッケージの外形図



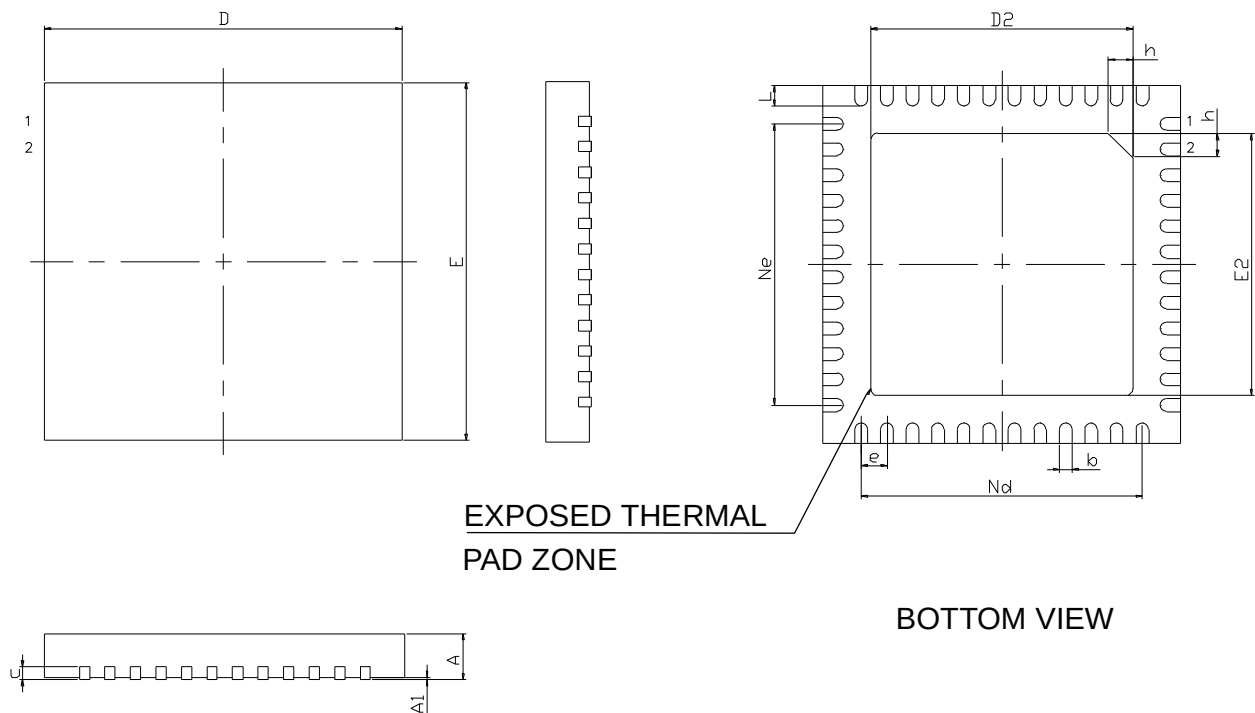
SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	0	0.02	0.05
b	0.15	0.20	0.25
c	0.10	0.15	0.20
D	5.90	6.00	6.10
D2	4.10	4.20	4.30
e	0.40BSC		
Ne	4.40BSC		
Nd	4.40BSC		
E	5.90	6.00	6.10
E2	4.10	4.20	4.30
L	0.35	0.40	0.45
h	0.30	0.35	0.40

図 4-2 QN48 パッケージの推奨 PCB レイアウト



4.2 QN48E パッケージの外形図(6mm x 6mm)

図 4-3 QN48E パッケージの外形図



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.75	0.85	0.85
A1	—	0.02	0.05
b	0.15	0.20	0.25
c	0.18	0.20	0.23
D	5.90	6.00	6.10
D 2	4.10	4.20	4.30
e	0.40BSC		
Ne	4.40BSC		
N d	4.40BSC		
E	5.90	6.00	6.10
E 2	4.10	4.20	4.30
L	0.35	0.40	0.45
h	0.30	0.35	0.40

図 4-4 QN48E パッケージの推奨 PCB レイアウト

