



DK-GoAI-GW2AR18QN88P_V1.1 開発ボード

ユーザーガイド

DBUG377-1.0J, 2020-08-17

著作権について (2020)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

「GOWINSEMI®」、「LittleBee®」、「Arora」、及び GOWINSEMI のロゴは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、www.gowinsemi.com.cn において記載されているそれぞれの権利者に帰属しています。当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI 取引条件) に規定されている内容を除き、(明示的か又は黙示的に拘わらず) いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。本文書における全ての情報は、予備的情報として取り扱われなければなりません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ (不具合情報) については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2020/08/17	1.0J	初版。

目次

目次.....	i
図一覧.....	iii
表一覧.....	iv
1 本マニュアルについて	1
1.1 マニュアル内容	1
1.2 サポートされるデバイス	1
1.3 関連ドキュメント	1
1.4 用語、略語.....	2
1.5 テクニカル・サポートとフィードバック	3
2 開発ボードの紹介.....	4
2.1 概要.....	4
2.2 開発ボードキット	5
2.3 PCB コンポーネント	6
2.4 ブロック図.....	7
2.5 特徴.....	7
2.6 仕様.....	8
3 開発ボードの回路.....	10
3.1 FPGA モジュール.....	10
3.2 ダウンロード.....	10
3.2.1 概要.....	10
3.2.2 USB ダウンロード回路	10
3.2.3 ダウンロード手順.....	11
3.2.4 ピンの配置.....	11
3.3 電源.....	11
3.3.1 概要.....	11
3.3.2 電力システムの配置	12
3.3.3 電源ピンの配置	13

3.4 クロックとリセット	13
3.4.1 概要.....	13
3.4.2 クロックおよびリセット回路.....	14
3.4.3 ピンの配置.....	14
3.5 LED.....	14
3.5.1 概要.....	14
3.5.2 LED 回路	15
3.5.3 ピンの配置.....	15
3.6 GPIO.....	15
3.6.1 概要.....	15
3.6.2 ピンの配置.....	15
3.7 FPC コネクタ	16
3.7.1 概要.....	16
3.7.2 FPC の接続.....	16
3.7.3 ピンの配置.....	16
3.8 HDMI	17
3.8.1 概要.....	17
3.8.2 HDMI 回路	18
3.8.3 ピンの配置.....	18
4 開発ボードの使用上の注意	20
5 Gowin ソフトウェア	21

図一覧

図 2-1 DK-GoAI-GW2AR18QN88P_V1.1 開発ボード.....	4
図 2-2 開発ボードキット.....	5
図 2-3 PCB コンポーネント.....	6
図 2-4 ブロック図.....	7
図 3-1 FPGA の USB を介したダウンロードの接続図.....	11
図 3-2 電力システムの配置図.....	12
図 3-3 クロックおよびリセット回路.....	14
図 3-4 LED 回路.....	15
図 3-5 HDMI の接続図.....	18

表一覧

表 1-1 用語、略語	2
表 2-1 開発ボードの仕様	8
表 3-1 FPGA のダウンロードピンの配置	11
表 3-2 FPGA の電源ピンの配置	13
表 3-3 FPGA のクロックおよびリセットピンの配置	14
表 3-4 LED ピンの配置	15
表 3-5 GPIO ピンの配置	15
表 3-6 FPC ピンの配置	16
表 3-7 HDMI_TX のピンの配置	18
表 3-8 HDMI_RX のピンの配置	19

1 本マニュアルについて

1.1 マニュアル内容

本マニュアルは、4つのセクションで構成されています。

1. 開発ボードの機能とハードウェアリソースの概要。
2. 開発ボード上のハードウェア回路の各部分の機能、およびピンの配置の説明。
3. 開発ボードの使用上の注意事項。
4. FPGA 開発ソフトウェアの使用。

1.2 サポートされるデバイス

本マニュアルに記載される情報は、GW2AR シリーズ FPGA 製品に適用されます：GW2AR-18。

1.3 関連ドキュメント

GOWIN セミコンダクターの Web サイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

1. GW2AR シリーズ FPGA 製品データシート ([DS226](#))
2. GW2AR シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド ([UG229](#))
3. GW2AR-18 デバイス Pinout ([UG115](#))
4. Gowin FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド ([UG290](#))
5. Gowin ソフトウェア ユーザーガイド ([SUG100](#))

1.4 用語、略語

本マニュアルの関連用語、略語、及びその意味については、表 1-1 を参照してください。

表 1-1 用語、略語

用語、略語	正式名称	意味
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
SIP	System in Package	システムインパッケージ
SDRAM	Synchronous Dynamic RAM	シンクロナス DRAM
CFU	Configurable Function Unit	コンフィギュラブル機能ユニット
CLS	Configurable Logic Slice	コンフィギュラブル論理スライス
CRU	Configurable Routing Unit	コンフィギュラブル配線ユニット
LUT4	4-input Look-up Tables	4 入力ルックアップテーブル
LUT5	5-input Look-up Tables	5 入力ルックアップテーブル
LUT6	6-input Look-up Tables	6 入力ルックアップテーブル
LUT7	7-input Look-up Tables	7 入力ルックアップテーブル
LUT8	8-input Look-up Tables	8 入力ルックアップテーブル
REG	Register	レジスタ
ALU	Arithmetic Logic Unit	演算論理ユニット
IOB	Input/Output Block	入出力ブロック
S-SRAM	Shadow SRAM	分散 SRAM
B-SRAM	Block SRAM	ブロック SRAM
SP	Single Port	シングルポート
SDP	Semi Dual Port	セミ・デュアルポート
DP	Dual Port	デュアルポート
DSP	Digital Signal Processing	デジタル信号処理
TDM	Time Division Multiplexing	時分割多重化
DQCE	Dynamic Quadrant Clock Enable	ダイナミック・クオドラントクロックイネーブル
DCS	Dynamic Clock Selector	ダイナミック・クロックセレクタ
PLL	Phase-locked Loop	位相同期回路
DLL	Delay-locked Loop	遅延ロックループ
QN88	QFN88	QFN88 パッケージ

1.5 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

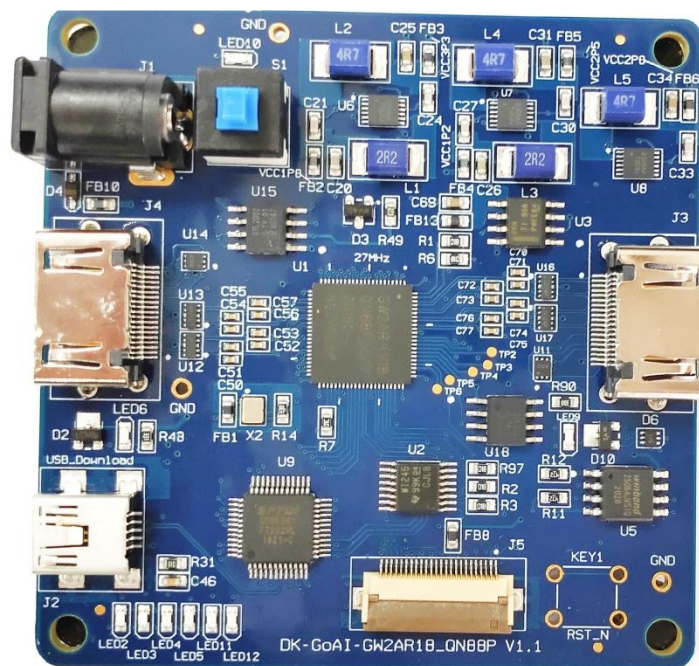
Web サイト : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 開発ボードの紹介

2.1 概要

図 2-1 DK-GoAI-GW2AR18QN88P_V1.1 開発ボード



この開発ボードは、64M ビット PSRAM を備えた GOWIN GW2AR-18 FPGA デバイスを使用しています。Arora ファミリーの第一世代製品である GW2AR シリーズの FPGA 製品は、GW2A シリーズをもとに大容量のメモリを統合したシステムインパッケージ・チップです。また、高性能 DSP リソース、高速 LVDS インターフェース、および豊富な BSRAM リソースなどの組み込みリソースが備わっています。合理化された FPGA アーキテクチャ、55nm プロセス、およびこれらの組み込みリソースを特徴とした GW2AR シリーズ FPGA 製品は高速、低コストのアプリケーションに最適です。

開発ボードには、カメラ・インターフェース、HDMI インターフェースなどの外部インターフェースに加えて、LED、リセット、クロックなどのリソースが備わっています。

2.2 開発ボードキット

開発ボードキットには以下が含まれます。

- DK-GoAI-GW2AR18QN88P_V1.1 開発ボード
- USB ケーブル
- クイックスタート ユーザーガイド

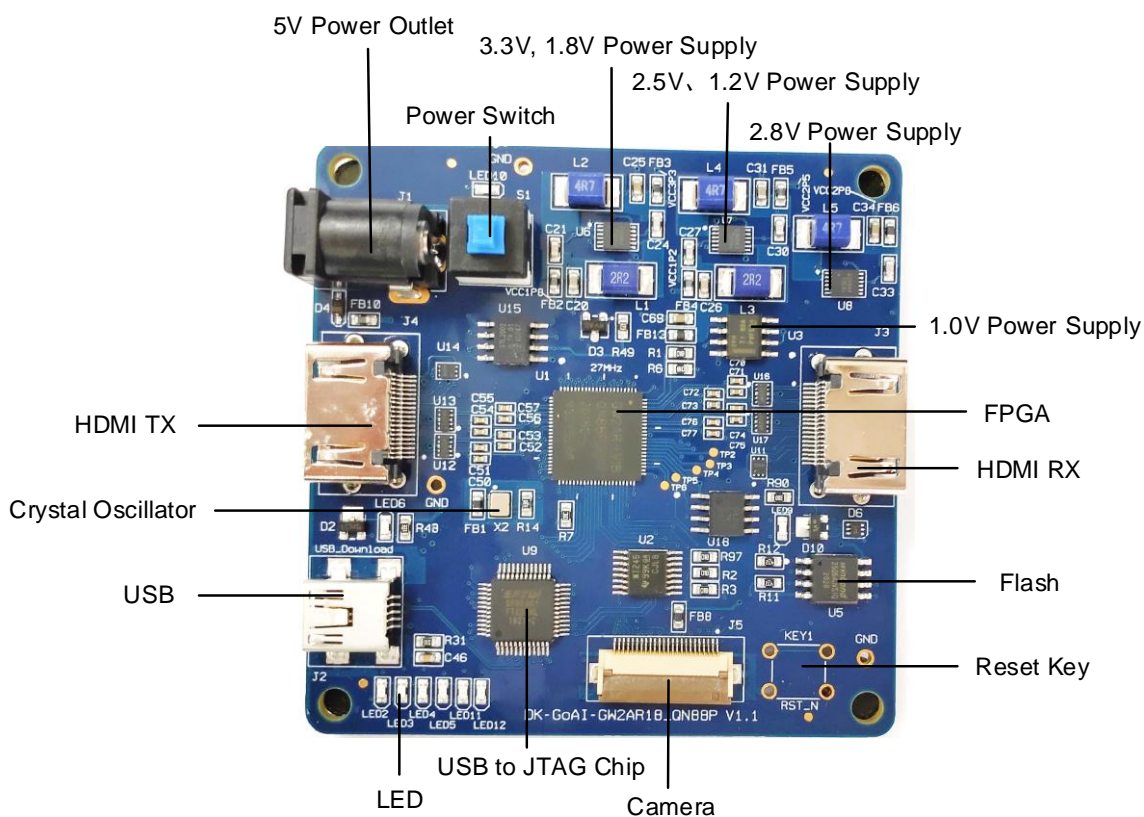
図 2-2 開発ボードキット



- ① DK-GoAI-GW2AR18QN88P_V1.1 開発ボード
- ② USBケーブル
- ③ DC5V電源アダプター
- ④ クイックスタート ユーザーガイド

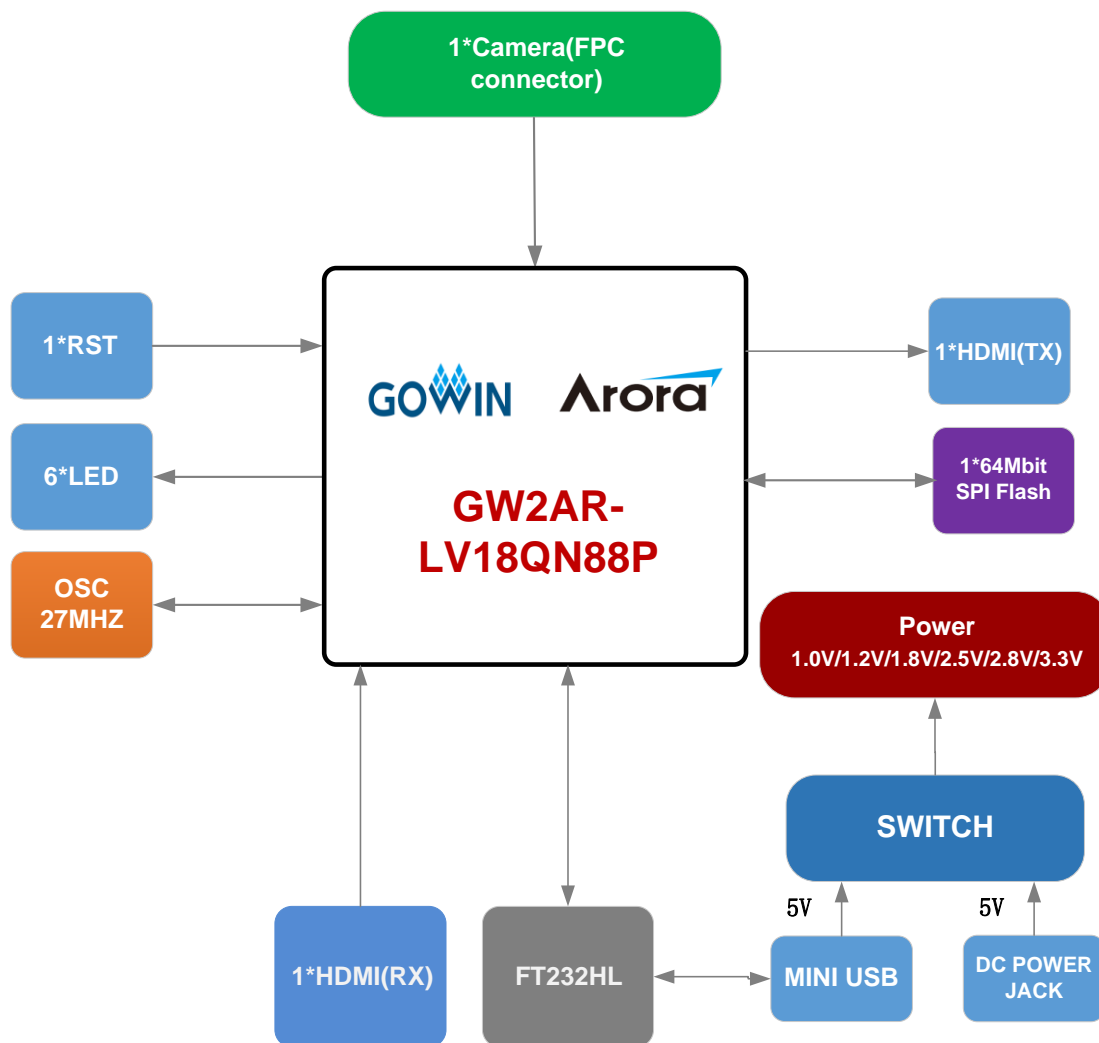
2.3 PCB コンポーネント

図 2-3 PCB コンポーネント



2.4 ブロック図

図 2-4 ブロック図



2.5 特徴

開発ボードの構造と特性は次のとおりです。

1. FPGA

- EQFP144 パッケージ
- 66 個のユーザーI/O
- 豊富な LUT4 リソース
- マルチモード、大容量の B-SRAM

2. FPGA コンフィギュレーションモード

- JTAG

- MSPI
- 3. クロックリソース
 - 27MHz のクロック水晶発振器
- 4. キースイッチ
 - 1つのリセットキー
 - 1つのキースイッチ
- 5. LED
 - 1つの電源インジケータ (緑色)
 - 2つの HDMI ホットプラグ・インジケータ
 - 6つの LED (緑色)
- 6. メモリ
 - 64Mbit の組み込み PSRAM
 - 64Mbit のオフチップ SPI Flash
- 7. GPIO
 - 5本あり
- 8. HDMI
 - 1チャンネルの HDMI TX インターフェース
 - 1チャンネルの HDMI RX インターフェース
- 9. DC-DC(LDO)電源
 - 3.3V、2.8V、2.5V、1.8V、1.2V、1.0V の電力を供給

2.6 仕様

表 2-1 開発ボードの仕様

番号	項目	機能の説明	技術的条件	備考
1	FPGA	コアチップ	-	-
2	ダウンロード	USB インターフェース。JTAG、MSPI をサポート	ボード上に USB-JTAG モジュールを統合	-
3	電源	DC-DC(LDO)回路を介した 3.3V、2.8V、2.5V、1.8V、1.2V、および 1.0 出力	<ul style="list-style-type: none"> ● 入力電力 : 5V ● 5V-3.3V回路がFPGA、ダウンロード回路、HDMI回路、その他の回路に電力を供給。 ● 5V-2.8V回路がカメラ・インターフェースに電力を供給。 ● 5V-2.5V 回路が HDMI_RX および FPGA に電力を供給。 ● 5V-1.8V回路がFPGAのPSRAMに電力を供給。 ● 5V-1.2V 回路がカメラ・インターフェ 	-

番号	項目	機能の説明	技術的条件	備考
			<p>ースに電力を供給。</p> <ul style="list-style-type: none"> ● 5V-1.0V 回路が FPGA に電力を供給。 	
4	自動ロックスイッチ	FPGA の電源スイッチ	1 個	-
5	リセットキー	FPGA をリセット	1 個	-
6	LED	テスト指示、HDMI プラグイン指示、電源指示	<ul style="list-style-type: none"> ● 6 つのテストインジケータ、緑色 ● 2 つの HDMI ホットプラグ・インジケータ、緑色 ● 1 つの電源インジケータ、緑色 	-
7	水晶発振器	FPGA に 27MHz のクロックを提供	パッケージ 2520	-
8	メモリ	PSRAM および Flash を提供。	64Mbit の組み込み PSRAM 64Mbit のオフチップ SPI Flash	-
9	GPIO	拡張・テスト用の I/O	5 個	-
10	HDMI	設計用	1 チャンネルの HDMI TX インターフェース。 1 チャンネルの HDMI RX インターフェース	-
11	FPC コネクタ	カメラ入力用	24PIN FPC	-
12	保護	<ul style="list-style-type: none"> ● USB インターフェース：ESD 保護。 ● 電源インターフェース：逆電流および過電流保護。 ● HDMI インターフェース：ESD 保護。 	<ul style="list-style-type: none"> ● USB インターフェース：ESD 保護：±15kV の非接触放電、±8kV の接触放電。 ● 電源コンセントの正と負のアノード間にショットキーダイオードを接続。 ● 2A の自己回復ヒューズを電源インプットに接続。 ● HDMI インターフェース：ESD 保護：1. ±17kV の非接触放電、±12kV の接触放電。2. ±15kV の非接触放電、±8kV の接触放電。 	-
13	電圧	-	入力電圧 5V	-
14	湿度	-	95%	-
15	温度	-	動作範囲：-40° ~85°	-

3 開発ボードの回路

3.1 FPGA モジュール

概要

GW2AR シリーズ FPGA 製品の詳細については、『GW2AR シリーズ FPGA 製品データシート([DS226](#))』を参照してください。

I/O BANK の説明

詳しくは、『GW2AR シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG229](#))』を参照してください。

3.2 ダウンロード

3.2.1 概要

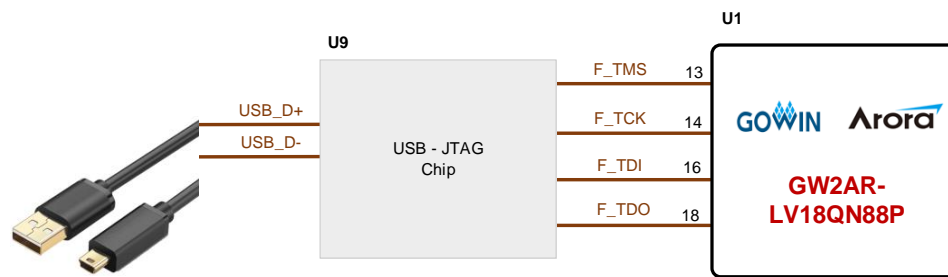
開発ボードは USB ダウンロードインターフェースを提供しています。ダウンロードの際は、必要に応じてオンチップ SRAM またはオフチップ SPI Flash にダウンロードできます。

注記：

- SRAM にダウンロードする場合、パワーオフするとデータストリームファイルが失われるため、再パワーオンした後にデータストリームファイルを再度ダウンロードする必要があります。
- SPI Flash にダウンロードする場合、パワーオフしても、データストリームファイルが失われることはありません。

3.2.2 USB ダウンロード回路

図 3-1 FPGA の USB を介したダウンロードの接続図



3.2.3 ダウンロード手順

1. SRAM モード :

USB ケーブルを開発ボードの USB インターフェース (J2) に差し込みます。次に、電源を投入します。そして、Programmer を開いて SRAM mode を選択し、ダウンロードするビットストリームファイルを選択します。

2. MSPI モード :

USB ケーブルを開発ボードの USB インターフェース (J2) に差し込み、電源を投入します。そして、Programmer を開いて External Flash mode を選択し、ダウンロードするビットストリームファイルおよび Flash のモデルを選択します。ダウンロードが成功したら、電源をオフにしてから再度オンにすると、デバイスはオフチップ Flash から SRAM にビットストリームファイルをダウンロードします。

3.2.4 ピンの配置

表 3-1 FPGA のダウンロードピンの配置

信号名	FPGA のピン番号	BANK	説明	I/O レベル
TMS	5	2	JTAG 信号	1.8V
TCK	6	2	JTAG 信号	1.8V
TDI	7	2	JTAG 信号	1.8V
TDO	8	2	JTAG 信号	1.8V
MODE0	88	3	モード選択ピン	3.3V
MODE1	87	3	モード選択ピン	3.3V

3.3 電源

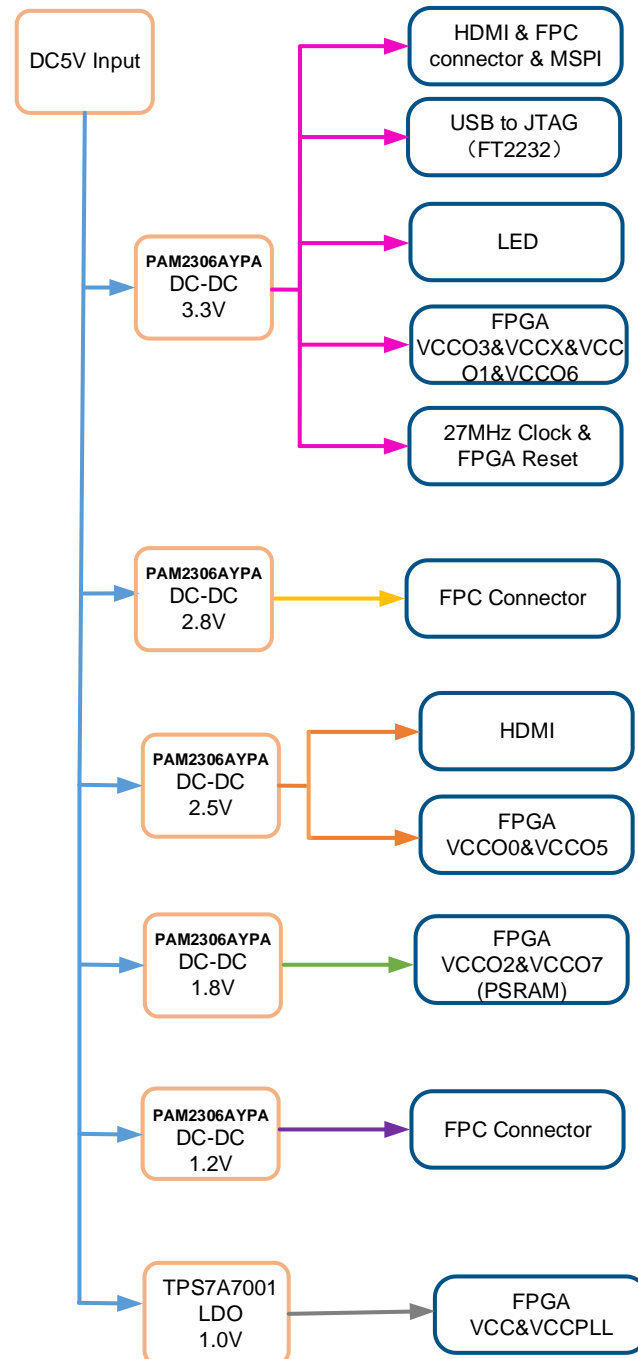
3.3.1 概要

USB インターフェースを介して入力される電源 DC5V は、TI 社の LDO

電源チップと OnSemi 社の DC-DC 電源チップを採用し、5V-3.3V、5V-2.8V、5V-2.5V、5V-1.8V、5V-1.2V、5V-1.0V の変換を実現します。

3.3.2 電力システムの配置

図 3-2 電力システムの配置図



3.3.3 電源ピンの配置

表 3-2 FPGA の電源ピンの配置

信号名	FPGA のピン番号	BANK	説明	I/O レベル
VCCO0	78	0	I/O Bank 電圧	2.5V
VCCO1	12、67	1	I/O Bank 電圧	3.3V
VCCO2	3、64	2	I/O Bank 電圧	1.8V
VCCO3	58	3	I/O Bank 電圧	3.3V
VCCO4	44	4	I/O Bank 電圧	3.3V
VCCO5	23	5	I/O Bank 電圧	2.5V
VCCO6	12、67	6	I/O Bank 電圧	3.3V
VCCO7	3、64	7	I/O Bank 電圧	1.8V
VCCPLLL1	14	-	PLLL1 電源	1.0V
VCCPLLR1	50	-	PLLR1 電源	1.0V
VCCX	12、67	-	補助電圧は内部で VCCO1、VCCO6 に接続	3.3V
VCC	1、22、45、66	-	コア電圧	1.0V
VSS	2、21、24、43、46、65、68	-	GND	-

3.4 クロックとリセット

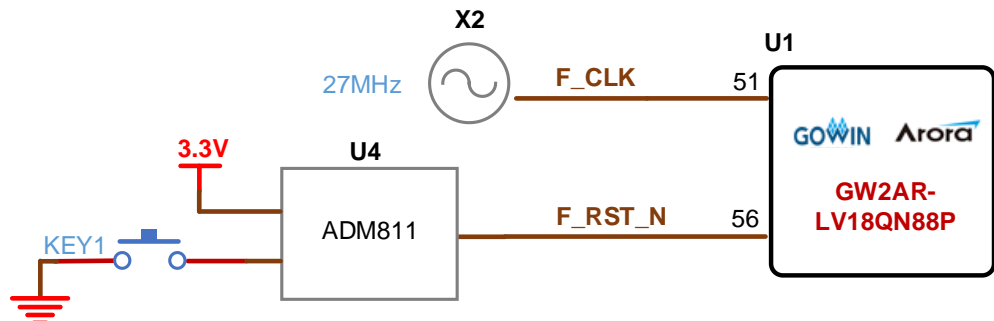
3.4.1 概要

開発ボードには、PLL 入力ピンに接続され、FPGA の内部 PLL 入力として使用できる 50MHz の水晶発振器があります。必要なクロックを PLL 逡倍及び分周を通じて出力できます。

なお、デバッグ用のアクティブ Low のリセット信号も提供されています。

3.4.2 クロックおよびリセット回路

図 3-3 クロックおよびリセット回路



3.4.3 ピンの配置

表 3-3 FPGA のクロックおよびリセットピンの配置

信号名	FPGA のピン番号	BANK	説明	I/O レベル
F_CLK	51	3	27MHz のアクティブ クリスタル入力	3.3V
F_RST_N	56	3	リセット信号、アクテ ィブ Low	3.3V

3.5 LED

3.5.1 概要

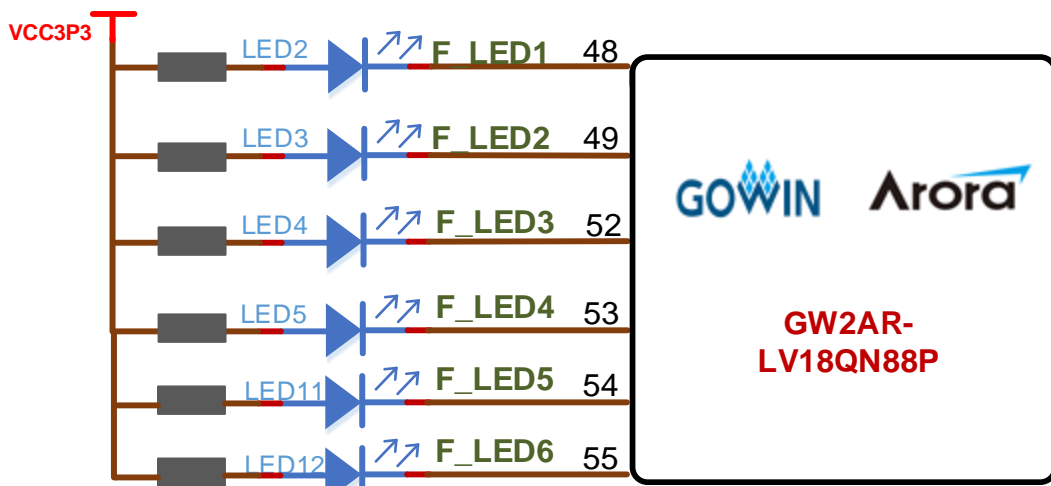
開発ボードにはステータスを表示できる 6 つの緑色の LED があります。同時に、電源および HDMI インターフェースの接続を観測するために、それぞれ 1 つまたは 2 つの LED が予約されています。

LED は次の方法でテストできます。

- FPGA の対応するピンの出力信号が Low の場合、LED が点灯します。
- 出力信号が High の場合、LED がオフになります。

3.5.2 LED 回路

図 3-4 LED 回路



3.5.3 ピンの配置

表 3-4 LED ピンの配置

信号名	FPGA のピン番号	BANK	説明	I/O レベル
F_LED1	48	3	LED2	3.3V
F_LED2	49	3	LED3	3.3V
F_LED3	52	3	LED4	3.3V
F_LED4	53	3	LED5	3.3V
F_LED5	54	3	LED11	3.3V
F_LED6	55	3	LED12	3.3V

3.6 GPIO

3.6.1 概要

機能拡張とテストのために、5 つの GPIO テストポイントが開発ボードに予約されています。

3.6.2 ピンの配置

表 3-5 GPIO ピンの配置

信号名	FPGA のピン番号	BANK	I/O レベル
TP2	75	1	3.3V
TP3	74	1	3.3V

信号名	FPGA のピン番号	BANK	I/O レベル
TP4	73	1	3.3V
TP5	71	1	3.3V
TP6	69	1	3.3V

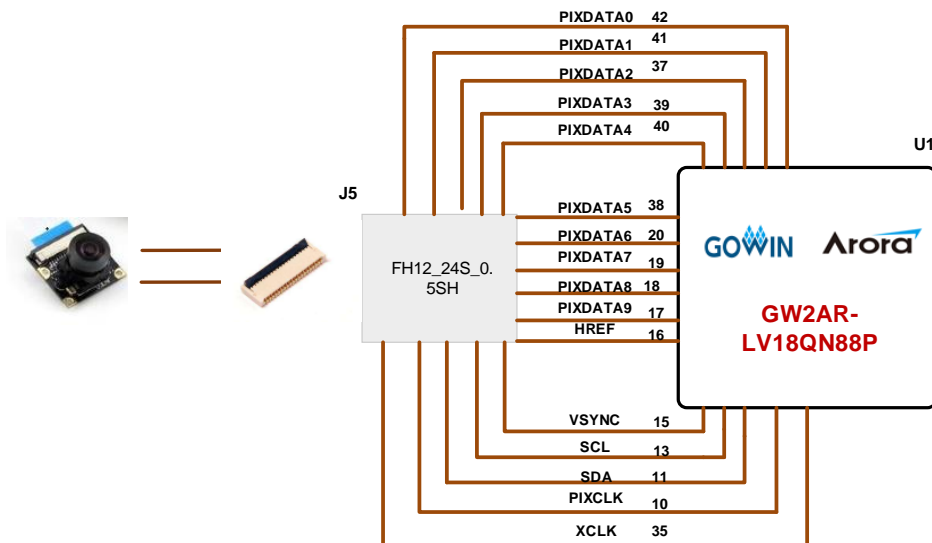
3.7 FPC コネクタ

3.7.1 概要

開発ボードには、カメラ信号入力用の 24 ピンの FPC コネクタ (FH12-24S-0.5SH) があります。

3.7.2 FPC の接続

図 3-7 FPC 回路



3.7.3 ピンの配置

表 3-6 FPC ピンの配置

ソケットのピン番号	信号名	FPGA のピン番号	BANK	説明	I/O レベル
1	STROBE	-	-	Flash 制御信号	-
2	GND	-	-	グラウンド	-

ソケットの ピン番号	信号名	FPGA のピン番 号	BANK	説明	I/O レベル
3	SDA	11	6	SCCB シリアルインター フェース・データ	3.3V
4	AVDD	-	-	アナログ信号電源	2.8V
5	SCL	13	6	SCCB シリアルインター フェース・クロック	3.3V
6	RST_N	-	-	リセット信号	-
7	VSYNC	15	6	垂直同期出力	3.3V
8	PWDN	-	-	パワーダウンモード・イ ネーブル信号	-
9	HREF	16	6	水平基準出力	3.3V
10	SVDD	-	-	センサーアレイ電源	1.2V
11	DOVDD	-	-	デジタル映像信号電源	3.3V
12	PIXDATA9	17	6	ビデオ出力チャンネル 9	3.3V
13	XCLK	35	4	システムクロック入力	3.3V
14	PIXDATA8	18	6	ビデオ出力チャンネル 8	3.3V
15	GND	-	-	グラウンド	-
16	PIXDATA7	19	6	ビデオ出力チャンネル 7	3.3V
17	PIXCLK	10	6	ピクセルクロック出力	3.3V
18	PIXDATA6	20	6	ビデオ出力チャンネル 6	3.3V
19	PIXDATA2	37	4	ビデオ出力チャンネル 2	3.3V
20	PIXDATA5	38	4	ビデオ出力チャンネル 5	3.3V
21	PIXDATA3	39	4	ビデオ出力チャンネル 3	3.3V
22	PIXDATA4	40	4	ビデオ出力チャンネル 4	3.3V
23	PIXDATA1	41	4	ビデオ出力チャンネル 1	3.3V
24	PIXDATA0	42	4	ビデオ出力チャンネル 0	3.3V

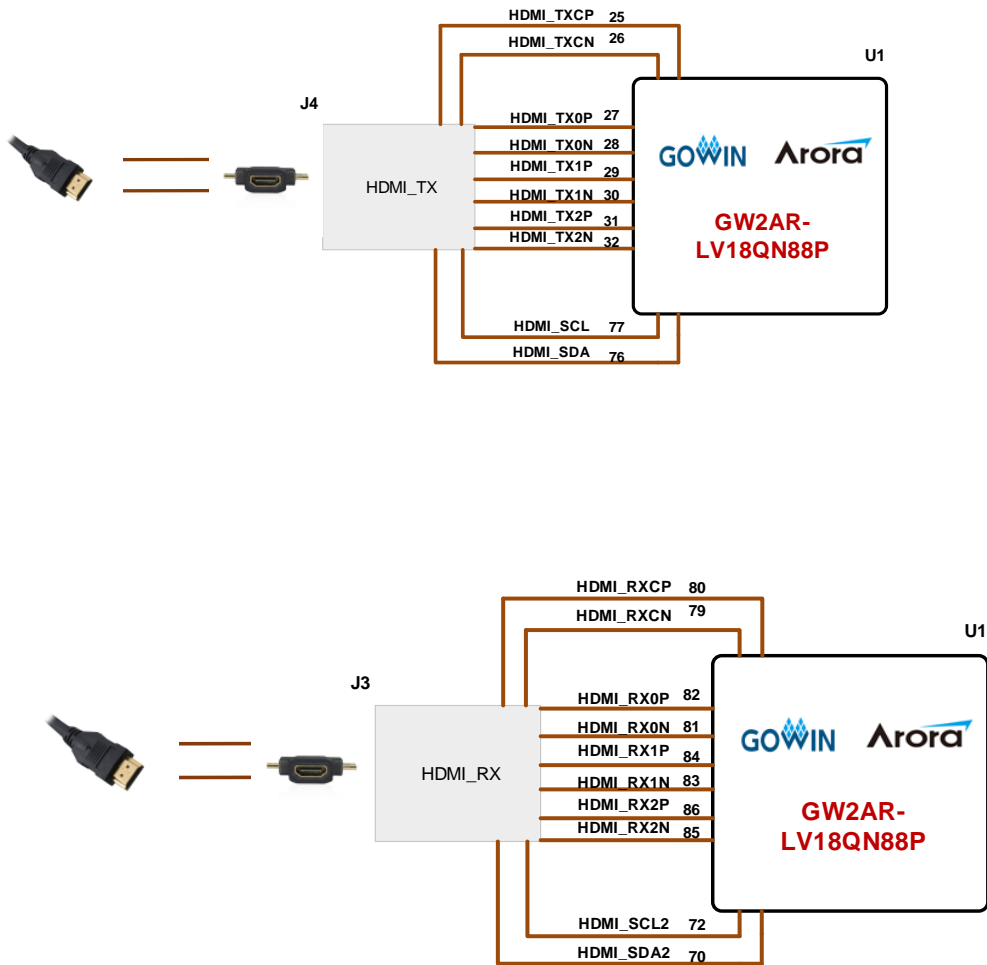
3.8 HDMI

3.8.1 概要

ユーザーの画像入力および画像出力のための、1つの HDMI RX インターフェースと 1つの HDMI TX インターフェースが予約されています。

3.8.2 HDMI 回路

図 3-5 HDMI の接続図



3.8.3 ピンの配置

表 3-7 HDMI_TX のピンの配置

信号名	FPGA のピン番号	BANK	説明	I/O レベル
HDMI_TXCP	25	5	TMDS クロック信号 +	2.5V
HDMI_TXCN	26	5	TMDS クロック信号 -	2.5V

信号名	FPGA のピン番号	BANK	説明	I/O レベル
HDMI_TX0P	27	5	TMDS データ 0+	2.5V
HDMI_TX0N	28	5	TMDS データ 0-	2.5V
HDMI_TX1P	29	5	TMDS データ 1+	2.5V
HDMI_TX1N	30	5	TMDS データ 1-	2.5V
HDMI_TX2P	31	5	TMDS データ 2+	2.5V
HDMI_TX2N	32	5	TMDS データ 2-	2.5V
HDMI_SCL	77	1	DDC クロック	3.3V
HDMI_SDA	76	1	DDC データ	3.3V

表 3-8 HDMI_RX のピンの配置

信号名	FPGA のピン番号	BANK	説明	I/O レベル
HDMI_RXCP	80	0	TMDS クロック信号 +	2.5V
HDMI_RXCN	79	0	TMDS クロック信号 -	2.5V
HDMI_RX0P	82	0	TMDS データ 0+	2.5V
HDMI_RX0N	81	0	TMDS データ 0-	2.5V
HDMI_RX1P	84	0	TMDS データ 1+	2.5V
HDMI_RX1N	83	0	TMDS データ 1-	2.5V
HDMI_RX2P	86	0	TMDS データ 2+	2.5V
HDMI_RX2N	85	0	TMDS データ 2-	2.5V
HDMI_SCL2	72	1	DDC クロック	3.3V
HDMI_SDA2	70	1	DDC データ	3.3V

4 開発ボードの使用上の注意

開発ボードの使用上の注意：

1. 開発ボードを使用するときは、取り扱いに注意を払い、かつ静電気保護してください。
2. カメラの PWDN ピンが GW2AR-18 デバイスに接続されていません。
3. GW2AR-18 の PSRAM は VCCO2/7 Bank 電圧から電源が供給されます。
4. 開発ボードの MODE ポートは接地されているため、モードは変更できません。
5. 開発ボードの 27MHz クロックは GW2AR-18 デバイスに提供され、12MHz クロックは USB - JTAG チップ (FT232HL) に提供されます。

5 Gowin ソフトウェア

詳細については、『Gowin ソフトウェア ユーザーガイド ([SUG100](#))』を参照してください。

